

質疑応答集

【登壇者】

代表取締役社長・CEO	河合 利樹
専務執行役員 SPE 事業本部長	三田野 好伸
Corporate Innovation 本部 Fellow	関口 章久

【質疑応答】

Q: CY2024 の WFE 市場は CY2022 の水準まで回復する、という5月の決算説明会時の見通しに変更はありますか？併せてその見通しの根拠も教えてください。

A: WFE の見通しは変更していません。CY2024 の WFE 市場は、CY2022 と近い水準になると考えています。現在、メモリ、特に NAND 市場は調整期にあります。DRAM は CY2023 末から、NAND は来年の半ばから回復すると期待しています。

CY2024 の WFE 市場成長の牽引役はデータセンター向けサーバーだと考えています。データトラフィックの増加によるサーバーの新規投資や買い替え需要があるとみています。データセンター関連投資の年平均成長率（CAGR）は、今後5年間で約6%と予測しています。新型サーバーには、Intel の Sapphire Rapids のような新 CPU が搭載される見込みで、これらのチップサイズは、従来型の CPU の 2.3 倍になります。また、生成 AI に関連して CPU と同様にデータセンター向けの GPU の需要も加速する見込みです。DRAM に関しては、DDR5 のチップサイズは DDR4 対比 10% 程度大きくなる予定です。また、当社においては生成 AI に関連する装置の引き合いをすでに受け始めています。

Q: DRAM の DDR4 から DDR5、NAND の 300 層以上への技術転換期において、新規装置はどの程度納入されると見えますか？既存装置が転用されることによって、新規装置が想定よりも購入されない可能性はあるのでしょうか？

A: DRAM の場合、お客さまは技術の進展に合わせて、クリティカルなプロセスには最新の装置を採用し、非クリティカルなプロセスには既存の装置を使用する傾向があります。NAND でも同様のことが起こると想定しています。

Q: オランダ政府は今般、米国政府と歩調を合わせるように、中国への高度なスキャナー輸出に関して新たな規制を発表しました。また、米国政府も中国への生成 AI に使われる GPU の輸出規制を発表しました。こうした新たな規制や輸出制限は、TEL の事業見通しにどのような影響を与えるとお考えですか。

A: 状況は常に変化しており、動向を継続的に確認しています。いずれにしても、ほとんどの中国顧客はすでに規制を考慮し戦略を変更しているため、影響は限定的だと考えています。現在、中国顧客は、成熟ノードに焦点を移しつつあり、実際当社への成熟ノードの引き合いは増加しています。

Q: 最新のクリティカルな課題を解決するための新技術を創り出すには何が必要ですか？また、そういった技術を市場に提供する上での、他社に対して優位な点は？

A: 当社の強みは、幅広い製品ラインアップ（エッチング、成膜、洗浄、コータデベロッパ、プローバ）をもっていることです。これらの製品は前工程でも後工程でも活用され、プローバは検査において使われます。これらのプロセス間の知見を統

質疑応答集

合化し、お客さまに提供することで、最終的なデバイス構造の実現に貢献しています。また、プロセスの最適化にはマシンラーニングを活用し、他社に対する優位性を確固たるものにしていきます。

Q: More than Moore の領域が注目されていますが、この領域における TEL の戦略は？ 今後さらに多様な市場の規模が拡大し、要求も多様化することが予想されていると思います。

A: Keynote 発表でもご説明しました通り、新たに、「半導体の技術革新に貢献する夢と活力のある会社」というビジョンを策定しました。当社は前工程と後工程両方の製品を扱っているため、そこから得られるノウハウを活用してお客さまとともに市場の拡大に貢献してまいります。

Q: パッケージング領域における TEL の戦略は？ Wafer-to-wafer と die-to-wafer の両方を検討されていますか？ また、Die-to-wafer の市場の見通しはいかがでしょうか？

A: Wafer-to-wafer ボンディング技術は CMOS イメージセンサと DRAM High Bandwidth Memory (HBM) に採用されています。すでに NAND およびロジックでも評価が始まっており、アプリケーション数は増えることが期待されます。Wafer-to-wafer ボンディング技術は、die-to-wafer に比べて生産性は高い一方、個々の形状や大きさが異なることが想定されるヘテロジニアス・インテグレーションのボンディングにおいては、適合しない場合も考えられます。

当社のパッケージング領域における戦略は、wafer-to-wafer と die-to-wafer の両方に対応し、お客さまにフレキシビリティを提供することです。既存の wafer-to-wafer ボンディング技術を活用しながら die-to-wafer ボンディング技術に取り組んでおり、新しいチップキャリア技術を開発しているほか、モジュールシステムでのソリューションも検討しています。

Q: 数年前にキャピタルインテンシティ（月産 10 万枚当たりの WFE 投資額）の傾向について開示されていました。7nm から 5nm、3nm と進むにつれてキャピタルインテンシティは増加していますが、ロジック、DRAM、NAND、それぞれにおいて今後も増加し続けるのでしょうか？

A: 過去からキャピタルインテンシティの傾向を試算していますが、世代が進むたびに工程数が増え、キャピタルインテンシティも増えています。7nm から 5nm では EUV が適用されることで大きく増加しました。3nm から 2nm では GAA 構造が適用される予定ですが、工程数は全体で 1000 ほどある中で一桁程度しか増えず、その為キャピタルインテンシティの増加も限定的だと考えられます。よって投資金額の上昇が緩やかになり、このことは次世代への移行を後押ししてくれるため、装置メーカー、デバイスメーカー両方にとって有益なことです。当社はコスト削減を目標とした活動を継続します。

Q: High NA リソグラフィ：High NA リソグラフィの導入が遅れています。導入のスケジュールと課題は？

A: 2024 年 4 月頃から技術の検査と適用が始まり、量産は 2025 年以降になると予想しています。High NA リソグラフィは解像度を高めることにより、より微細なパターンの形成を可能にしますが、一方で焦点深度が浅くなることでレジスト層を薄くする必要があります。EUV 露光機の開発、レジスト材料の開発、そして最適化が必要になります。ASML が開発状況については順調であるとコメントしており、課題はそう大きくないと考えています。

Q: High NA リソグラフィ：High NA リソグラフィ開発における共同開発体制はどうなっていますか？

A: 当社は EUV 向けコータデベロッパにおいて 100 パーセントのシェアをもっているため、すべてのお客さまと密接な共

質疑応答集

同開発体制を築いています。また、オランダのエイントホーフェンにある imec-ASML 共同の High NA EUV 研究所では、ASML の装置とインラインでコータ/デベロッパを設置しています。このコラボレーションを活用して知見を深めていきます。また、研究成果は imec の開発プログラムに参画している各社に共有されることになります。

Q: 極低温エッチング：既存のエッチング技術と極低温エッチングの違いと競合状況は？

A: 既存の高アスペクト比コンタクト（HARC）エッチング技術では、フルオロカーボンガスを使い、側壁を守るポリマーを形成しながらプロセスを進めますが、ポリマーは形状の上部の方が多く成膜されるため、プロセスが続くにつれてイオンやラジカルの輸送の妨げになることなどから、エッチング形状に影響が出ます。

第一世代および第二世代の極低温エッチングでは、ウェーハ温度を下げることでより等方的な反応を抑制することで良好なエッチング形状を保ちます。また、第二世代の条件では、プラズマの中の HF の割合を増やすことで最適化をおこない、大幅なエッチング速度の改善を実現しました。同時に、第二世代の技術ではより深くエッチングすることが可能となり、3D NAND で一度にエッチングする積層数を増やし、ティア数を減らすことを可能にします。また、エッチング速度を上げることでウェーハ 1 枚あたりの消費電力の削減も可能です。

チャンバーについては、極低温対応、ウェーハ全面でのプラズマ密度制御、マシンラーニングおよびディープラーニングを活用したチューニングなど新たな機能を備えています。お客さま数社にて評価が進んでおり、良好な結果が出ています。

Q: 極低温エッチング：お客さま何社が当技術を現在評価していますか？また評価にはどれぐらいの期間がかかる見込みですか？

A: 主要 NAND お客さまに評価を始めていただいている、良い結果につながっています。評価期間につきましては、まず 2 年から 3 年をかけて当技術を適用し、その期間でお客さま・当社それぞれで生産性や信頼性についての知見を蓄積し、装置の完成度を高めます。

Q: 極低温エッチング：3D NAND 以外にはどのようなアプリケーションへの適用が考えられますか？

A: 現在は 3D NAND のチャネルホール工程での採用を最優先で目指していますが、それ以外にも当技術が適用可能な工程を探索中です。当技術でエッチング市場におけるシェアの拡大を目指します。

Q: 極低温エッチング：本技術は何層のデバイスに適用されますか、またいつ頃量産に適用されますか？

A: 当社では 7-9 μm 以上の深さが求められる世代では、早ければ CY2024 に適用されると考えています。ただし積層数、適用時期、戦略などはお客さまによって異なります。

Q: 極低温エッチング：エッチングレートが速くなるということでしたが、これにより月産処理枚数がどれほど上げられるか、もしくは装置台数をどれだけ削減できるかといった試算を共有してください。

A: お客さまがどの世代で適用するかによって大きく左右されますが、イメージとしては 2.5 倍の速さを実現できれば、同じ敷地面積当たり 2.5 倍ほどのウェーハ枚数を処理できることになります。

Q: ほかに TEL が注力している技術をご紹介ください。

質疑応答集

A: EUV を使ったダブルパターニングの工程を減らすソリューションの開発をおこなっています。微細化を継続するために EUV リソグラフィは不可欠ですが、ダブルパターニングと組み合わせたときのコストが課題です。この課題に対して、Gas Cluster Ion Beam (GCIB) 技術を活用して、直接 EUV レジストもしくはハードマスクを加工するスキームを評価しています。関連装置は一部お客さまに納入し、良い結果も出始めています。