

半導体の進化を支える技術革新

半導体製造における挑戦の歴史

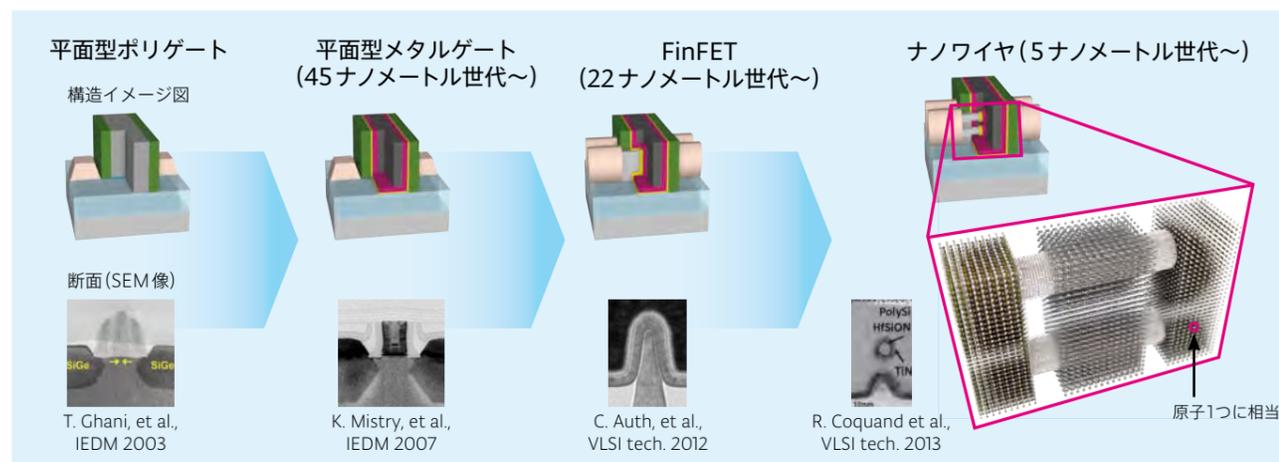
インテルの創業者の一人、ゴードン・ムーア氏が1965年にムーアの法則 (Moore's law) を提唱し、その6年後にインテルから世界初のマイクロプロセッサ (4004マイクロプロセッサ) が発売されました。それから約半世紀、半導体は技術革新を繰り返しながら、単位面積当たりの集積度を高め大容量・高速かつ低消費電力という性能向上を実現してきました。

図1は、2000年以降のロジックデバイスの進化を示しています。初期の平面型ポリゲートでは、チャンネルの移動度を向上させるために歪シリコンの技術が導入されました。その後、微細化に伴って発生する漏れ電流を抑制するために高誘電体・メタルゲートの技術が導入されました。また、優れたパターニングを求め、回路のデザインが2次元 (2Dレイアウト) から、より単純な1次元 (1Dレイアウト) の組み合わせへと変更されました (図2)。45ナノメートル世代からさらに微細化が進むと、リソグラフィの解像能力を補填するマルチパターニングといった製造技術が開発されたのに加え、短チャンネル効果を抑制するために FinFET 構

造が導入されました。今後5ナノメートル世代以降では、ナノワイヤ構造へと進化していく見込みです。メモリデバイスについても、DRAMではキャパシタやトランジスタの構造を3次元にすることで微細化が継続され、NANDフラッシュメモリは全体の構造を平面から3次元の3D NANDへと移行することで微細化の限界を超えました (図3)。

このように新しい設計、材料の組み合わせや製造手法を生み出していくことで半導体は進化を続け、今やその製造技術は物質の最小単位である原子レベルへと到達しています。世界初のプロセッサが10ミクロン世代の技術で製造され1チップ上に約2,300個のトランジスタが搭載されていたのに対し、最新の量産世代である14ナノメートル世代の製品では1チップ上に10億個を優に超える数のトランジスタが搭載されています。ゲート長はおよそ20ナノメートル、チャンネルにあたるフィンの幅はおよそ8ナノメートルにまで縮小されました。今後は、1世代進むごとに数ナノメートル、すなわち原子十数個レベルの幅で寸法を微細化していくこととなり、その製造においては原子レベルでばらつきを制御することが求められていきます。

図1: ロジックデバイスのトランジスタ構造の進化



トランジスタに用いる材料や構造を変化させることでデバイスが進化
原子レベルの製造技術が求められている

微細化が直面する技術障壁

今、半導体製造における微細化は新たな壁に直面しています。まず、近年の課題となっているのが露光装置の解像能力です。従来は露光装置の光源の波長を短くすることで解像度を上げ微細化を継続してきましたが、現在量産現場で最も使用されている最短の波長は193ナノメートルと、前述のフィンの幅の20倍近い長さです。屈折率の大きい液体の中で露光を行う液浸リソグラフィ技術を用いることで解像度を向上させていますが、十分ではありません。

加えて、パターニングにおけるフォトマスクとウェーハの位置合わせにも課題があります。最新のロジック・DRAMデバイスでは、トランジスタのような論理回路を構成する素子が小さいだけでなく、素子が複雑に配置されています。露光の位置がたった原子十数個分ずれてしまうだけで、密集した素子が正確に配線されず、加工精度の低下につながります。

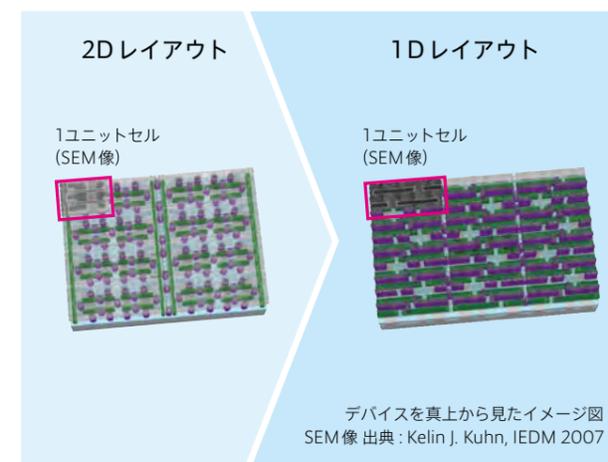
さらに量産現場においては、確率的に必ず発生するばらつきの問題も顕在化しています。リソグラフィとエッチングを一度しか行わない工程では問題ないエラーでも、同一レイヤでリソグラフィとエッチングを複数回繰り返す工程ではそれが累積し、

歩留まりが低下する原因となってしまいます。これら3つの課題は、微細化に伴ってさらに深刻なものになると予想されており、5ナノメートル世代以降に進むには対策が不可欠です。

製造技術におけるブレイクスルー

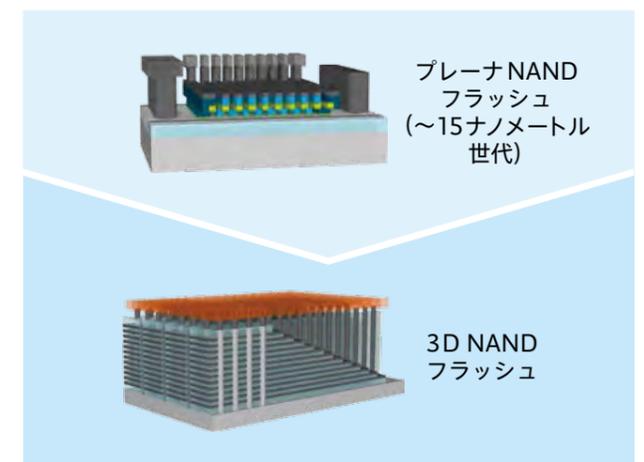
これらの課題に対し、製造技術において様々なブレイクスルーが生まれ始めています。すでに量産技術として確立している代表的な例の一つが、成膜・リソグラフィ・エッチング・洗浄などのプロセス技術を駆使することで露光装置の解像能力を補填するマルチパターニング技術です。前述のリソグラフィとエッチングを繰り返し行う「リソ・エッチ」という手法や、リソグラフィ後に成膜とエッチングを繰り返す「自己整合型」という手法を用いることで、リソグラフィの解像能力の数倍密度が高いパターンを形成することができるようになりました。この技術は今後の世代でも応用されていく見込みです。それに加え、露光の位置ずれの許容値を大きくするSAB (Self-aligned block) という技術も開発されています。材料のエッチング選択比の違いを利用することで、露光装置の性能向上に頼ることなく、必要な材料にのみ加工を施すことができるようになると期待されています。

図2: ロジックデバイスの回路デザインの進化



デザインがより単純な1Dレイアウトに変更することで、微細化が継続

図3: NANDフラッシュメモリの進化



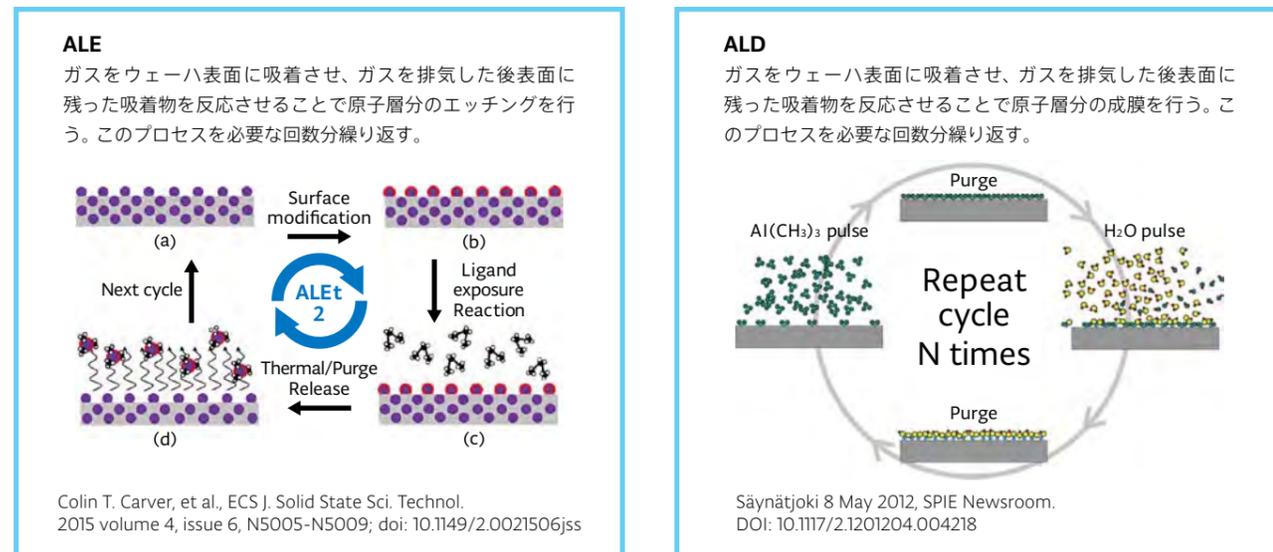
集積度向上の方法が、
平面の微細化から縦方向の積層へと変化

半導体の進化を支える技術革新

これらのパターニング手法の実現には、ALE (Atomic layer etch) やALD (Atomic layer deposition) と呼ばれるエッチングおよび成膜を原子層レベルで制御する技術や(図4)、洗浄薬液によってパターンが倒壊してしまうことを防ぐ乾燥技術など、各ユ

ニットプロセスの製造技術のいっそうの錬磨が欠かせません。加えて、各々のユニットプロセスのベストパフォーマンスの組み合わせが必ずしも最大の歩留まりを達成するわけではないため、今後はユニットプロセス間の相互最適を図るインテグレーション技術

図4: 原子層エッチング(ALE)と原子層成膜(ALD)



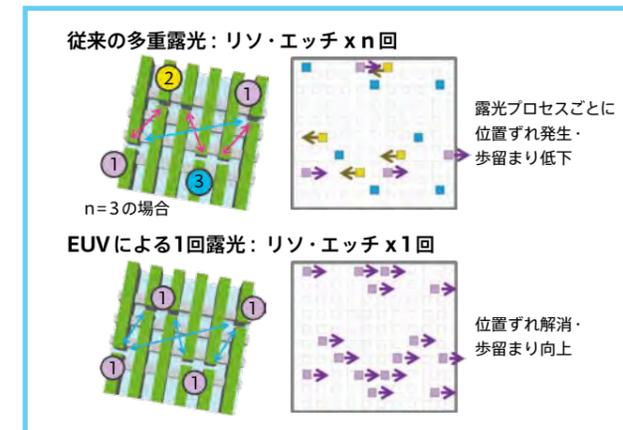
Colin T. Carver, et al., ECS J. Solid State Sci. Technol. 2015 volume 4, issue 6, N5005-N5009; doi: 10.1149/2.0021506jss

Säynätjoki 8 May 2012, SPIE Newsroom. DOI: 10.1117/2.1201204.004218

の重要性もますます高まっています。当社は幅広いプロセス装置群を持つ強みを生かして、インテグレーション技術のソリューションを積極的に開発・提供し始めています。

また、パターニング技術に加えてEUVという新たな露光光源の実用化が迫りつつあります。とりわけ前述のリソ・エッチを行う工程では、EUVを用いて同一レイヤのマスク数を減らすことで、合わせずれが低減し、ひいては歩留まりの向上につながると期待されています(図5)。当社は露光装置メーカーやコンソーシアムと協業しながらEUVに対応したコータ/デベロッパの開発を進め、その進捗をリソグラフィの世界最大の学会であるSPIE Advanced Lithographyで毎年報告することを通して、半導体業界におけるEUVの量産採用に向けて尽力しています。このようなパターニング技術とEUVを組み合わせることで、5ナノメートル世代以降への微細化への道が切り開かれつつあります。

図5: リソ・エッチマルチパターニング工程におけるEUVリソグラフィの利点



微細化の先へ

半導体の微細化は原子レベルに到達し、徐々に物理限界へと近づいています。しかし物理限界を迎えようとも、半導体の性能向上は止まりません。微細化とは異なる方式で、技術革新が進んでいきます。

メモリデバイスにおいては、2011年に微細化可能な強誘電体材料が報告された*ことで、強誘電体メモリ (FeRAM) が新型メモリの材料として期待されています。ロジックデバイスにおいては、非ノイマン型という新たなアーキテクチャ(設計方式)を採用した脳型コンピュータや、量子力学的な現象を利用した量子コンピュータの研究が始まっています。脳型コンピュータは従来のデバイスよりも電気信号を送るためのエネルギーが小さく済むため、デバイスの電力消費を低減すると見込まれており、ウェアラブルやIoT向けの小型電子機器へ適用できると考えられています。量子コンピュータは、大量の情報を複雑に計算することに長けており、データセンターのような電子機器向けへの採用が期待されています。

これらの新しいデバイスは、現在の半導体製造技術を応用して初めて実用化されます。当社は微細化を継続する手法だけでなく、このように長期目線で求められる技術にも目を向け、単独での研究開発活動に加えて世界各国のコンソーシアムやアカデミア、他の装置・材料メーカーと協業できるエコシステムを築き始めています。当社は、新たな製造技術の創出を通して、半導体のさらなる発展に貢献していきます。

* TS Böschke, et al., "Ferroelectricity in hafnium oxide thin films", Applied Physics Letters 99, 102903 (2011)

Column 01

マルチパターニング技術の種類

マルチパターニング技術には、大別して、同じレイヤでリソグラフィとエッチングを繰り返し行う「リソ・エッチ」という手法と、リソグラフィ後に成膜とエッチングを繰り返す「自己整合型」という手法があります。リソ・エッチ手法では、露光装置の解像能力にリソ・エッチを繰り返した回数分を掛け合わせた解像能力に相当するパターニングを行うことができます。トランジスタと配線をつなぐコンタクトや配線間をつなぐビア、自己整合型マルチパターニングで形成

したラインを切るためのカットやスペースを埋めるためのブロックなどの、マスクのピッチ(間隔)を小さくするのに適しています。一方、自己整合型マルチパターニングは、ラインとスペースの繰り返しパターンのピッチを小さくするのに適しています。1回行うと通常のリソグラフィの2倍、2回行うと4倍の解像能力に相当するパターニングを行うことができ、それぞれダブルパターニング(SADP)、クアドラブルパターニング(SAQP)と呼ばれています。

リソ・エッチマルチパターニング: エッチングと成膜の使用は限定的



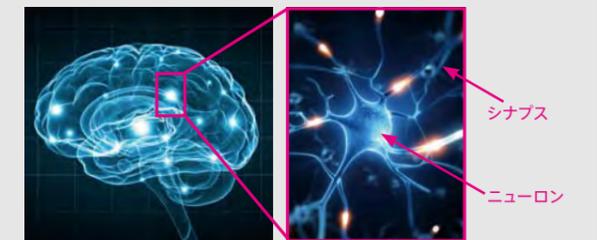
自己整合型マルチパターニング(SAMP): エッチングと成膜を多数使用



Column 02

脳型コンピュータのしくみ

脳型コンピュータは、チップの中に人間の神経細胞ニューロンを人工的に模倣して作りこむものです。人工的に作ったニューロンを学習させることでシナプスが形成され、ニューロン同士がつながり、やがてニューラルネットワークが形成されます。従来の半導体デバイスと比べて省電力であるに加え、不具合が起きた際にはチップ内に大量にあるニューロンのうちどれかが代わりに演算を行うため、信頼性も高いと期待されています。



ニューラルネットワークのイメージ