

“見えない”未来に込めた私達の夢

半導体デバイスの発明以来、人類の文明、社会、経済、生活はそれまでにない急激な進化を遂げてきました。コンピューティング、通信ネットワークもその恩恵を受け、急激な進化のドライバーとして大きな役割を果たしてきました。

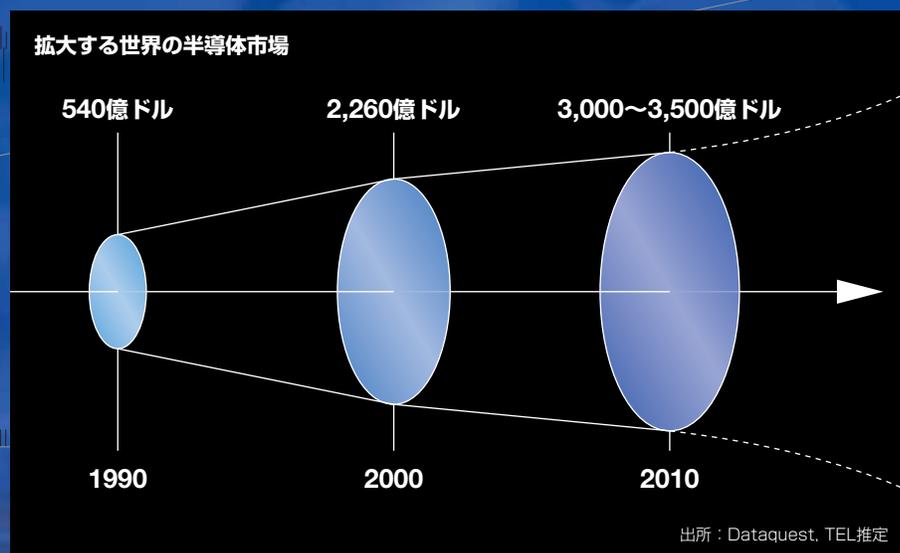
コンピュータは世界に数台しか必要ないと言われた時代から、1人1台のPCとなり、携帯電話、PDA、ゲーム機、デジタルTV、自動車などいろいろな機器に高度な半導体技術が活用されるようになってきました。さらに、ブロードバンドネットワークで連動した情報処理機能が、私達を取り巻く環境のあらゆるモノに“見えない”形で埋め込まれていきます。いつでもどこでも、人々が情報やサービスを楽しむことができるユビキタスコンピューティングの世界がそこにあります。

私達の遺伝子にコーディングされた“見えない”未来への夢は、新たな進化のステージへ私達を導こうとしているのです。



急速に規模と範囲を拡大する半導体の応用分野

“見えない” 未来の世界では、膨大な数のシリコンチップが使用されることとなります。半導体は、あらゆるモノに組み込まれ、大規模のメモリー空間と多数のプロセッサ群による超並列処理が、高度にインテリジェントな処理を可能とします。さらに多様なアプリケーションのそれぞれに特化したSOC (System on Chip)が要求されています。規模と多様性のビッグバンの時代に私達は突入しつつあります。



集積化、高速化、低消費電力への要求

集積回路の微細化がナノスケールに向かって進行しています。半導体デバイスは“見えない”形であらゆるモノに埋め込まれ、究極の姿としてユビキタスコンピューティングが実現されます。そして、インテリジェントな処理のための複雑で大規模なアルゴリズムの実行が求められ、集積化と高速化への動きが加速します。しかし、集積化と高速化は、発熱の問題を深刻化させます。これらの問題に加え、消費電力を低下させることが重要な技術的課題となります。特に、アウトドアでの長時間の電池駆動が必要なモバイル機器に使用される半導体では、より一層の低消費電力が求められています。これらの問題を解決するために、新しい技術の導入へのチャレンジが行われています。

プロセスイノベーションのキーとなる 東京エレクトロンの製品群

用語解説

1. リソグラフィ

フォトマスクに描かれた回路パターンは、写真の技術を用いてウェーハ上に転写されます。コータ/デベロッパで感光剤を塗布し、露光装置（ステッパ/スキャナ）で回路パターンを焼き付けます。露光後に現像され、パターンが出来上がります。

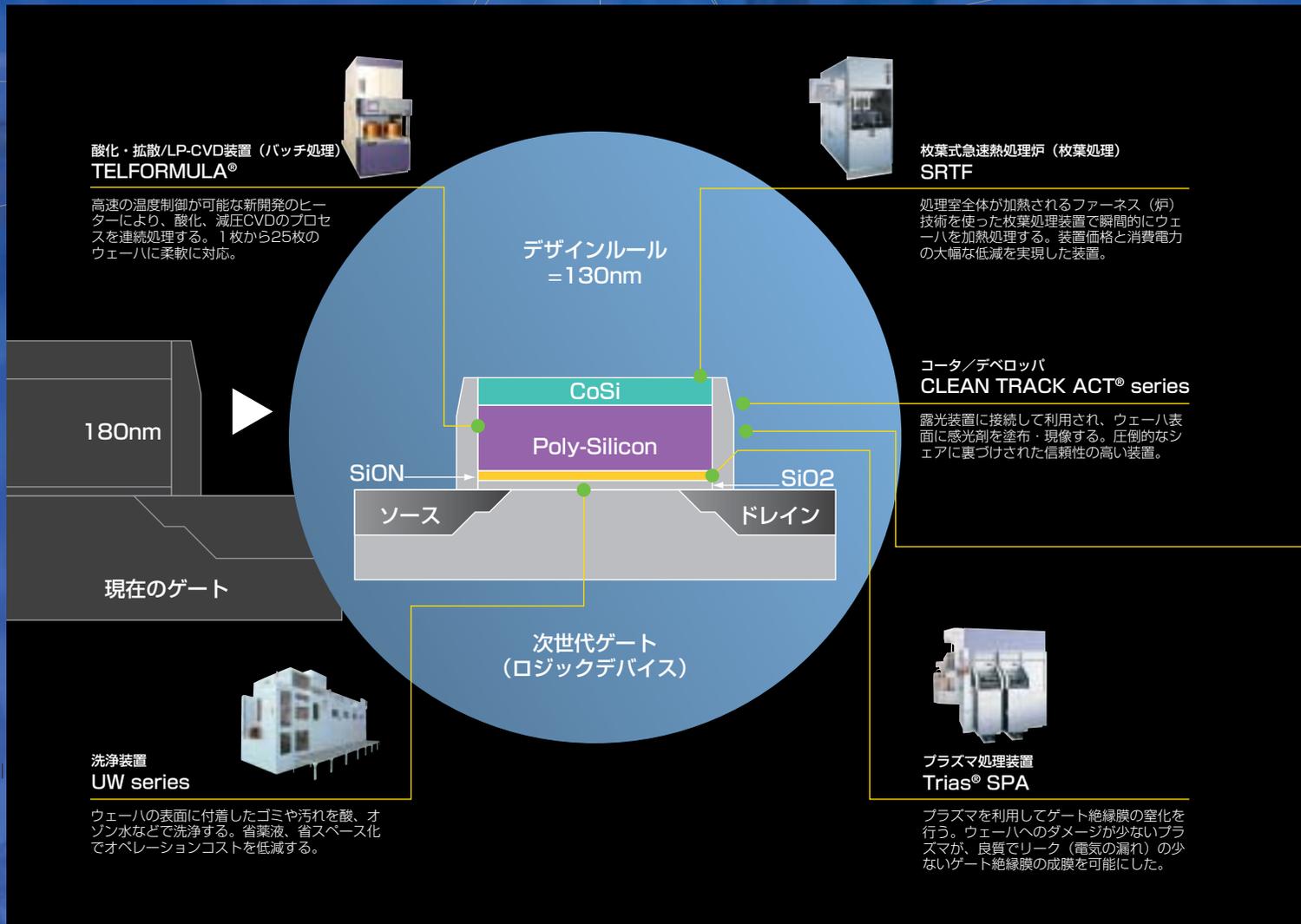
2. 低誘電率の層間絶縁膜

配線が微細になり、間隔が狭くなるにしたがって、配線の中を移動する電子の移動スピードが層間絶縁膜の寄生容量の影響を受けて遅くなります。この問題を解決するためには誘電率の低い絶縁膜の利用が有効です。

半導体チップの大規模な集積化、高速化、低消費電力化という3つの技術課題—これを解決するのが微細化リソグラフィ、低抵抗の配線、低誘電率の層間絶縁膜、極薄のゲート絶縁膜です。このために、今、チップ製造のプロセス（製造方法）や材料に大きな変化が起きています。東京エレクトロンは、こうした最先端テクノロジーの開発に取り組み、ワールドクラスの製品ラインアップで“Best of Breed”によるソリューションを世界の半導体メーカーに提供しています。

ゲート絶縁膜とゲート電極の形成

LSI(大規模集積回路)の中のトランジスタは、シリコン上に電極と絶縁膜を積層したゲートと不純物が注入されたソース/ドレインから構成されています。高速ロジックチップにおいては、特にゲートの部分における電気信号の遅延時間が問題となっています。この問題に対処するために、トランジスタ全体の微細化、ゲート電極の低抵抗化、ゲート絶縁膜の薄膜化、そして薄膜化の限界に対応する材料とプロセスの開発が進んでいます。



3. ゲート絶縁膜の薄膜化

一般に半導体チップのトランジスタはスケールリング則に従って、ゲートの長さ、幅、ゲート絶縁膜の厚さなどの値が小さくなれば、電流、電圧、信号遅延時間等、半導体デバイスの性能を示す値が向上します。

銅配線と層間絶縁膜の形成

最先端の半導体は1つのチップ上に数千万個のトランジスタが作られるほど高集積化が進み、トランジスタをつなぐ配線も微細になり、配線と配線の間隔も狭くなっています。この結果、配線部分における電気信号の遅延が無視できない問題となってきました。この問題を解決するために、従来のアルミニウム配線と二酸化シリコン(SiO₂)の絶縁膜に代わって、銅配線と低誘電率の層間絶縁膜材の採用が最先端の製造工程において進行しています。特に、多層配線技術が要となるロジックチップにおいては、これらのプロセス開発が活発に行われています。

銅メッキ装置

NuTool® 2000 (米国 NuTool Inc. 社製品)

銅配線用の電解メッキ成膜装置。独自技術により成膜後の銅の研磨量の大幅な低減を可能にした。



SODコータ

CLEAN TRACK ACT® series

低誘電率の層間絶縁膜を塗布方式で成膜する装置。100ナノメートル世代から本格的な市場拡大が期待される。



プラズマエッチング装置

Telius®

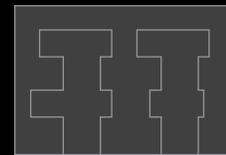
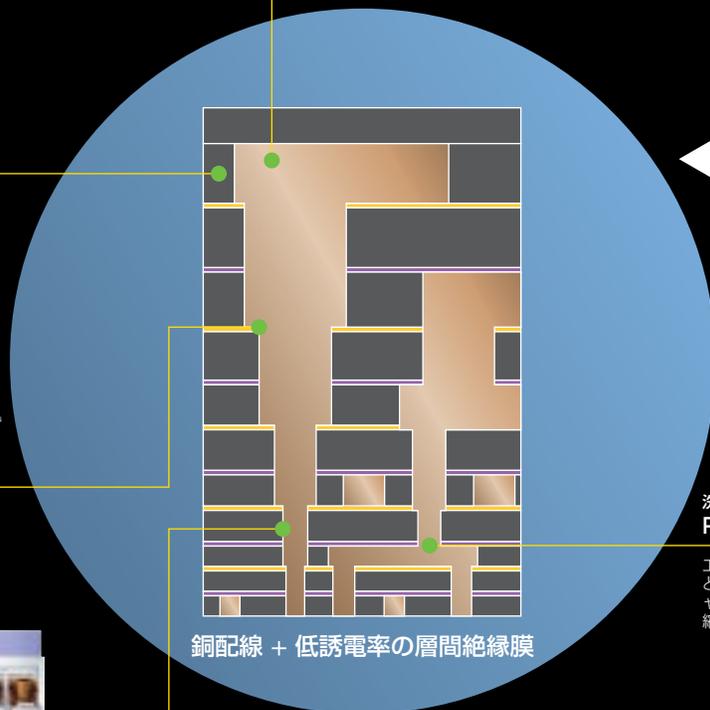
プラズマを利用して絶縁膜を食刻する装置。特にディープトレンチ(深溝)や選択的エッチングなどハイエンドアプリケーションに威力を発揮する。



枚葉CVD装置

Trias®

熱やプラズマを利用して金属膜や拡散防止膜を形成する。DRAM関連のアプリケーションでは高いシェアを誇る。



アルミニウム配線 + SiO₂



洗浄装置
PR series

エッチング後の残渣(ざんざ)を化学反応とスプレー技術で洗浄する。独自の二重チャンバーが洗浄能力の高さと処理時間の短縮を達成。

銅配線 + 低誘電率の層間絶縁膜

リーディングサプライヤとしてさらなる価値を提供する

今後、デジタルエレクトロニクス機器が個人に普及すると、半導体の需要をドライブするのはますますライフサイクルの短い製品になります。また、アプリケーションの多様化も同時に進行することから、半導体メーカーは設計分野に注力し、製造プロセスに関しては装置メーカーへの依存度を一層高めてゆく時代がきます。ファウンドリー（ICの委託生産会社）においても、ファブレスメーカーの設計に対して製造プロセスを適合させるため、製造工程に関しては装置メーカーに任せていく度合いを深めてゆくものとみられます。

“What to make”を指向する半導体メーカー、 “How to make”を担う装置メーカー

IC製造の黎明期において、半導体製造装置メーカーの役割はハードウェアの製造という分野に限られていました。時代を重ねるごとに、総合的なプロセスレシピの提供や隣り合った製造工程間の最適化、さらに人間が何もなくても装置が独自に最適化を図るシステムの創造など、チップ製造における装置メーカーの寄与度が次第に高まり、これが装置メーカーの付加価値となってきました。東京エレクトロンは幅広い製品ラインナップとワールドクラスの研究開発能力を背景に、お客様に提供できる新たな付加価値の創造に挑戦しています。

広がる半導体製造装置メーカーの役割

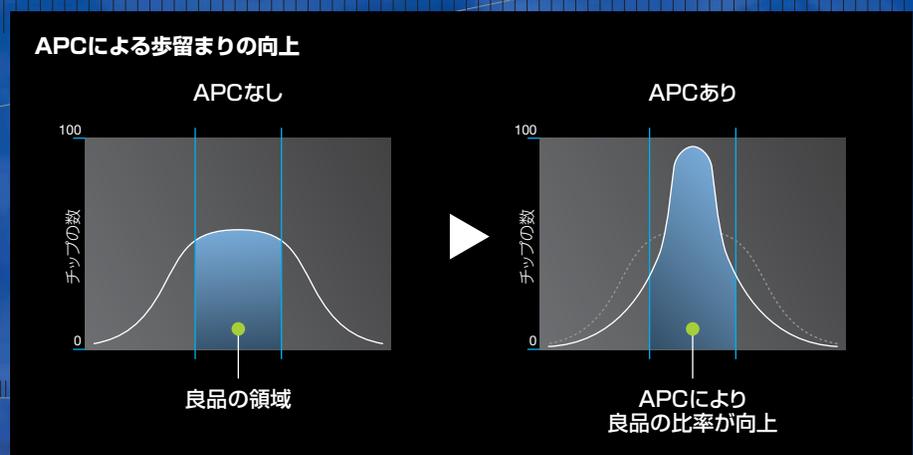
工場のマネジメント				
製造技術				●
プロセスコントロール				●
プロセス インテグレーション			●	●
プロセスレシピ		●	●	●
ハードウェア	●	●	●	●
	1970s	1980s	1990s	2000s

アドバンスト・プロセス・コントロール

アドバンスト・プロセス・コントロール（APC）とは、従来、人間が介在して工程の出来映えやミスがないかをチェックしていたものを装置内や製造ライン内で自動的に行い、プロセスと歩留まりを安定させるためのものです。

重要な歩留まりの管理

半導体の製造には、物理・化学の領域における最先端の複合技術が駆使されますが、そのテクノロジーの複雑さゆえに、常に作られる半導体チップが良品とは限りません。しかしながら、チップの良品率は半導体メーカーにとっては死活問題の一つとも言え、歩留まりを上げるとはコスト面、市場投入のスピードの観点から大きな課題となっています。APC技術は半導体メーカーの生産コスト低減に直接貢献するため、近い将来、製造装置の差別化のための大きなファクターとなります。



東京エレクトロンのAPCへの取り組み

東京エレクトロンは2001年2月に米国Timbre Technology社を買収し、装置の中でプロセスの結果を測定するOptical Digital Profilometry（光を用いた表面解析技術）というソフトウェア技術を取得しました。従来の走査電子顕微鏡による検査に比べ、ODPは断面形状や膜厚を測定する時間を圧倒的に短縮します。東京エレクトロンはAPCへの最初のアプローチとして、当社の強みとするリソグラフィ工程の装置（コータ/デベロッパ・エッチング）にこのODP技術を搭載し、APCを装置レベルで実現する開発プログラムを進めています。

