

TEL



東京エレクトロン株式会社 コーポレートアップデート

2024年2月15日



内容

1.	会社概要	3
2.	半導体および半導体製造装置市場の見通し	17
3.	企業理念体系と中期経営計画	23
4.	事業環境と業績予想	31
5.	コーポレート・サステナビリティ	39
6.	多様化する半導体技術	51
	6-1 技術開発ロードマップの全体像	52
	6-2 EUVリソグラフィ導入の効果と技術動向	61
7.	TELの戦略	70
	7-1 SPE事業の取り組み	71
	7-2 エッチング装置	77
	7-3 成膜装置	86
	7-4 洗浄装置	92
	7-5 後工程 事業戦略 貼り合わせ接合プロセス開発へ向けた取り組み	98
	7-6 フィールドソリューションの取り組み	107
	7-7 デジタルトランスフォーメーション（DX）の取り組み	113
	7-8 生産・調達戦略	126
	Appendix : 各種データ	131

1. 会社概要

会社概要

設立

1963年 (昭和38年) 11月11日

主要事業

半導体製造装置事業

資本金

549億 6,119万円

売上/利益

売上高 2兆2,090億円 / 営業利益 6,177億円 / 営業利益率 28.0% (2023年3月期)

従業員数

2,021人 (単独) 17,522人 (連結)

拠点数

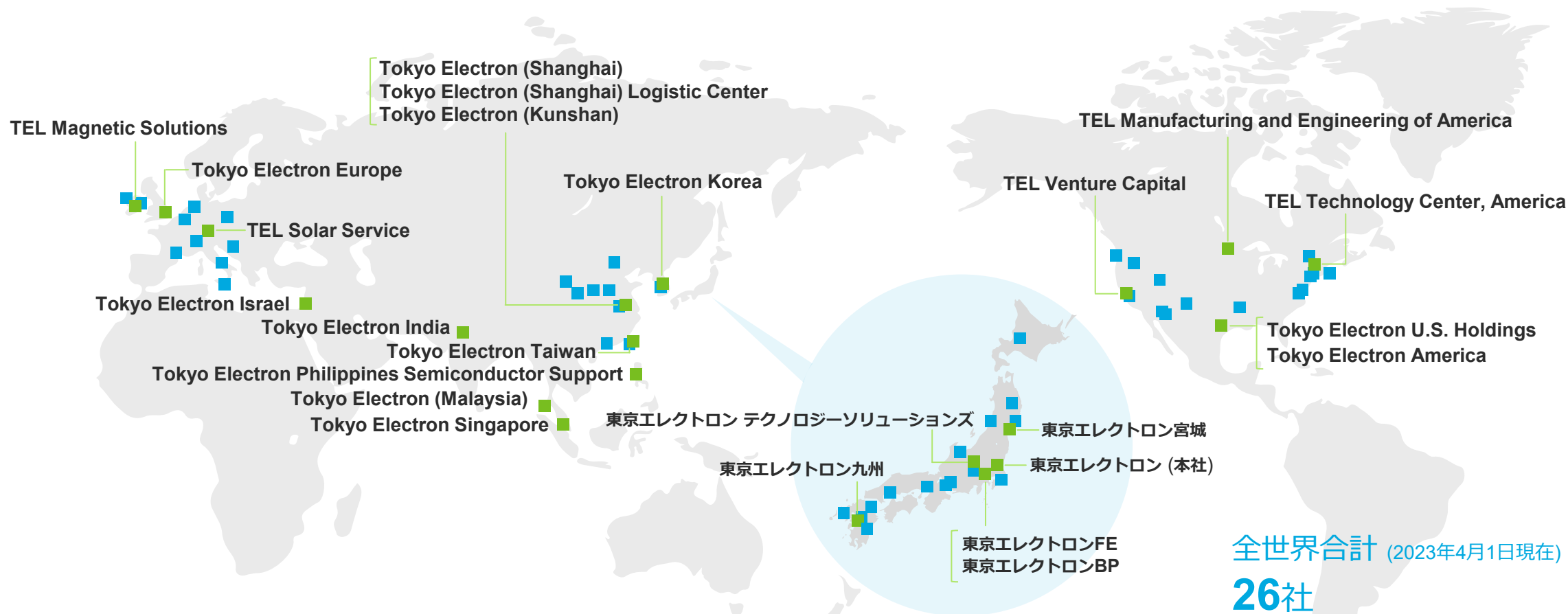
国内 6社・27拠点
海外 20社・17の国と地域・56拠点
合計 26社・18の国と地域・83拠点 (連結)

(2023年4月1日現在)



世界主要拠点

(2023年11月14日現在)



全世界合計 (2023年4月1日現在)

26社

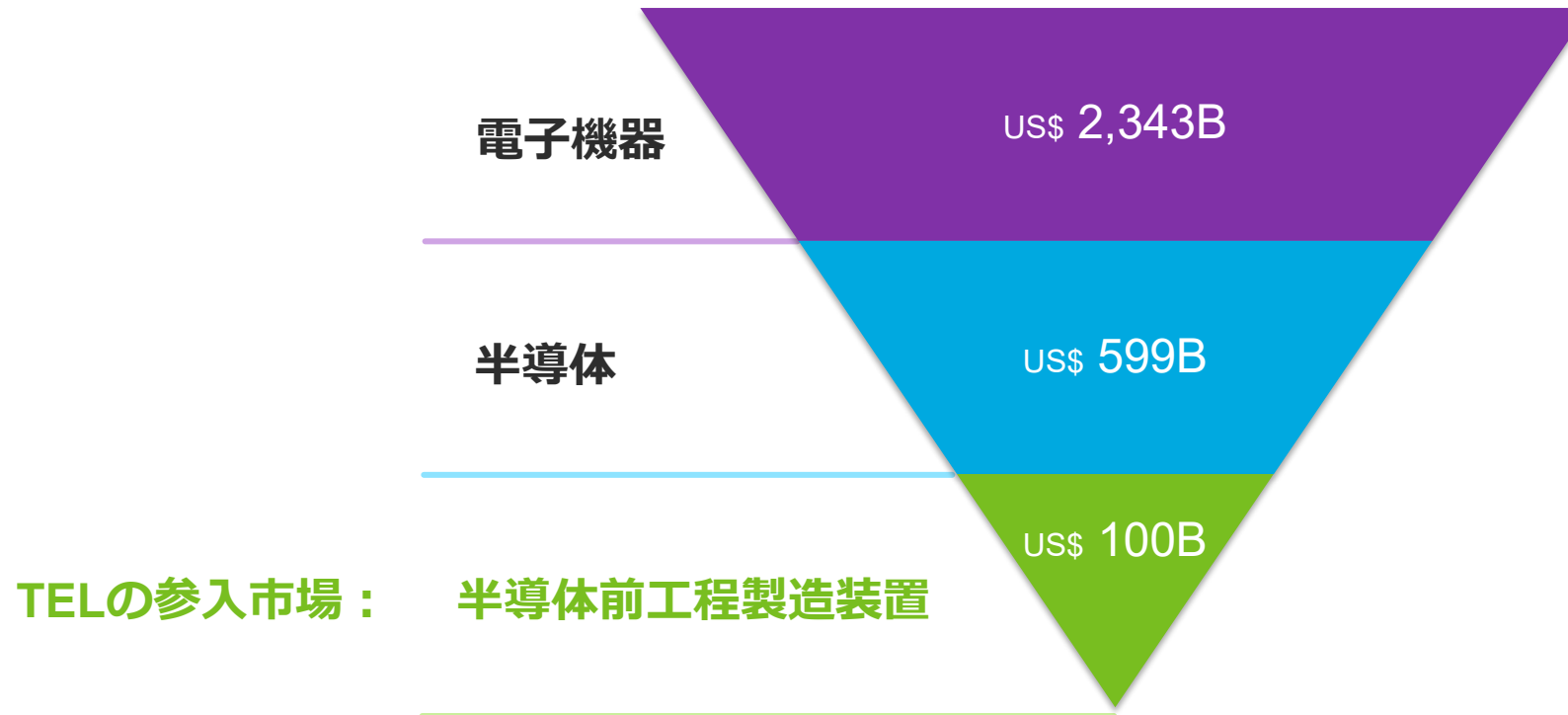
18カ国・地域

83拠点

■ 本社
 ■ 支社、事業所 (サービス拠点を含む)、営業所
*現在清算整理中の会社は地図上に表記していません。

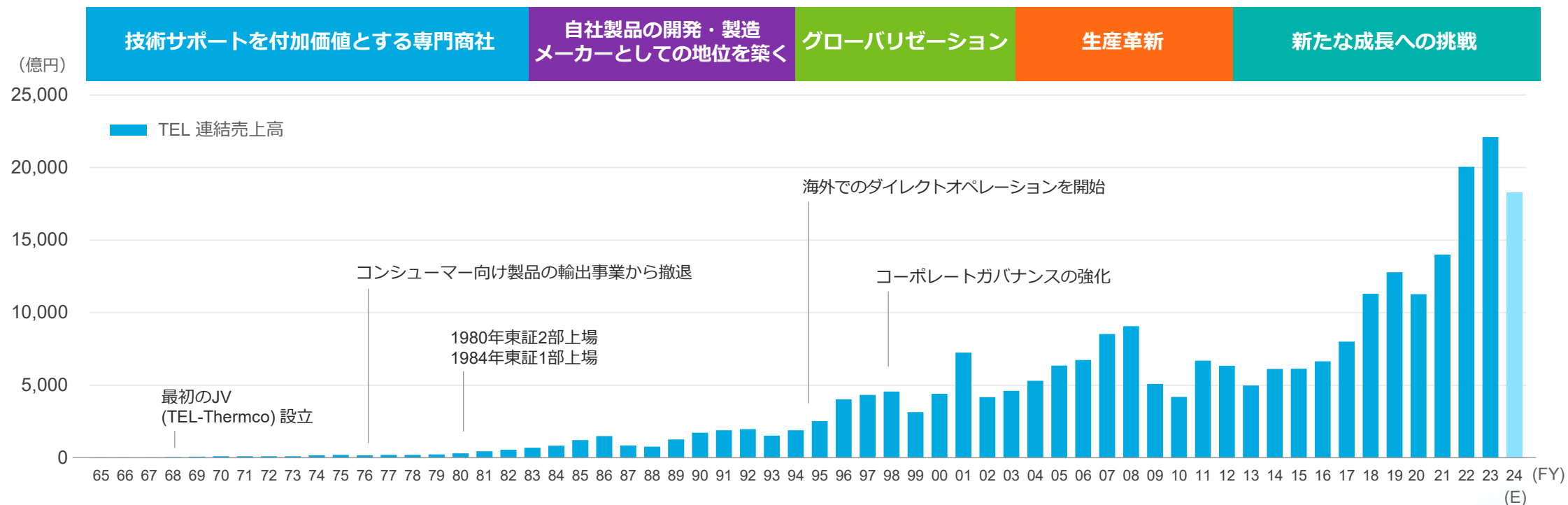
電子機器関連産業 市場構造

CY2022 世界市場

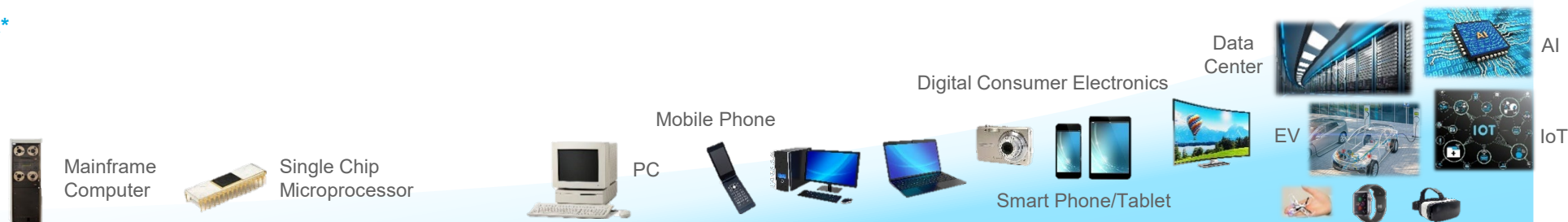


図はガートナーリサーチに基づき、東京エレクトロンが作成
出所 : Gartner®, "Forecast: Semiconductor Capital Spending, Wafer Fab Equipment and Capacity, Worldwide, 4Q23 Update", Bob Johnson, Gaurav Gupta, 22 December 2023
電子機器 = Electronic Equipment Production/半導体 = Semiconductor Revenue/ 半導体前工程製造装置 = Total Wafer Fab Equipment. Revenue basis.
GARTNERは、Gartner Inc.または関連会社の米国およびその他の国における登録商標およびサービスマークであり、同社の許可に基づいて使用しています。All rights reserved.

TELの成長の軌跡

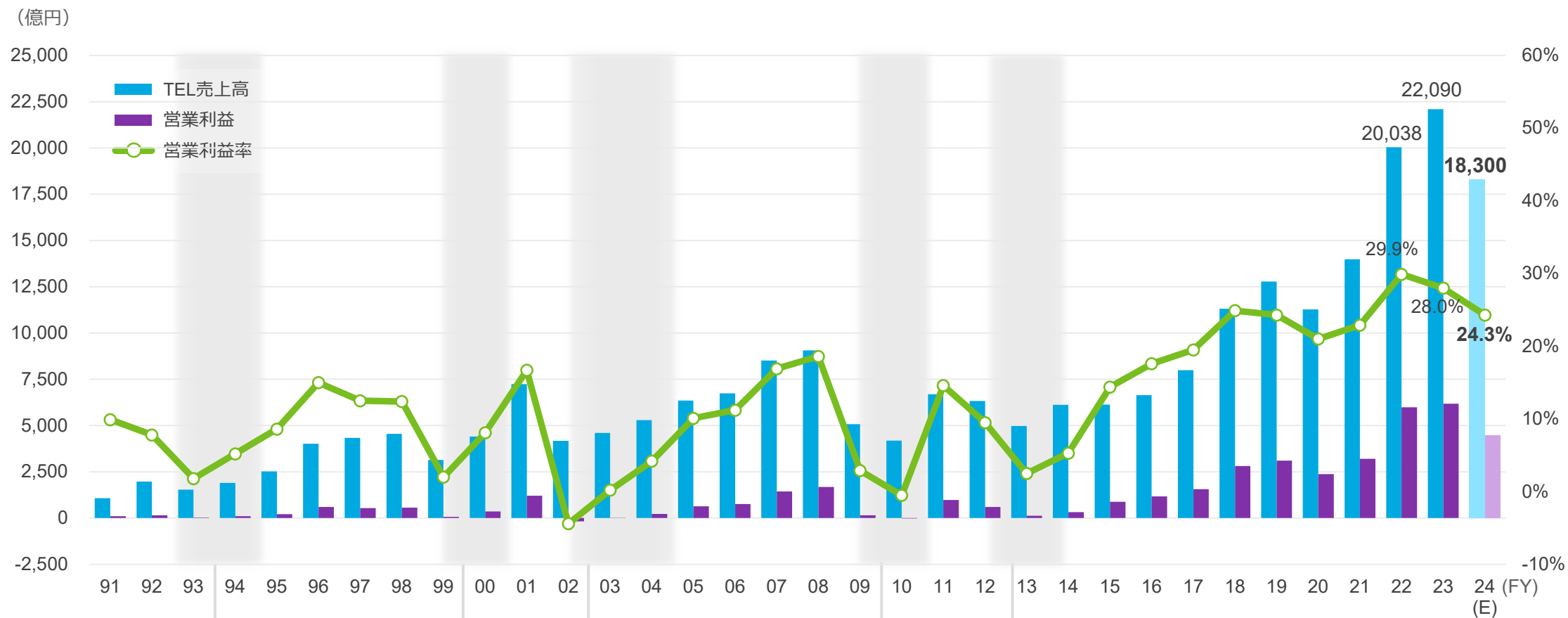


半導体用途の拡大*



*半導体の用途の拡大を示すイメージ図であり、半導体の使用量の実数を示すものではありません。

売上高と営業利益の推移



4M DRAM 供給過剰

ITバブル崩壊
ロジックファウンドリの過剰投資

欧州債務問題、新興国の成長鈍化
PC、モバイル等の需要低迷

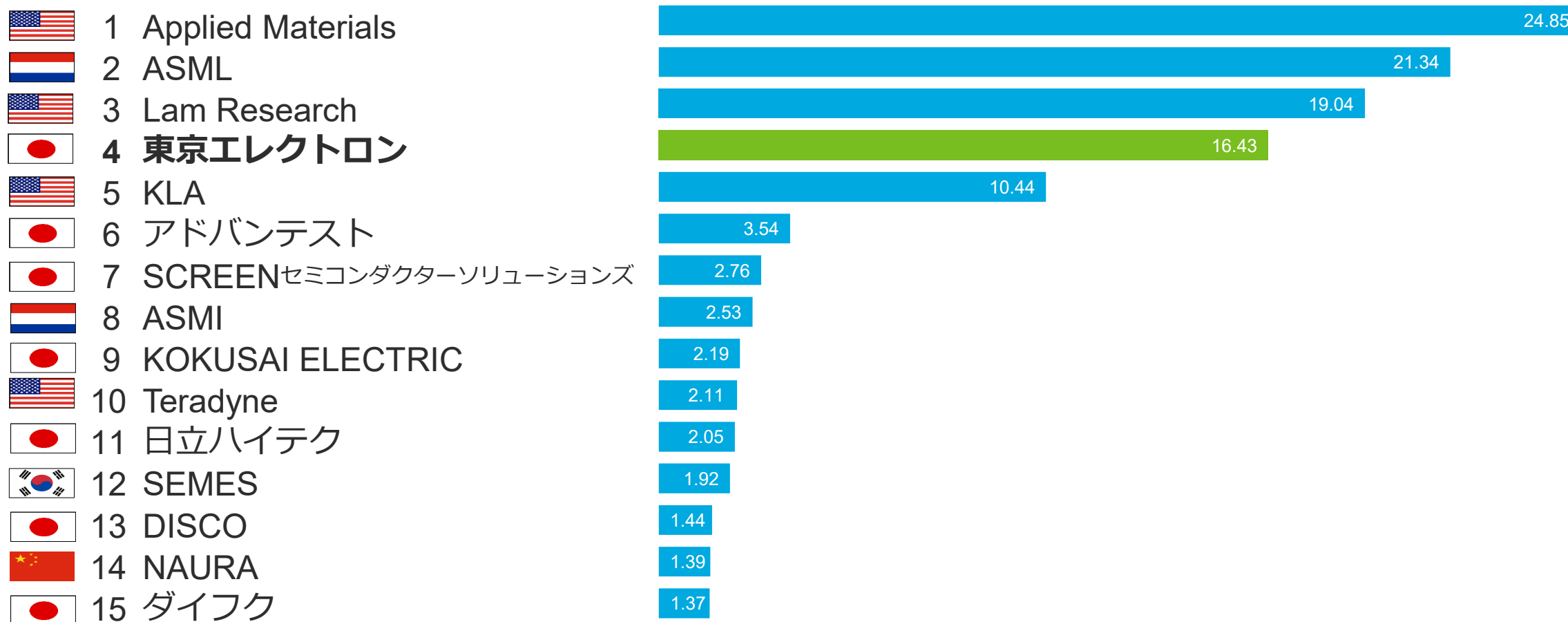
アジア経済危機
64M DRAM 供給過剰

世界経済危機
メモリの過剰投資

CY2022 半導体製造装置メーカー トップ15

CY2022 売上

(Billions of US\$)

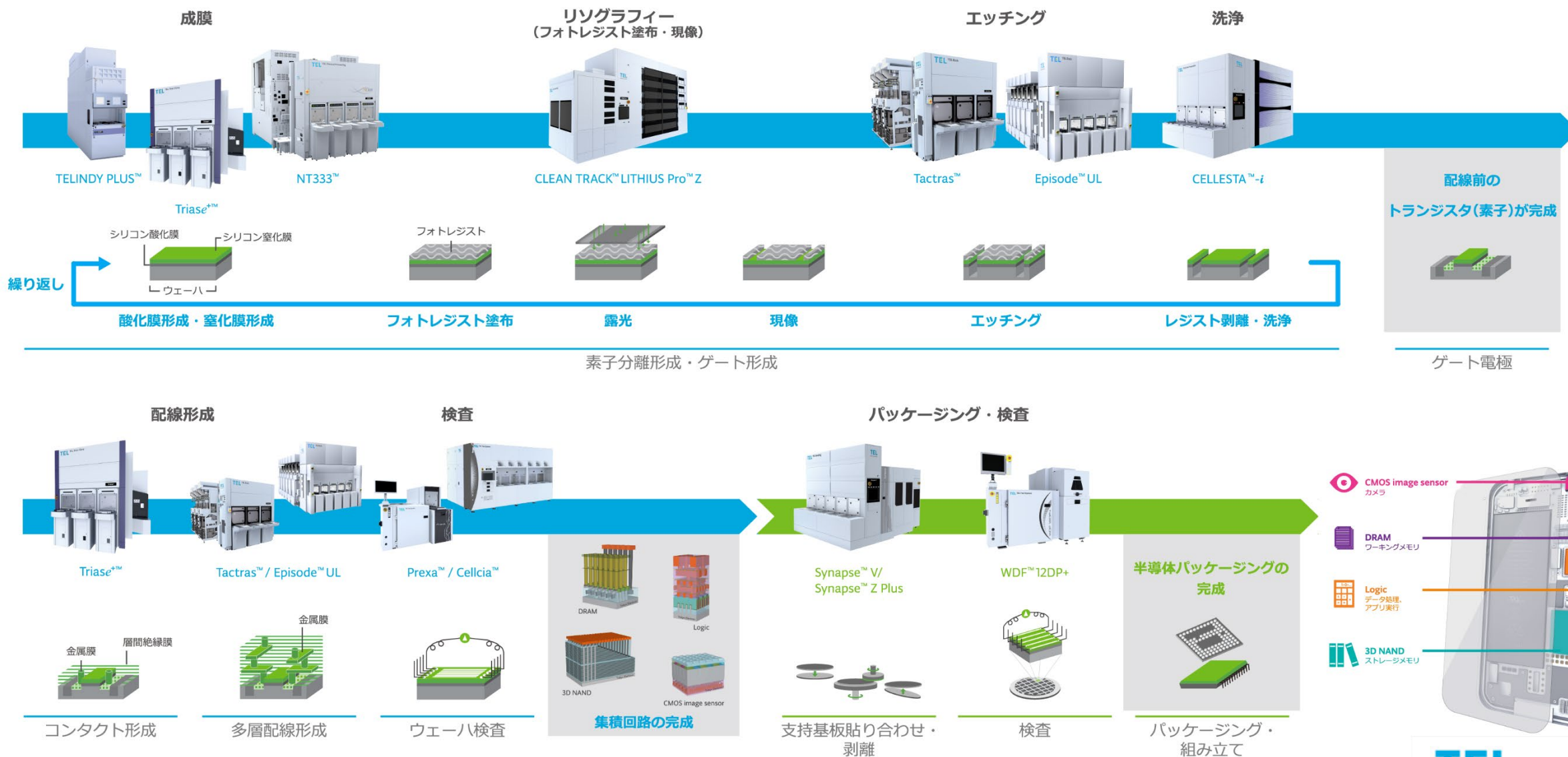


Source : TechInsights Manufacturing Analysis Inc., May 2023

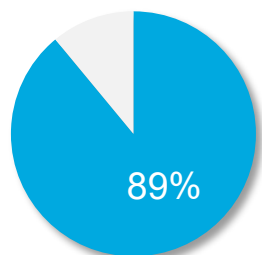
半導体製造プロセス

TELCC-SMP-001

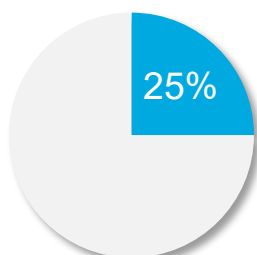
■ ウェーハ処理プロセス(前工程) ■ 検査・組み立てプロセス(後工程)



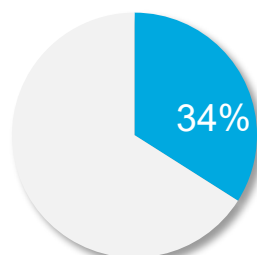
TEL SPE* 主要プロダクト 世界市場シェア (CY2022)



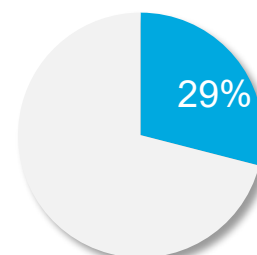
コータ/デベロッパ



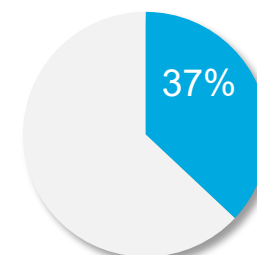
ドライエッチング装置



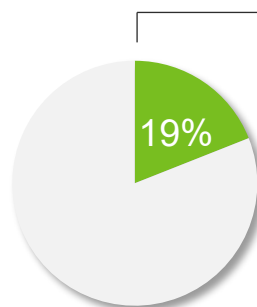
成膜装置



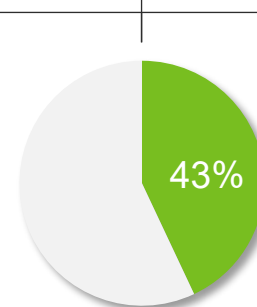
洗浄装置



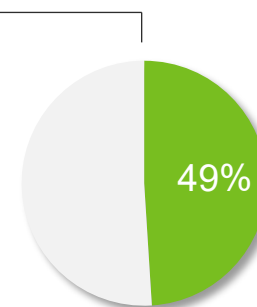
ウェーハプローバ



ALD



CVD



酸化/拡散

出所

半導体製造装置（ウェーハプローバを除く）: Gartner®, Market Share: Semiconductor Wafer Fab Equipment, Worldwide, 2022, Bob Johnson, Gaurav Gupta, Menglin Cao, 17 April 2023

図はガートナーリサーチに基づき、東京エレクトロンが作成。ここに記載のある数値は、東京エレクトロンにより算出されたものです。

コータ/デベロッパ: Photoresist Processing (Track), ドライエッチング装置: Dry Etch, 成膜装置: Tube CVD + Atomic Layer Deposition Tools + Oxidation/ Diffusion Furnaces + Nontube LPCVD, ALD: Atomic Layer Deposition Tools, CVD: Tube CVD + Nontube LPCVD, 酸化/拡散: Oxidation/Diffusion Furnaces, 洗浄装置: Single Wafer Processors + Wet Stations + Batch Spray Processors + Scrubbers + Other Clean Equipment GARTNERは、Gartner Inc.または関連会社の米国およびその他の国における登録商標およびサービスマークであり、同社の許可に基づいて使用しています。All rights reserved. Gartnerは、Gartnerリサーチの発行物に掲載された特定のベンダー、製品またはサービスを推奨するものではありません。また、最高のレーティング又はその他の評価を得たベンダーのみを選択するようにテクノロジーユーザーに助言するものではありません。Gartnerリサーチの発行物は、Gartnerリサーチの見解を表したものであり、事実を表現したものではありません。Gartnerは、明示または黙示を問わず、本リサーチの商品性や特定目的への適合性を含め、一切の責任を負うものではありません。

出所

半導体製造装置（ウェーハプローバ）:

TechInsights Manufacturing Analysis Inc., April 2023
図はTechInsights Manufacturing Analysis Inc.に基づき、東京エレクトロンが作成。

TELの強み

Only One

4連続工程に装置をもつ



成膜 塗布/現像 エッチング 洗浄

No.1/No.2

シェア世界1・2位の製品群

主要製品と世界シェア*

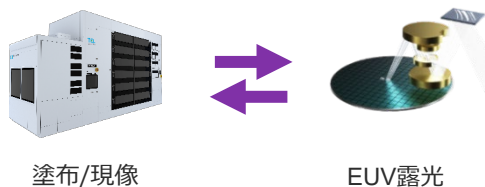


*当社推定

100%

EUV露光用
塗布/現像装置シェア

*当社推定



塗布/現像

EUV露光

No.1

世界装置出荷台数

年間装置出荷台数

約**6,000**台*1

世界装置出荷台数 業界最大の

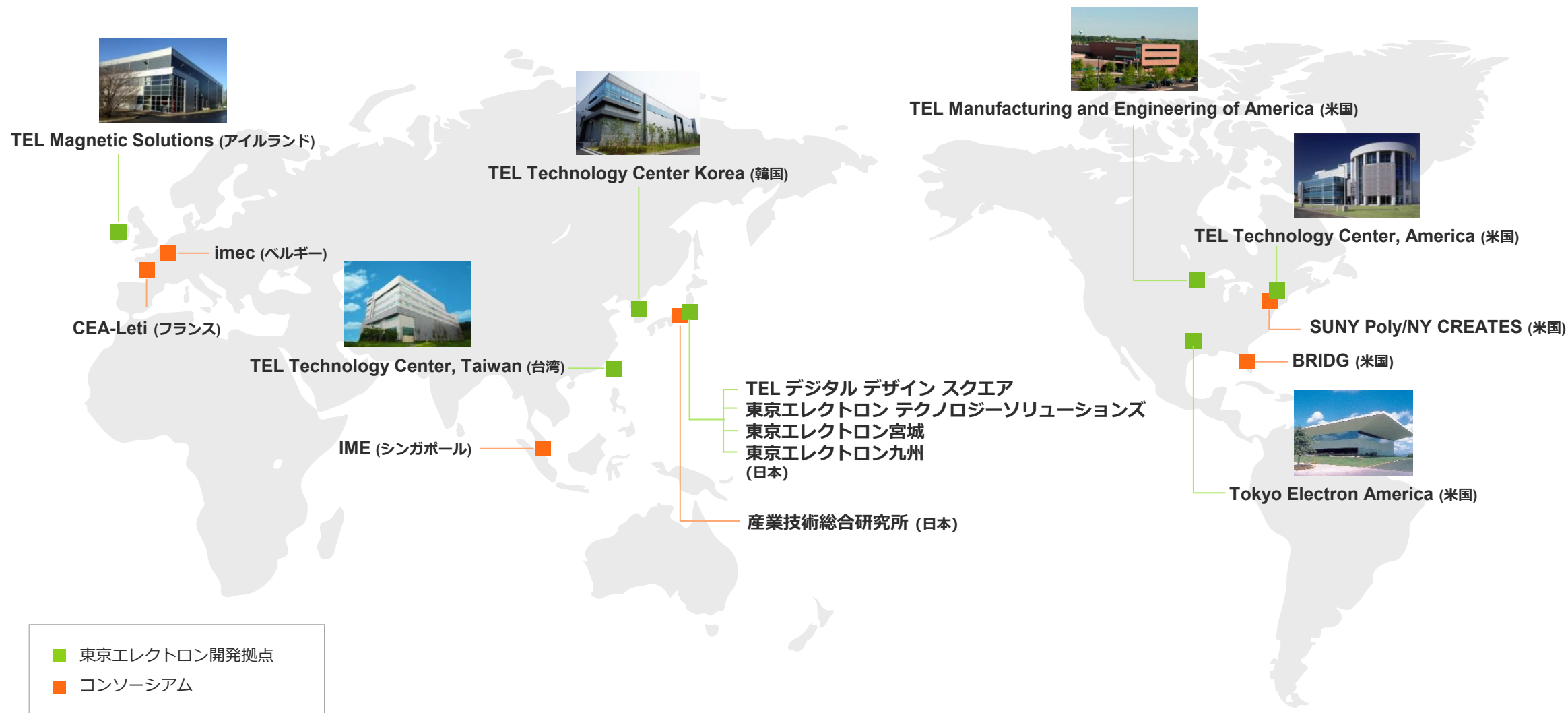
91,000台*2



*1 2023年3月末時点
*2 2023年12月末時点

グローバル開発拠点

(2023年11月14日現在)



開発体制のさらなる強化

山梨開発棟

成膜、ガスケミカルエッチ、コーポレート開発
(2023年7月 竣工)



宮城開発棟

エッチング装置
(2025年春 竣工予定)



熊本開発棟

コータ/デベロッパ、洗浄装置
(2025年夏 竣工予定)



宮城技術革新センター

エッチング装置
(2021年10月 稼動開始)



TEL デジタル デザイン スクエア

DX、ソフトウェア開発
(2020年11月 開設)

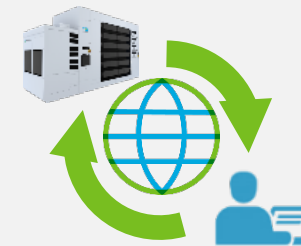


Best Products、Best Serviceの継続的 pursuit のために

Front-loading



Advanced field solutions

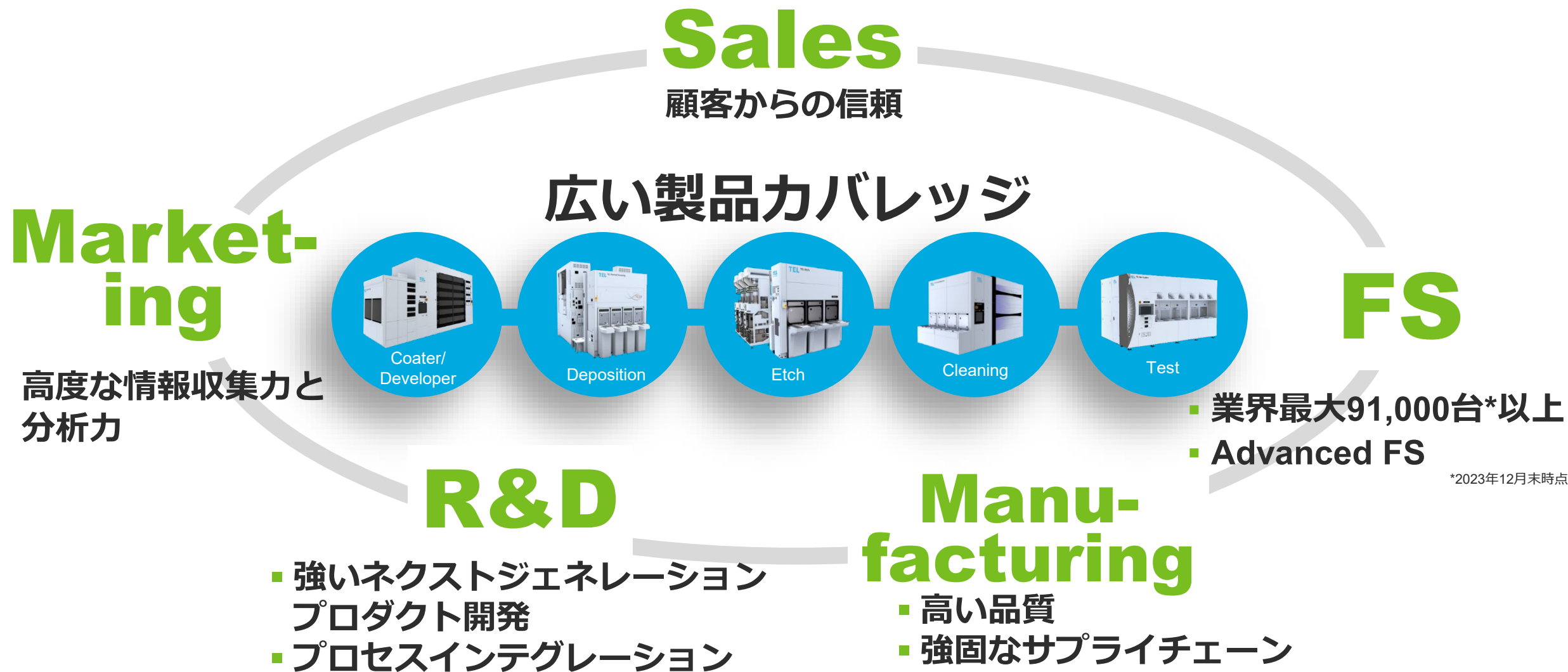


- 顧客との複数世代にわたる技術ロードマップ共有
- Early engagementの推進
- 量産初期より顧客製品デバイスの歩留まりと装置稼働率の最大化を実現、また環境負荷も低減
- 仕事の効率化と1人当たりの生産性向上を推進し、人材・開発への投資をさらに増加

- 業界最大の納入済装置**91,000**台*を生かしたビジネス展開
- 遠隔保守 TELeMetrics™
- Machine learningによる予知保全

*2023年12月末時点

TELの総合力を最大限に生かす



2. 半導体および半導体製造装置市場の見通し

IoT・AI・5Gの普及とデジタルシフトの加速

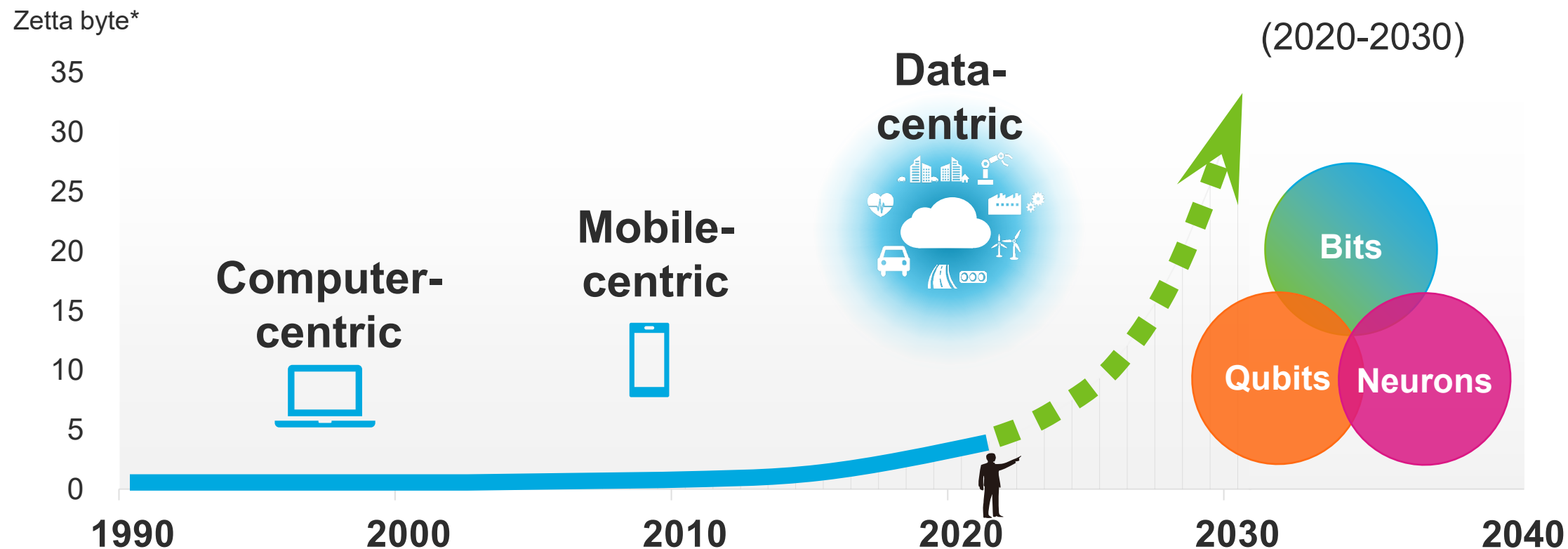
IoT **AI** **5G/6G** **Cloud** **Metaverse**



どのような状況でも経済活動が止まらない、強くしなやかな社会の構築に向け
世界はICT、DXを強力に実装するとともに、脱炭素社会の構築を目指す

世界のデータ通信量

年平均伸び率
CAGR 26%
(2020-2030)

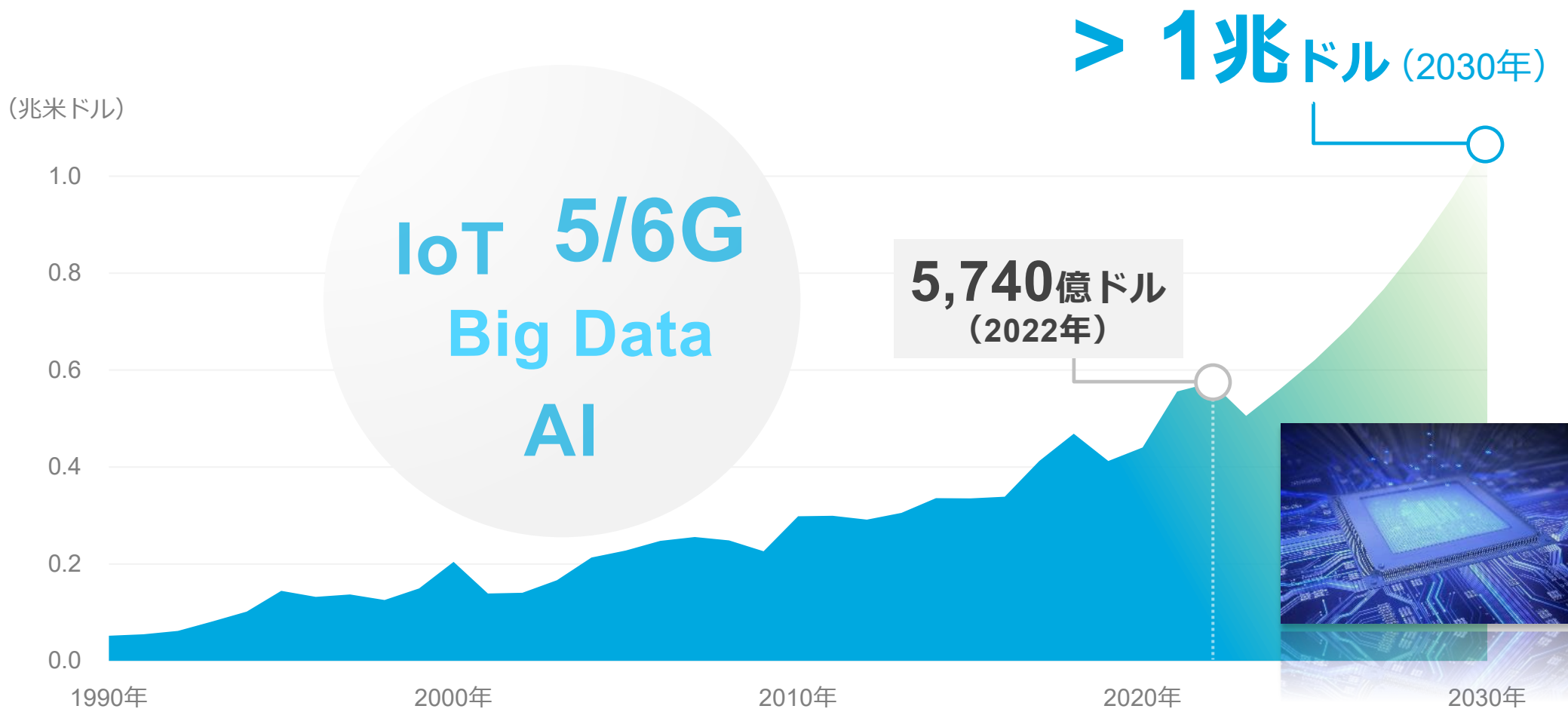


Source : Omdia

*Zetta byte: データ量をあらわす単位、1Z byte= 10^{21} byte、1 Zetta byteは「世界中の砂浜の砂粒の数」といわれている

激増するデータ通信量

半導体市場の展望

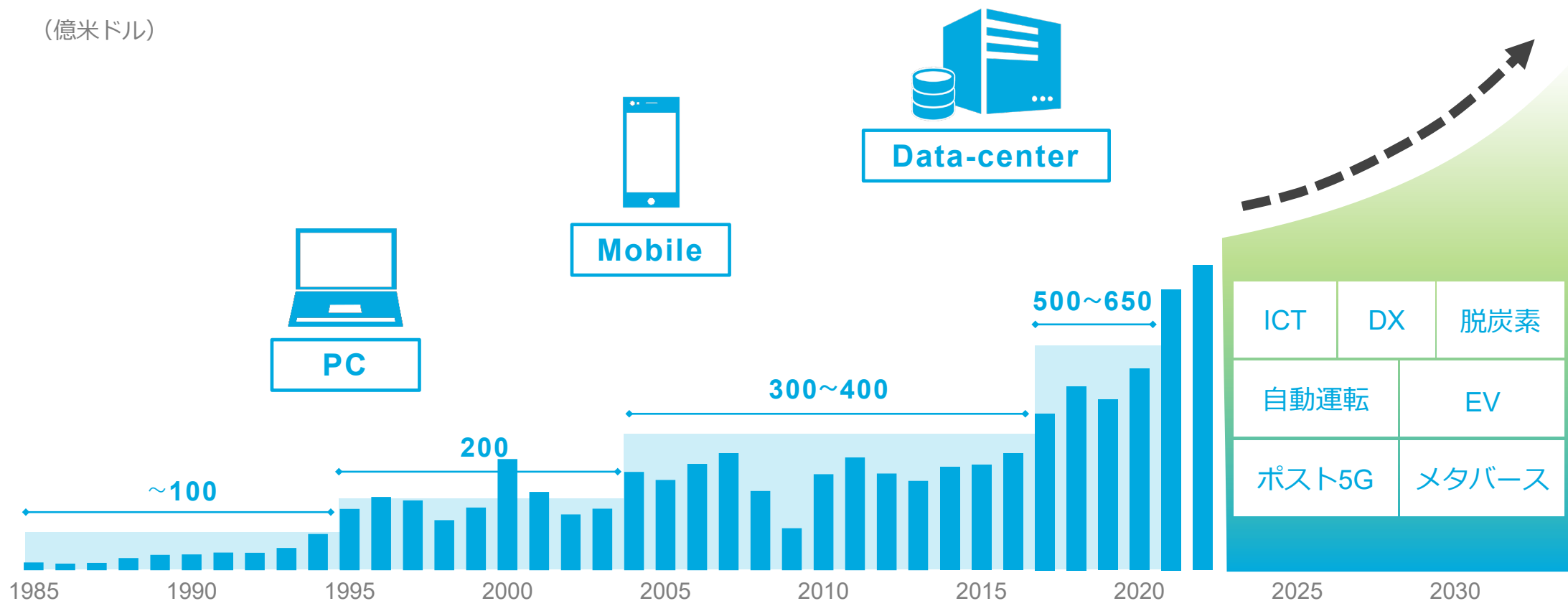


Source: 1990-2022 (WSTS) / 2023-2030 (IBS, January 2024)

2030年で1兆ドル超を見込む

半導体前工程製造装置 (WFE) 市場

(億米ドル)



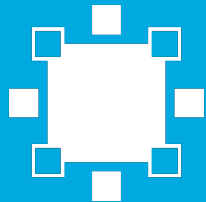
Source : TechInsights Manufacturing Analysis Inc. (VLSI) (1985~2022)

デジタル化の一層の進展とさらなる半導体の進化で
製造装置市場は一段と成長

未来に向けた成長投資（FY2025～FY2029）

研究開発費

1.5兆円



設備投資

7,000億円



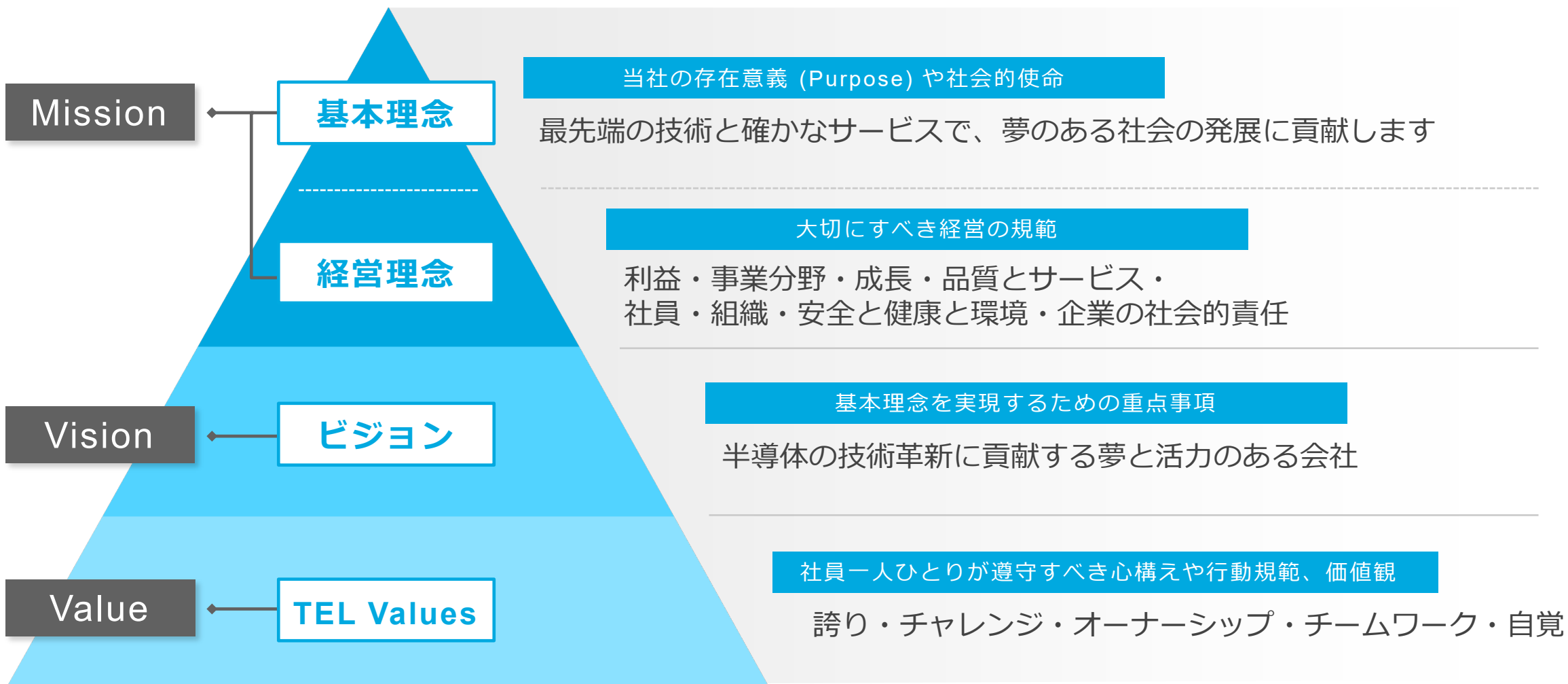
人材採用

10,000人
毎年2,000人



3. 企業理念体系と中期経営計画

企業理念体系



ビジョン

半導体の技術革新に貢献する夢と活力のある会社

東京エレクトロンは、世の中の持続的な発展を支える半導体の技術革新を追求します。

当社の専門性を生かし、付加価値の高い最先端の装置と技術サービスを継続的に創出することで、中長期的な利益の拡大と継続的な企業価値の向上を目指していきます。

そして、企業の成長は人、社員は価値創出の源泉と位置づけ、ステークホルダーとのエンゲージメントを通じて、このビジョンの実現に向けて活動してまいります。

Technology Enabling Life

Technology Enabling Lifeは
企業理念（基本理念、経営理念、ビジョン、TEL Values）を
表現したコーポレートメッセージです。

CSV

(Creating Shared Value : 共有価値の創造)

企業の専門性を活用して社会課題を解決することで社会的価値と経済的価値を創出
それにより企業価値の向上と持続的な成長を実現するという考え



TSV

TEL's Shared Value

=

- 世の中の持続的な発展を支える半導体の技術革新を追求
- 付加価値の高い最先端の装置と技術サービスを継続的に創出
- 中長期的な利益の拡大と継続的な企業価値の向上
- ステークホルダーとのエンゲージメント

ビジョンの実現 = TELにおける共有価値の創造

社会課題に対する当社のアプローチ

世の中の持続的な発展 / 価値観や幸せの多様化

ソリューション

オンライン化/メタバース



AI診断/予防/ロボット



Smart化



EV/自動運転/MaaS



テクノロジー

高速通信
(5G/6G)

Cloud/Edge
Computing

AI

IoT

AR/VR/MR

半導体

Logic

Memory

Power

Analog

Sensors

Displays

TEL

半導体の技術革新の追求：大容量・高速・高信頼性・低消費電力

高精細・フレキシブル
・低消費電力

ビジョンと中期経営計画のつながり

FY'23

FY'27

FY'31 (CY'30)

■ 2030年に向けた目標

- 世の中の持続的な発展を支える
 - ① 半導体市場を技術革新により牽引 / ② 持続可能な地球環境に貢献
- 中長期的な利益の拡大と継続的な企業価値の向上
- ステークホルダーとのエンゲージメント

■ 中期経営計画 (FY'23~27)

- 財務目標の達成
(2030年を見据えた5年間の目標)

“ビジョンの実現”

半導体の技術革新に貢献する
夢と活力のある会社



2030年でのビジョンの実現を視野に
FY'27までに中期経営計画の達成を目指す

継続的な企業価値向上に向けた重要指標を設定

マテリアリティ
(重要分野)



- 売上高・営業利益率・ROE

- ネットゼロへの取り組み

 - ✓ 製品・事業所・物流等のCO₂削減

- ステークホルダー・エンゲージメント

- 安全

- リスクマネジメント

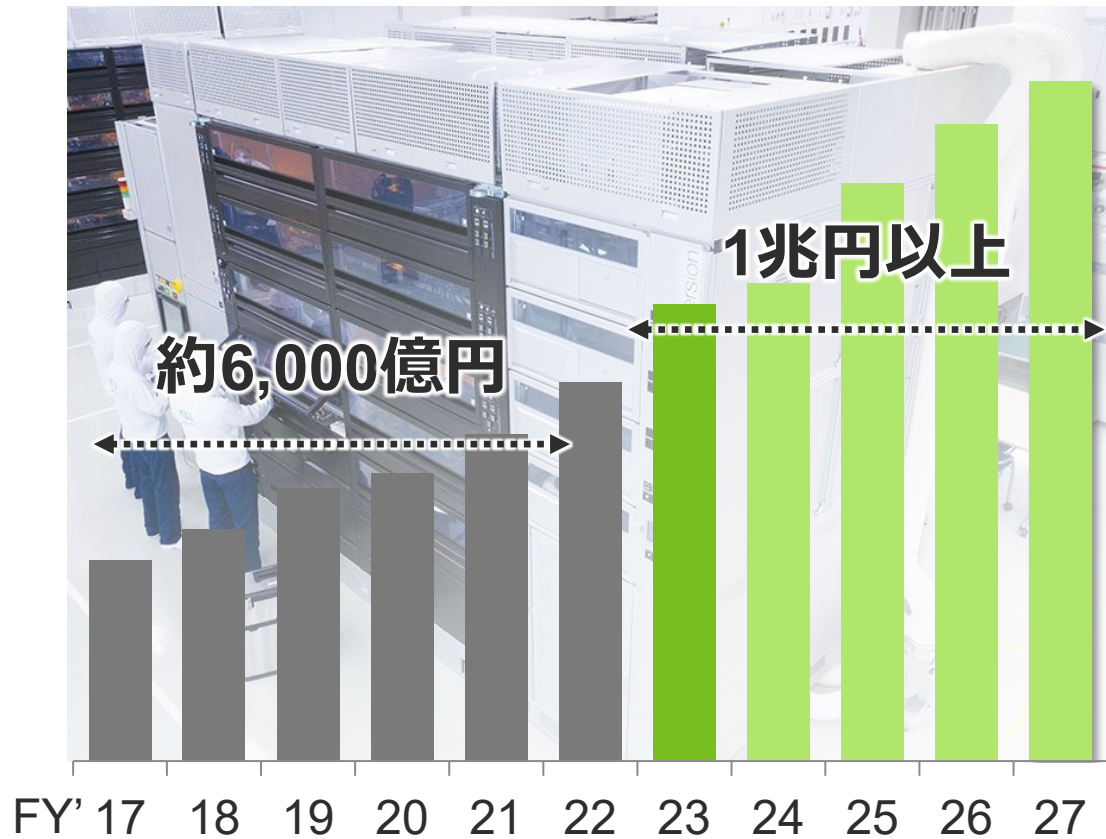
- ガバナンス

短中長期の利益と継続的な企業価値の向上を目指して

中期経営計画 財務目標

財務目標（~FY'27）	
売上高	≥ 3兆円
営業利益率	≥ 35%
ROE	≥ 30%

積極的な研究開発投資



**FY'23から5年間で
1兆円以上を計画**

付加価値の高いnext-generation productsの創出へ
さらなる成長投資を実施

4. 事業環境と業績予想

事業環境（2024年2月時点でのWFE市場の見方）

■ **CY2023：\$95B程度で着地と試算**

- 中国顧客の投資増に伴い上方修正

■ **CY2024：\$100B程度と予測**

- 中国顧客の投資継続と、年後半の最先端DRAM向け投資の回復を見込む

■ **CY2025：二桁成長を期待**

- AIサーバーの成長が継続（CAGR 2023-2027：+31%*）
- PC・スマートフォンの需要回復
 - オンデバイスAIなど、新たなアプリケーションに対応した新機能
 - コロナ期に購入した製品の買い替え
 - 企業のIT投資

➔これらに伴い、先行するDRAMに加え、NANDと先端ロジック/ファウンドリの設備投資も回復すると予測

*Source : Omdia

FY2024 Q3 事業進捗

- 売上・利益とも、順調に進捗
- 戦略製品によるPOR^{*1}獲得や、将来成長に向けた開発評価が進展
 - POR獲得：DRAM向け HARC^{*2}エッチング、先端ロジック向けSiエッチング、先端ロジック向け裏面ベベル洗浄
 - 極低温エッチングの量産に向けた評価も順調
 - ウェーハボンディング/デボンディング装置：量産受注が急拡大し、想定の2倍以上の引き合い
- 半導体の技術革新に貢献する新技術・新製品をリリース
 - レーザ剥離技術：薄化工程の歩留まりを改善。環境負荷を大幅に低減するブレイクスルー技術
 - ウェーハ薄化装置 Ulucus™ G：当社独自の技術を活用し、EUVや高密度三次元実装等を適用した最先端デバイスに求められるウェーハの超平坦化を実現。半導体の技術革新を推進しWFE市場の成長を後押し
- ネットゼロ達成目標年を10年前倒し、CY2040に

*1 POR: Process of Record

*2 HARC: High aspect ratio contact

FY2024 業績予想

(億円)

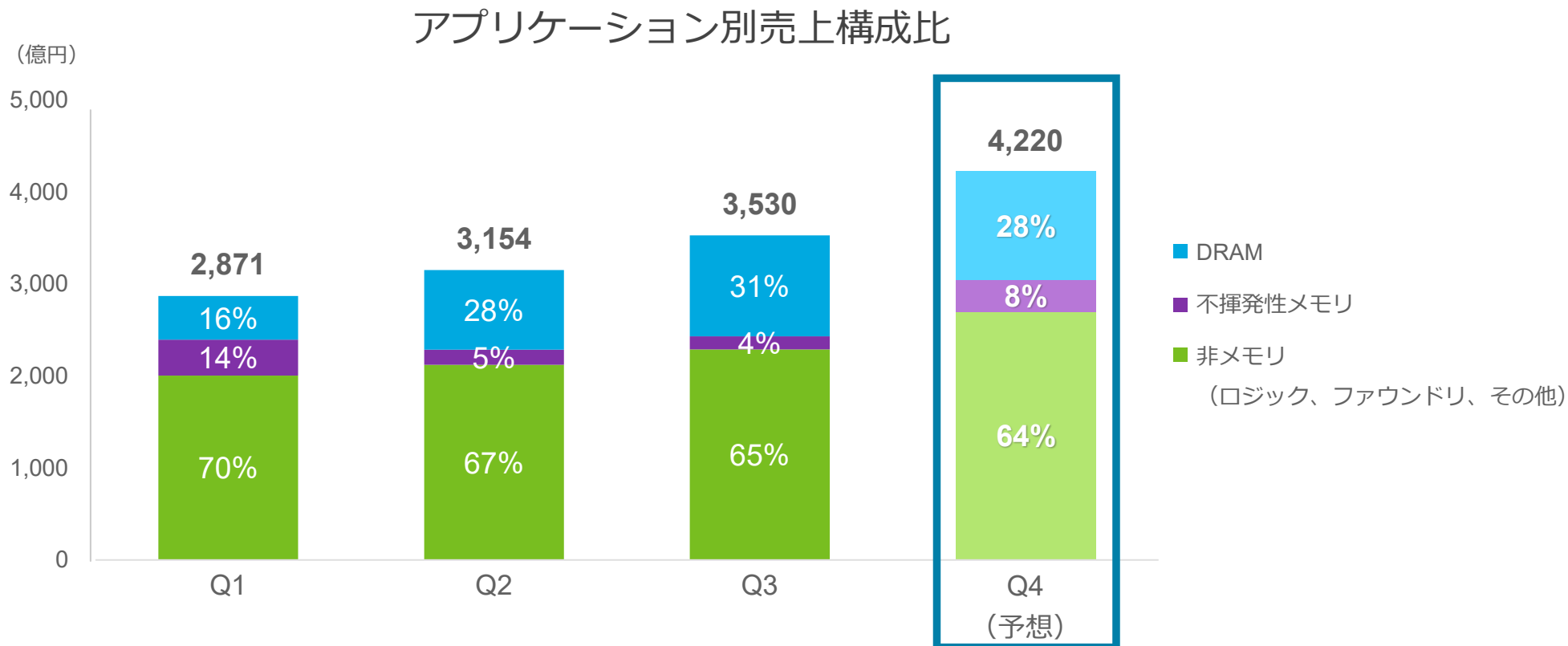
	FY2023 (実績)	FY2024			
		実績	新予想		修正額*1
		H1	H2	通期	通期
売上高	22,090	8,195	10,104	18,300	+1,000
売上総利益 売上総利益率	9,844 44.6%	3,520 43.0%	4,649 46.0%	8,170 44.6%	+540 +0.5pts
販管費	3,666	1,734	1,985	3,720	+100
研究開発費	1,911	946	1,103	2,050	+0
研究開発費以外の販管費	1,754	787	882	1,670	+100
営業利益 営業利益率	6,177 28.0%	1,785 21.8%	2,664 26.4%	4,450 24.3%	+440 +1.1pts
税金等調整前当期純利益	6,248	1,811	2,688	4,500	+460
親会社株主に帰属する当期純利益	4,715	1,374	2,025	3,400	+330
1株当たり当期純利益 (円) *2	1,007.82	295.13	-	732.16	+71.02

*1 2023年11月10日に発表した業績予想からの修正額を示しています。

*2 当社は、2023年4月1日付で普通株式1株を3株に株式分割しています。前連結会計年度の期首に当該株式分割がおこなわれたと仮定して、「1株当たり当期純利益」を算定しています。

Q3実績およびQ4見通しを反映し、業績予想を修正

FY2024 SPE新規装置売上予想



グラフは新規装置の売上高における構成比を示しています。フィールドソリューション売上高は含まれていません。

新規装置の売上は回復基調に

FY2024 研究開発費・設備投資計画

新開発棟

成膜装置、エッチング装置、コーポレート開発



山梨県韮崎市
2023年7月 竣工

東北生産・物流センター

成膜装置



岩手県奥州市
2025年秋 竣工予定

新開発棟

コータ/デベロッパ、洗浄装置



熊本県合志市
2025年夏 竣工予定

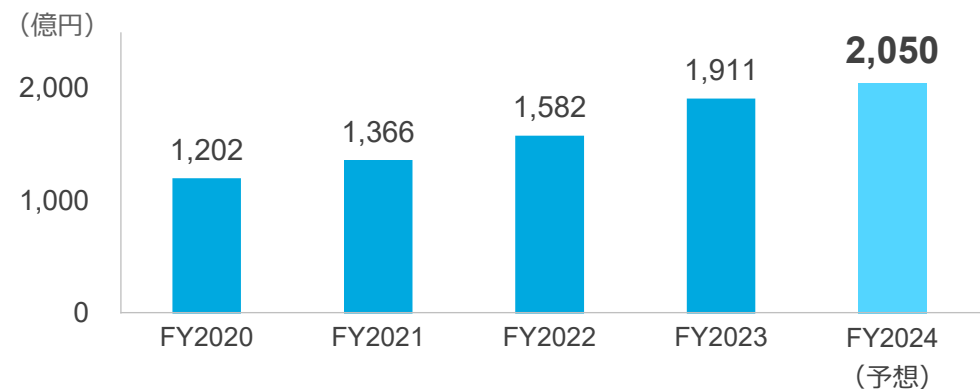
新開発棟

エッチング装置

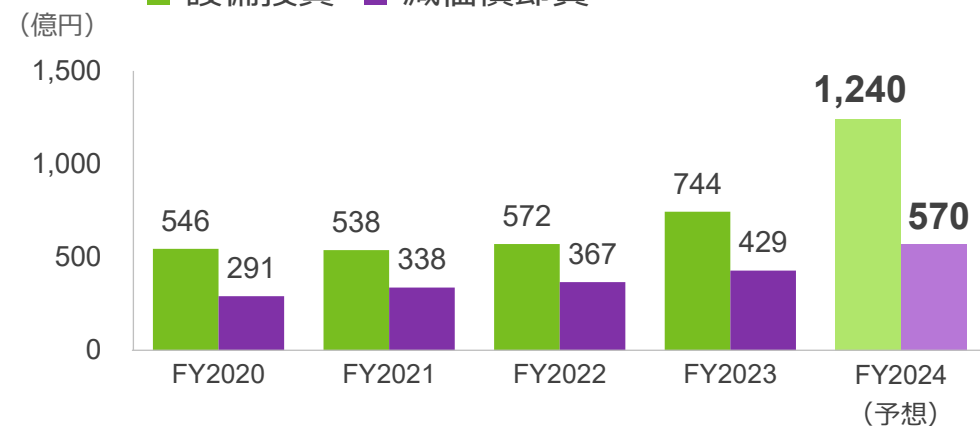


宮城県黒川郡
2025年春 竣工予定

■ 研究開発費



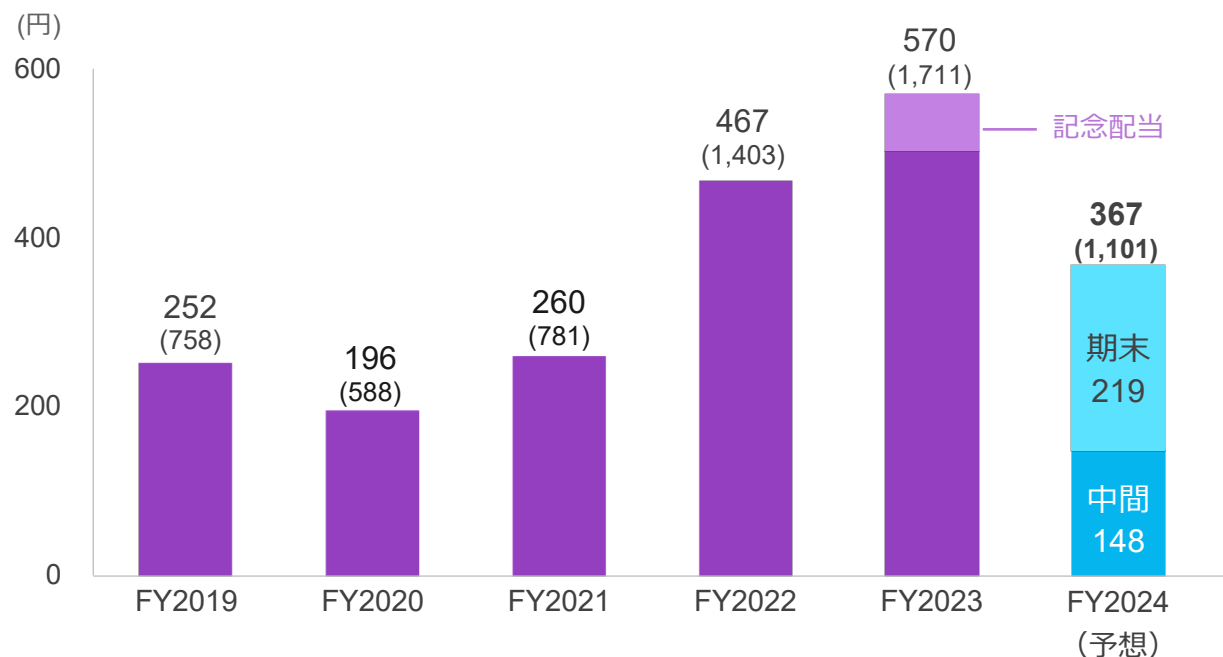
■ 設備投資 ■ 減価償却費



持続的成長を見据え、積極的な研究開発・設備投資を継続

FY2024 配当予想

1株当たり配当金



当社の株主還元策

連結配当性向：50%

但し、1株当たり年間配当金50円*を下回らない
2期連続して当期利益を生まなかった場合は、配当金の見直しを検討する

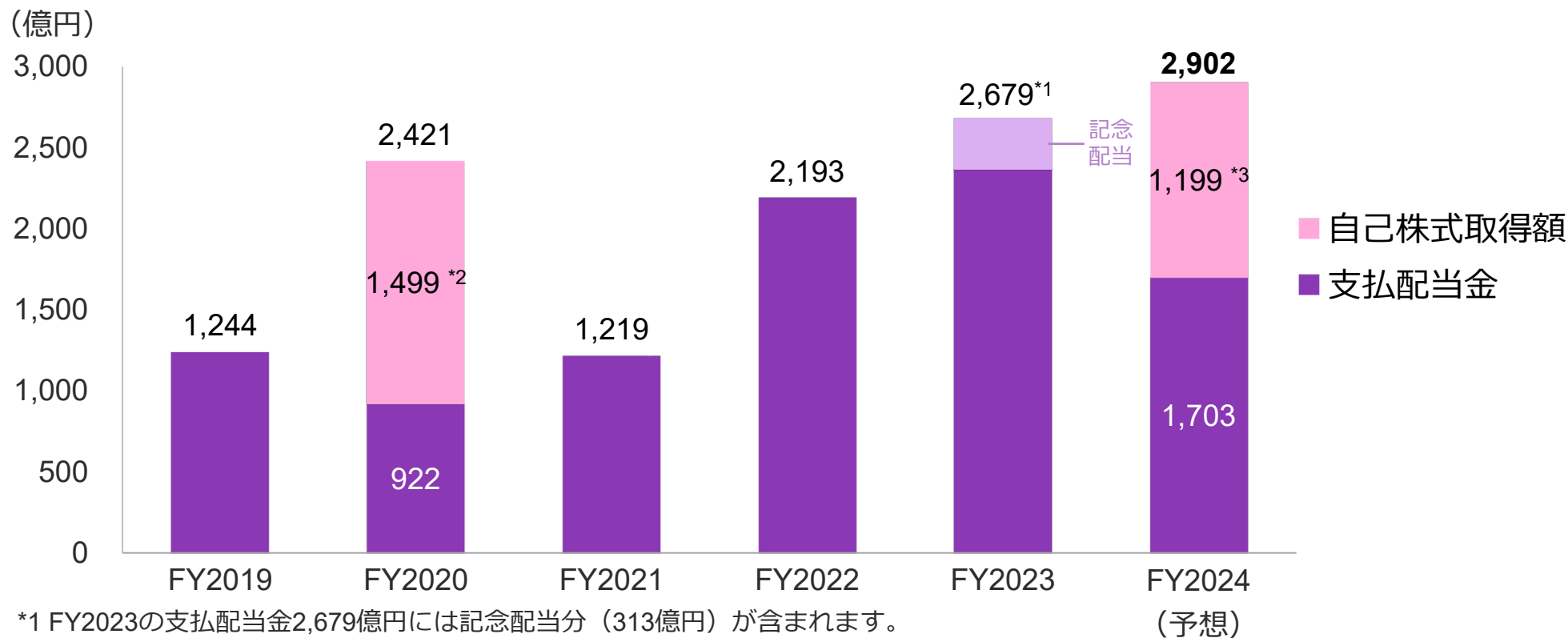
自己株式の取得：機動的に実施を検討

*2023年4月1日付の株式分割により、従来の150円から変更しています。

- FY2019～2023の1株当たり配当額は、FY2019の期首に株式分割がおこなわれたと仮定した金額を記載しています。
- FY2023には60周年記念配当が含まれます。
- 株式分割がおこなわれる以前の金額を（ ）内で記載しています。

2023年4月1日付で普通株式1株を3株に分割。通期配当は367円を予定

総還元額



*1 FY2023の支払配当金2,679億円には記念配当分（313億円）が含まれます。

*2 https://www.tel.co.jp/news/ir/2020/20200106_001.html

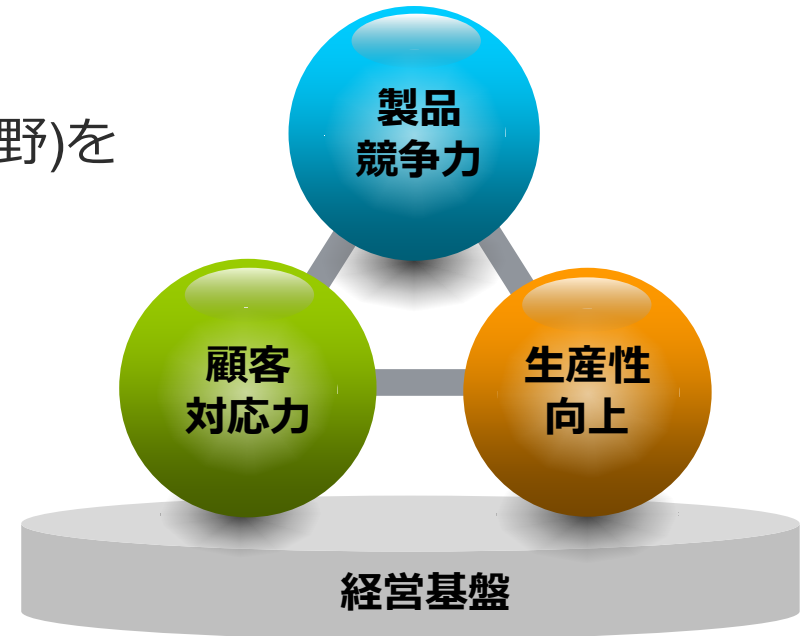
*3 https://www.tel.co.jp/news/ir/2023/sb15um000000009e-att/20231002_001.pdf

自己株式取得と合わせ、過去最高の総還元額を見込む

5. コーポレート・サステナビリティ

サステナビリティの取り組み

重要かつ優先的に取り組むべき4つのマテリアリティ(重要分野)を特定し、事業を通じたサステナビリティ活動を展開して産業や社会の課題解決と発展に貢献します



ESGから見る取り組み

環境
Environment

- 半導体の高性能化と低消費電力化
- 装置のプロセス性能と環境性能の両立
- 事業活動全体におけるCO₂排出量削減

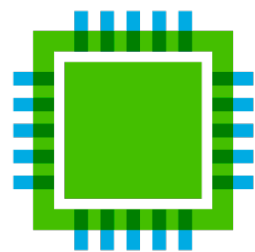
社会
Social

- 人権
- 人的資本経営
- 健康と安全
- 顧客満足度
- サプライチェーンマネジメント

ガバナンス
Governance

- コーポレートガバナンス
- コンプライアンス
- リスクマネジメント
- 情報セキュリティ

リスクマネジメント



SUSTAINABLE DEVELOPMENT GOALS



TCFD | TASK FORCE ON CLIMATE-RELATED FINANCIAL DISCLOSURES

すべてのステークホルダーから愛され、信頼される企業であり続けることを
目指したサステナビリティ重視の経営を意識し、
半導体の技術革新とサプライチェーンにおける環境負荷低減を推進する

環境へのアプローチ

Net Zero

New target Scope 1, 2 & 3 **by 2040**

Scope 1&2: CO2 Emissions from energy use such as electricity in business activities

Scope 3 : CO2 Emissions from the use and disposal of sold equipment, material purchases and logistics, etc.

E-COMPASS

Environmental Co-Creation by Material, Process and Subcomponent Solutions

半導体

デバイスの高性能化と
低消費電力化

製造装置

装置のプロセス性能と
環境性能の両立

事業活動

事業活動全体における
CO2排出量削減

サプライチェーン全体で半導体の技術革新と環境負荷低減を推進

安全・品質

安全

当社では、「Safety First」のスローガンのもと、開発・製造・輸送・据付・メンテナンスなどの各種業務遂行において、トップマネジメントから現場担当者まで、全ての人々が安全と健康を最優先とし、安全性向上および健康推進に向けて、積極的かつ継続的な改善に努めています。

 TCIR
0.33

(2023年3月期)

安全に関する目標
(~FY'27)
TCIR ≤ 0.1



TCIR: Total Case Incident Rate (労働時間20万時間当たりの人身事故発生率)

事故防止への取り組み

- ・体感教育とVR (Virtual Reality)
- ・安全総点検
- ・安全使用のフィードバック
- ・お取引様に対する安全活動

品質

当社は、提供する製品およびサービスが高い品質であることを目指します。それは開発に始まり製造・据付・保守すべての工程を含む、また営業活動の顧客対応業務も品質とみなします。わたしたちは、お客さまの成功を支える高品質の製品とサービスおよび革新的なソリューションを提供し続けます。

品質方針

1 「品質優先」

2 フロントローディングと次工程保証

3 品質と信頼

4 継続的改善活動

5 ステークホルダーとのコミュニケーション

行動規範としての TEL Values



エンゲージメント



キャリア



企業の成長は人 社員は価値創出の源泉

リテンション



ワークライフバランス



ダイバーシティ エクイティ&インクルージョン

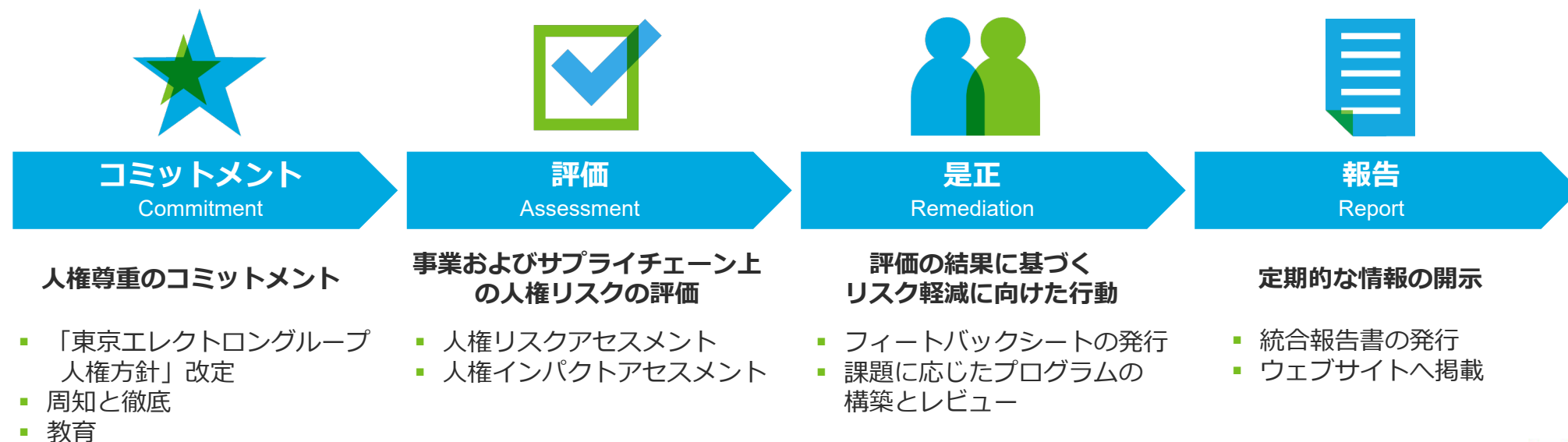


3G

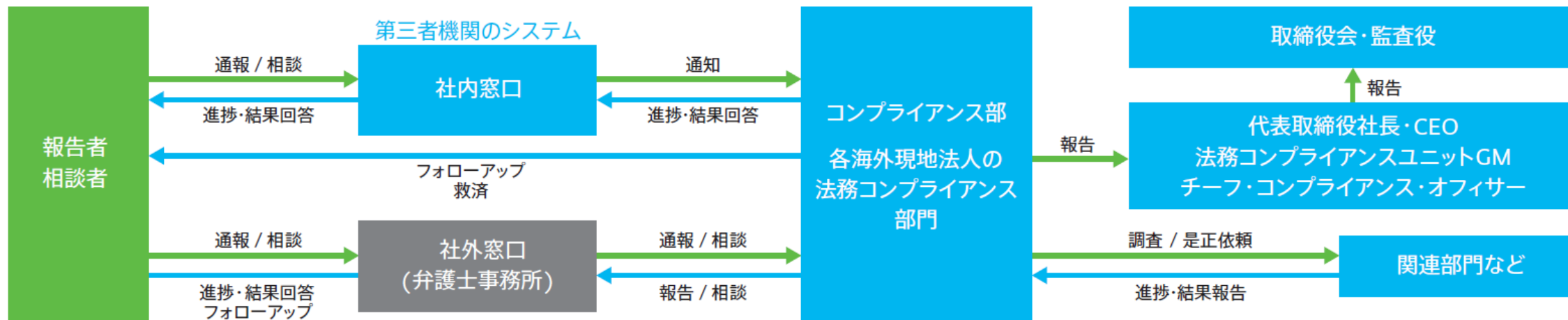
Global • Generation • Gender

人権方針とデューデリジェンス

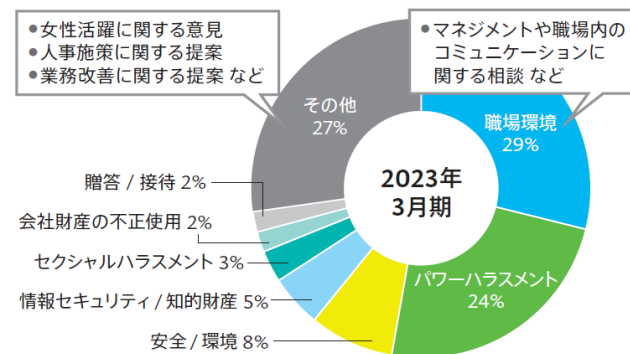
人権に関する5つの重要項目（東京エレクトロングループ人権方針）



内部通報制度



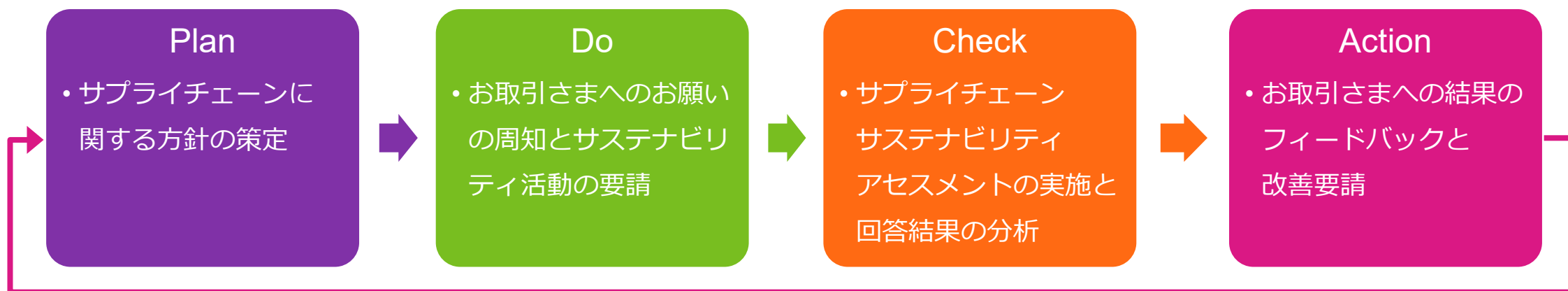
通報・相談内容の内訳



人権を尊重し、真摯な姿勢で対応

サプライチェーンマネジメント

サプライチェーンサステナビリティのプロセス

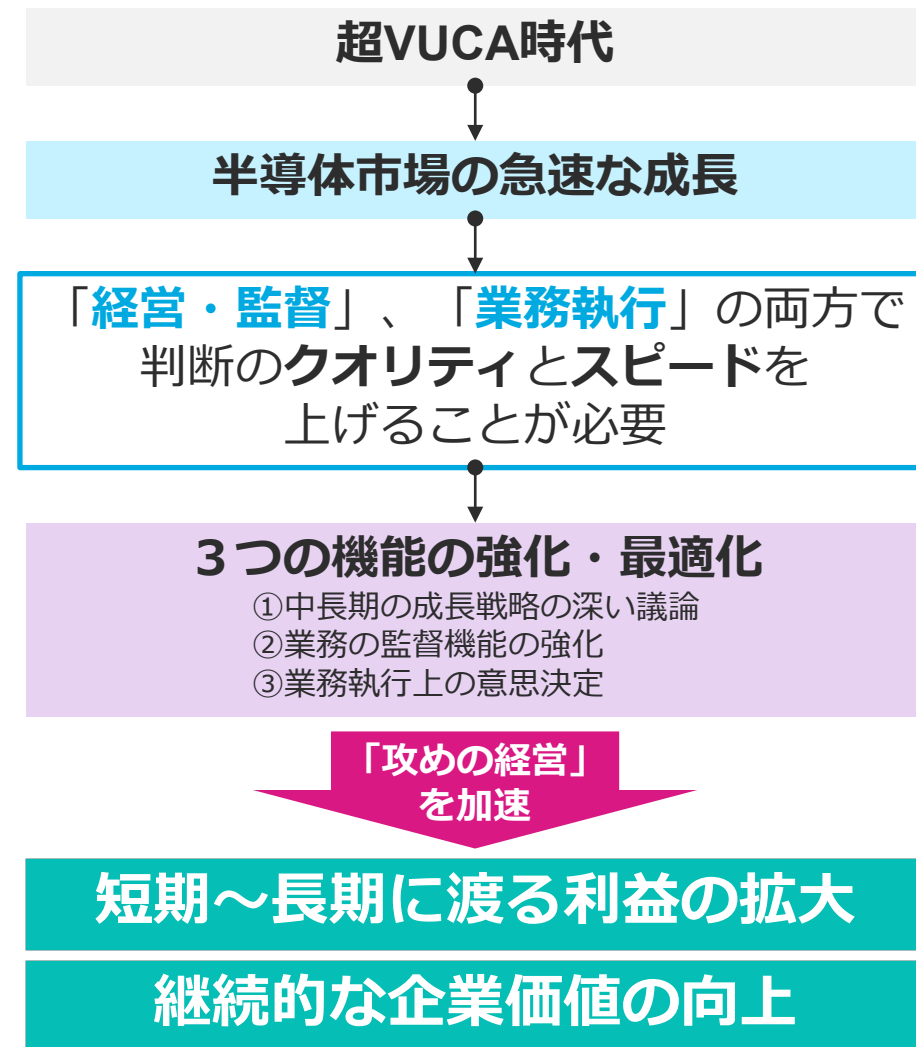
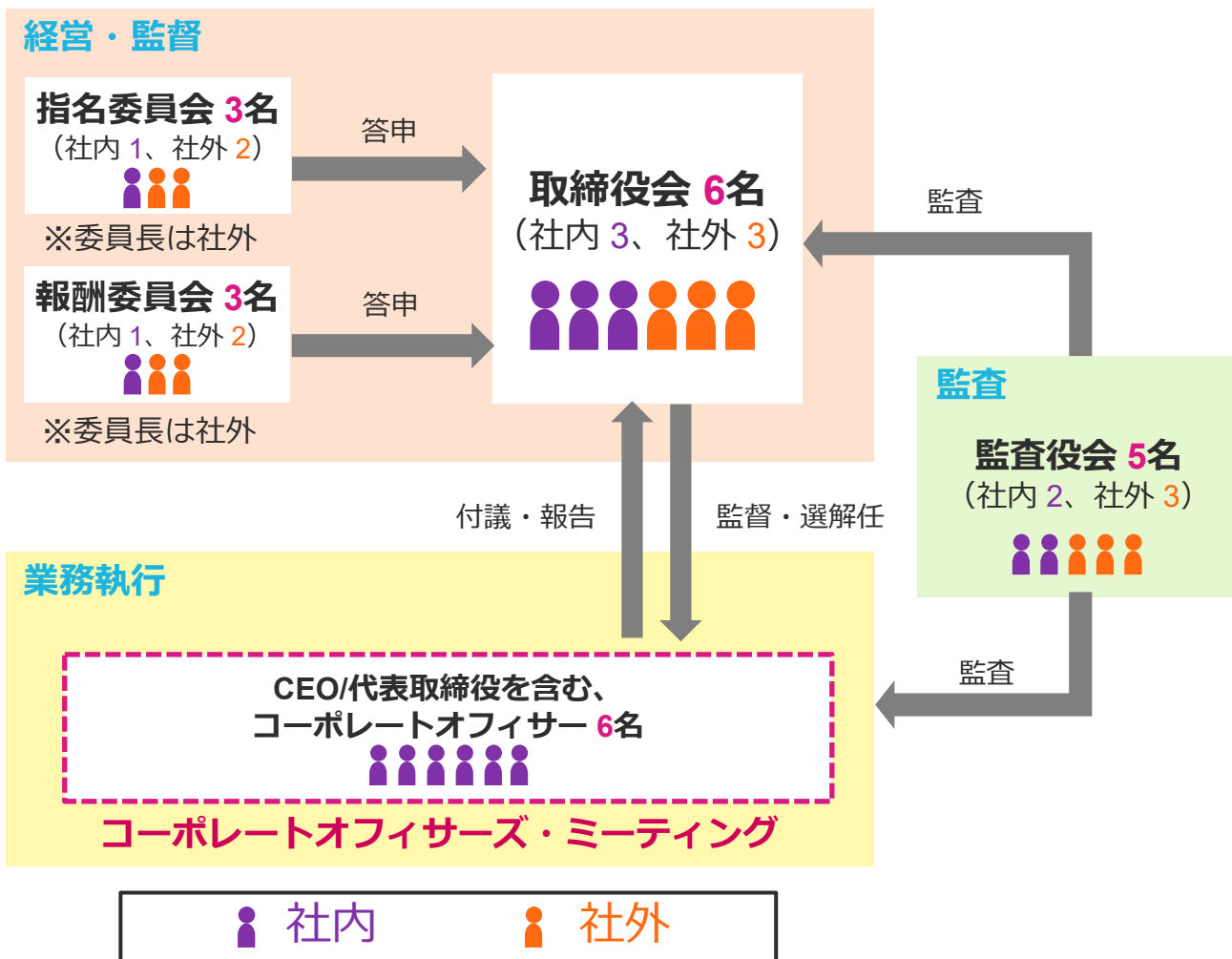


- 年次サステナビリティアセスメント
 - RBAの行動規範に基づく評価
 - 是正措置計画
- RBAが定める監査基準で調査内容を改定
 - 主要な生産拠点で実施
 - 各業務の継続的な改善

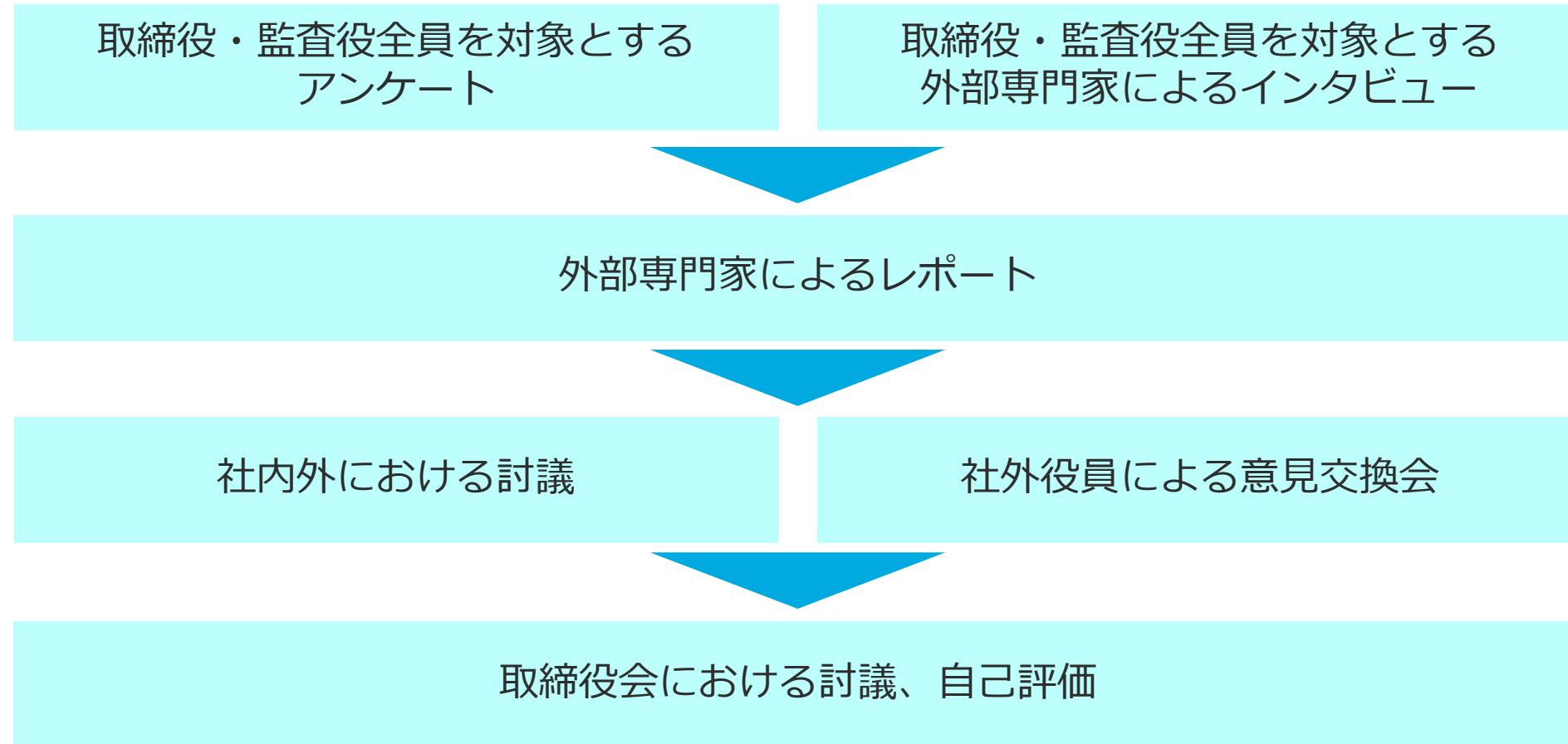
サプライチェーン全体でサステナビリティを意識したオペレーションを追求

コーポレート・ガバナンス体制（監査役会設置会社）

<体制図一部抜粋>



取締役会の実効性評価



社内および外部専門家が分析し、取締役会の実効性を評価

グローバル・イニシアティブ

SDGs(持続可能な開発目標)

事業を通じた取り組みをマテリアリティごとに明確にし、グループ全体に展開



東京エレクトロンはSDGsを支援しています

国際的なイニシアティブへの参画

国連グローバル・コンパクトに署名、Responsible Business Alliance (RBA)に参画、Task Force on Climate-related Financial Disclosures (TCFD)に賛同



Responsible Business Alliance
Affiliate Member



当社のESGに関する外部評価

世界各国の評価機関より高い評価を獲得

Member of
Dow Jones Sustainability Indices
Powered by the S&P Global CSA



2023 MSCI ESG Leaders Indexes Constituent

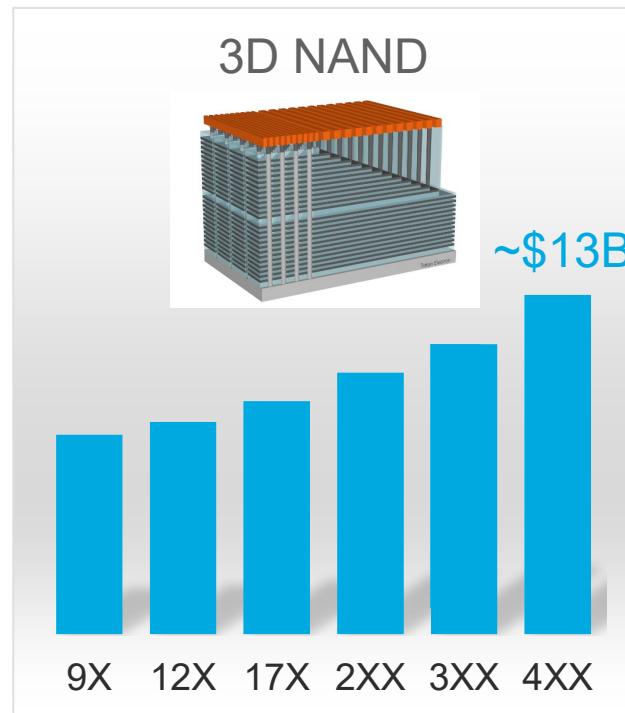
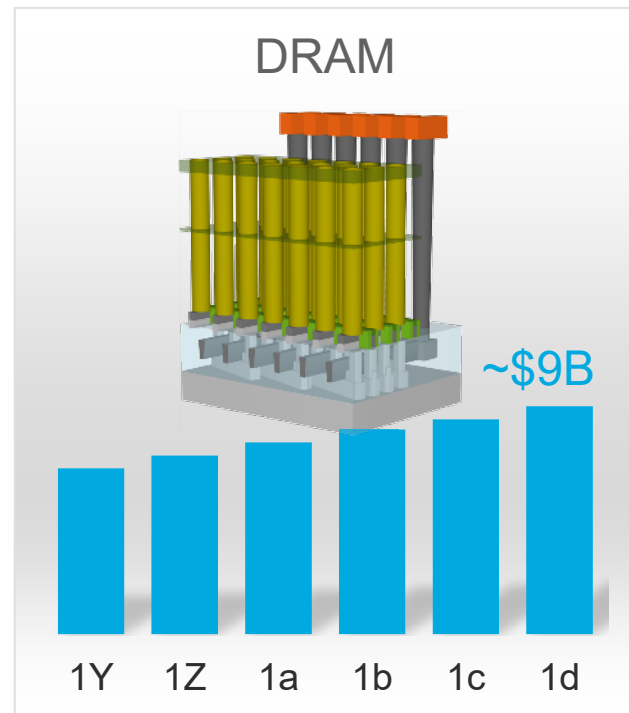
東京エレクトロン株式会社のMSCI指数への組み入れ、およびMSCIのロゴ、商標、サービスマークまたは指数名の使用は、MSCIまたはその関係者による東京エレクトロン株式会社の推薦、推薦またはプロモーションではありません。MSCI指数はMSCIの独占的財産です。MSCI指数の名前およびロゴはMSCIまたはその関係会社の商標またはサービスマークです。

6. 多様化する半導体技術

6-1 : 技術ロードマップ

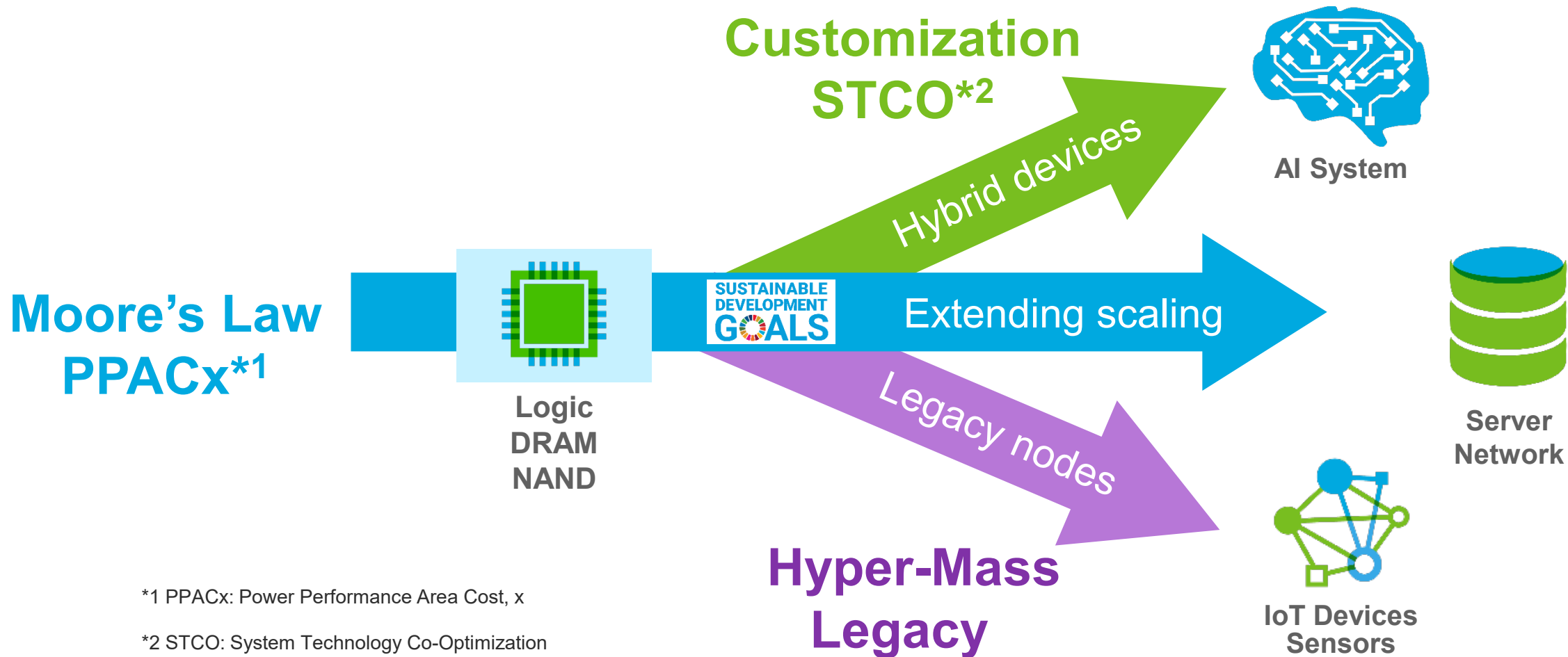
高まる半導体製造装置の付加価値

月産10万枚当たりWFE投資額（Greenfield、当社予測）



新たなアプリケーションの登場と技術難易度の高まりが、
半導体製造装置メーカーの事業機会を拡大

今後10年のロードマップ



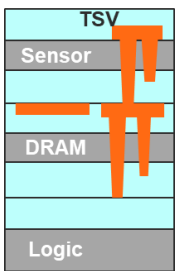
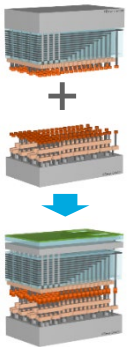
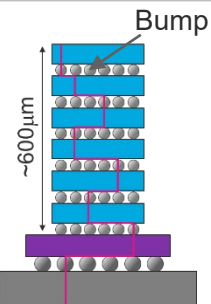
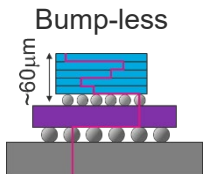
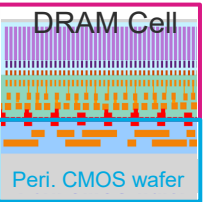
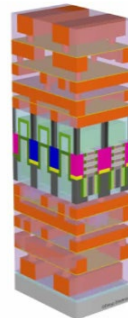
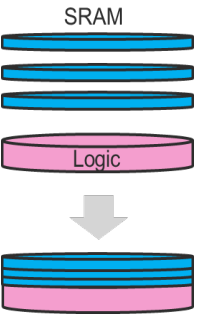
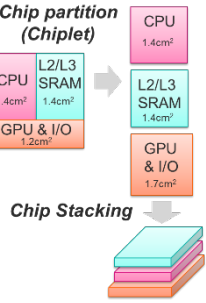
*1 PPACx: Power Performance Area Cost, x

*2 STCO: System Technology Co-Optimization

多様化するアプリケーションに盛り込まれるSDGs対応技術の開発

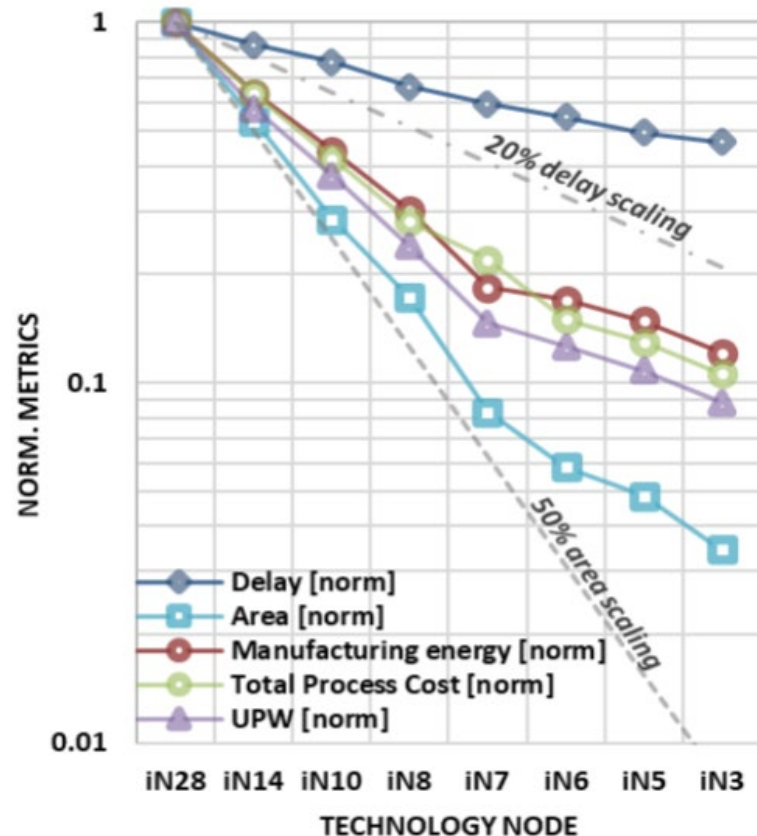
システムインテグレーションの進化：増えるオプション

Source: TEL想定

Device	CIS	3D NAND	DRAM			Logic		
Stacking	Sensor+ DRAM + Logic	Cell + Peri	HBM (w/ Bump)	HBM (Bump-less)	Cell + Peri	Backside PDN	Logic + SRAM Cell	3D Hybrid Logic + I/O + RF
Bonder Type	W-W	W-W	D-W	W-W		W-W	W-W/D-W	D-W
	Fusion (Permanent)	Fusion (Permanent)	Temporary (Bonding / De-bonding)	Fusion (Permanent)		Fusion (Permanent)		Temporary & Fusion
	Cu to Cu Hybrid	Cu to Cu Hybrid		Cu to Cu Hybrid		Ox to Ox	Cu to Cu Hybrid	
Wafer THK	3 μ m	4 μ m	10 μ m	3 μ m	2 μ m	1 μ m	2 μ m~1 μ m	2 μ m
Structure	 <p>Source: H. Tsugawa, Sony (IEDM2017)</p>		 <p>Source: Sakui, TIT (CICC2019)</p>	 <p>Source: Sakui, TIT (CICC2019)</p>				
Status	HVM	R&D~MP	HVM	R&D	R&D	R&D	R&D	R&D

システムインテグレーション手法もPPACxで最適化される

環境KPIと技術ノード進化の相関



Graph courtesy of imec

Observations

- Performance is still improving node-over-node but at a reduced rate (delay)
- Area scaling is being achieved but slowing beyond iN7 (~ Foundry 5nm)
- Technology node still drives reduction in manufacturing energy per device
- Cost of manufacturing is still declining
- Water usage is still declining

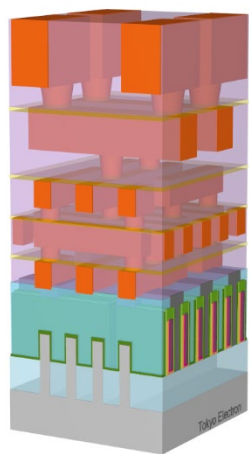
Conclusion

- Advancing technology nodes contributes towards SDGs
- But slowing pace of reduction implies that further innovation is needed
- Working on advanced node devices contributes to SDGs

先端技術開発はSDGsに直結

半導体デバイス：開発の方向

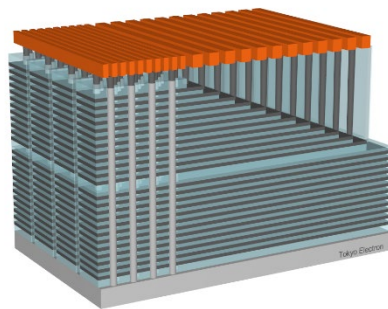
Logic



構造変化を伴う微細化による

- ・ トランジスタ当たりのコスト低減
- ・ 低消費電力化
- ・ 高速化

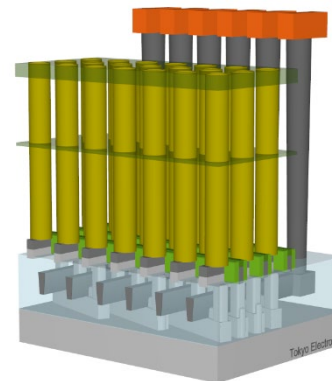
NAND



高積層化による

- ・ ビット当たりのコスト低減

DRAM



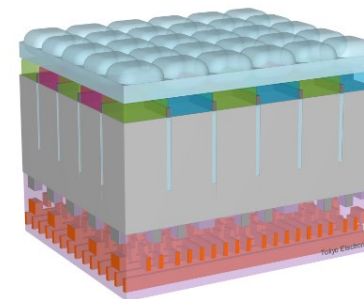
微細化による

- ・ ビット当たりのコスト低減
- ・ 低消費電力化
- ・ 高速化

新構造による

- ・ ビット当たりのコスト低減

CIS



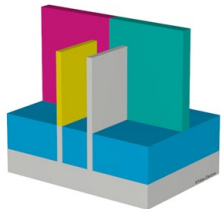
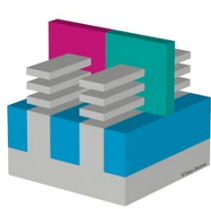
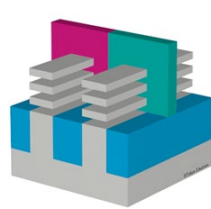
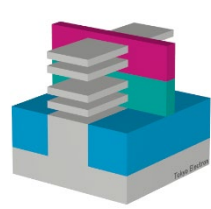
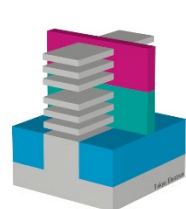
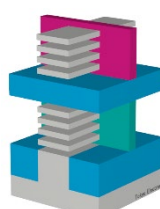
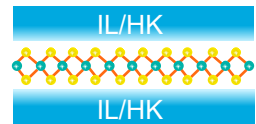
微細化による

- ・ 多画素化
- ・ 高速化

新構造、新材料による

- ・ 高画質化

Logic技術ロードマップ

Year of HVM (20k/month)	2022~23	2024~2025	2027~28	2029	2031	2033	2035
Node	3nm	2nm	14A	10A	7A	5A	3A
Transistor	2~1 Fin 	GAA NS 	GAA NS scaling 	CFET 	2 nd Gen. CFET 	3 rd Gen. CFET 	 IL/HK IL/HK 2D material: TMDC MoS ₂ , WS ₂ , MoSe ₂ , WSe ₂ etc.
Poly Pitch [nm]	45 ^[1]		42		39		36
Min. Metal Pitch [nm]	23 ^[2]		20	18	16	14	12
Interconnect booster	Cu Barrier/Seed CIP Backside PDN		Subtractive Ru + Ru via fill AR>2, k<3 fill / AR>3, Airgap			New alloy AR>5, Airgap	AR>7, Airgap
EUV Patterning Technology	EUV MP, SE		EUV MP, SE High NA SE		High NA MP, SE EUV MP, SE		
Resist	CAR	CAR (+MOR)	CAR+MOR				

^[1] Chih-Hao Chang (TSMC) et al., IEDM 2022

^[2] Shien-Yang Wu (TSMC) et al., IEDM 2022

MP: Multi-Patterning, SE: Single-Exposure, CAR: Chemically Amplified Resist, MOR: Metal Oxide Resist

Logic scaling will go with transistor structure and material evolution.

DRAM技術ロードマップ

Source: TEL estimates

Year of HVM (20k/month)	2023	2024	2025	2026	2027	2028	2029	2030	2031	2032	2033			
Node	1b		1c		1d		0a		0b		0c		0d	
Cell layout / Structure														
F [nm] in 6F ²	13	12~11		11~10		10~9		8	7					
Cap. pitch [nm]	39	36~33		33~30		30~27		24	21					
Cap. A.R.	>50	>55		>65		>70		>75	>80					
Cap. Mat.	ZrAlHfO		Alternative (HfZrO Anti Ferro, STO etc.)											
BL	W LK spacer		Low R metal											
Peri. CMOS														

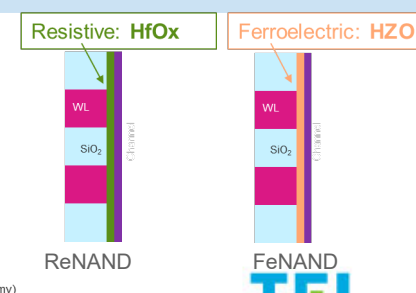
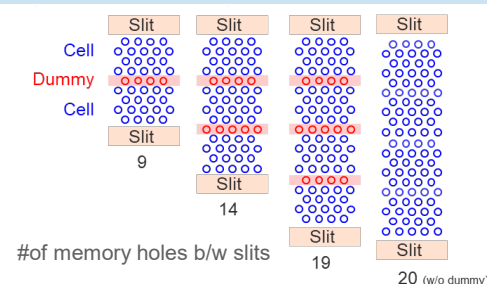
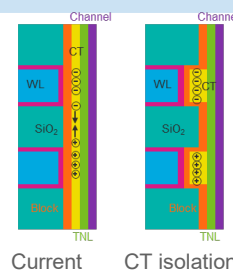
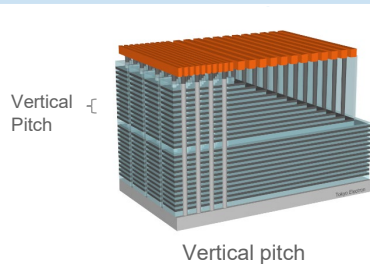
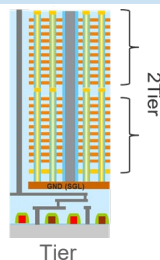
* Vertical Channel Transistor
 [1] Seokhan Park (Samsung) et al., IEDM 2023
 [2] Daewon Ha (Samsung) et al., IEDM 2023

NAND技術ロードマップ

Source: TEL estimates

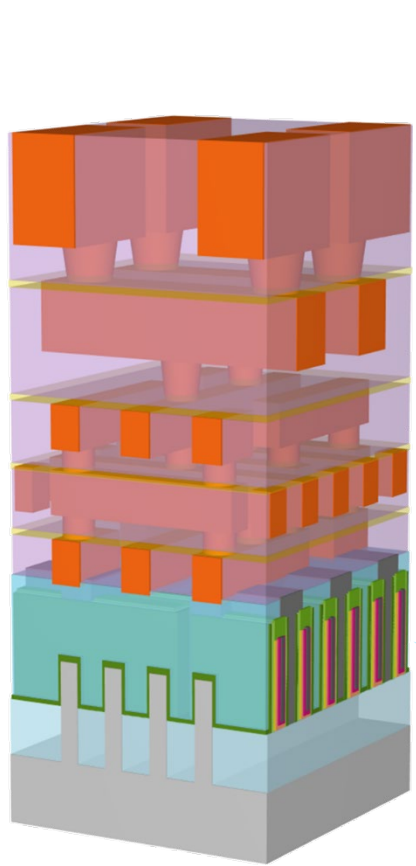
Year of HVM (20k/month)	2023	2024	2025	2026	2027	2028	2029	2030	2031	2032	2033
Stack (~1.3x/1.5years)	2xxL (238)	3xxL (328)	4xxL (424)	5xxL (552)	7xxL (728)	9xxL (966)	1xxx (1294)				
Tier	2	2 or 3	3 or 4	3 or 4	3 or 4	3 or 4	3 or 4	4 or 5	4 or 5	4 or 5	
Vertical pitch [nm]	42	40	38	37	36	35	34				
Memory height ¹ [μm]	10.79	13.88	16.83	21.13	26.89	34.48	44.64				
Charge trap (CT)	CT isolation										Re/Fe NAND
Channel	Poly Si grain CIP				incl. MILC ⁴ /MIC ⁵ Si						
WL metal	W	W or Mo	Mo	Mo	Mo	Mo	Mo	Mo	Mo	Mo	
Width btw. Slits ² [nm] (#holes ³)	1270~2700 (9~20)	1920~3220 (14~24)	2570~3220 (19~24)	2570~4260 (19~32)	> 4260 (> 32)	> 4260 (> 32)	> 4260 (> 32)	> 4260 (> 32)	> 4260 (> 32)	> 4260 (> 32)	
Peri. CMOS	Under array or Bonding	Under array or Bonding	Bonding	Bonding	Bonding	Bonding	Bonding	Bonding	Bonding	Bonding	

- ¹ Vertical pitch x (active layer# + 19)
- ² 130 nm x #holes + 100 nm
- ³ #of memory holes b/w slits
- ⁴ Metal induced lateral crystallization
- ⁵ Metal induced crystallization



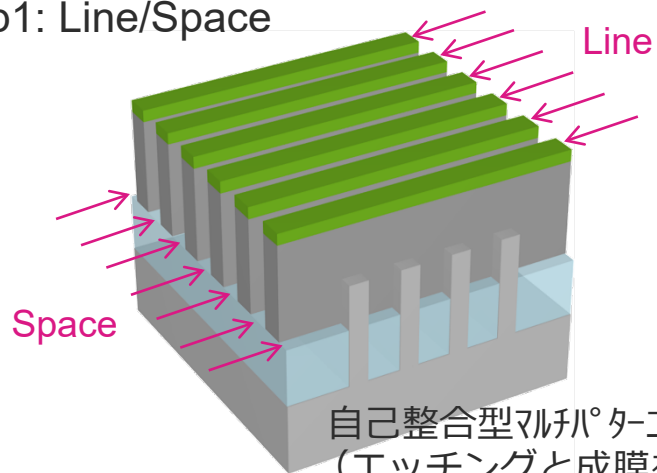
6-2 : EUVリソグラフィ導入の効果と技術動向

ロジック：EUVによる高度な技術課題（位置ずれ）の解決



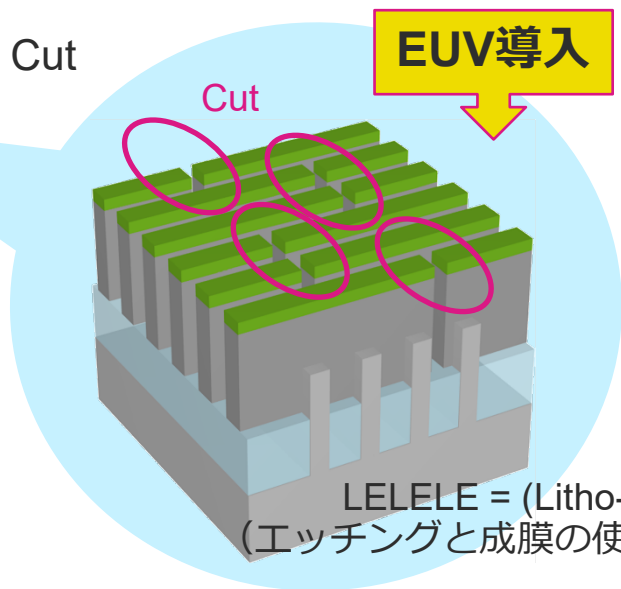
ロジックの構造図

Step1: Line/Space



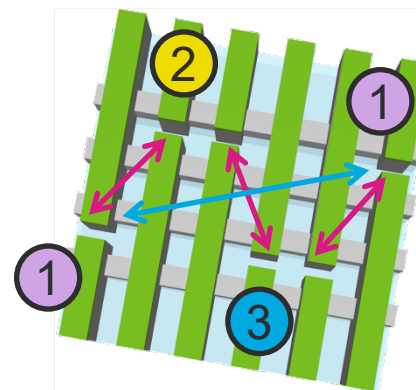
自己整合型マルチパターンング (SAMP)
(エッチングと成膜を多数使用)

Step2: Cut



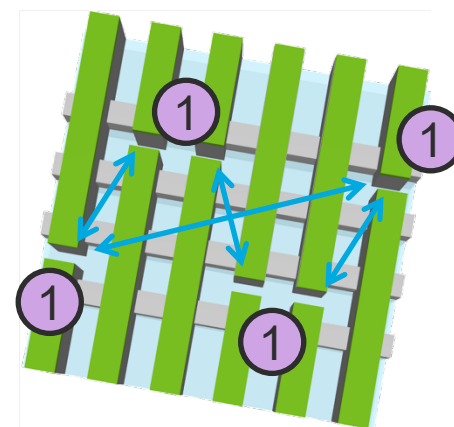
LELELE = (Litho-Etch)₃
(エッチングと成膜の使用は限定的)

従来の露光



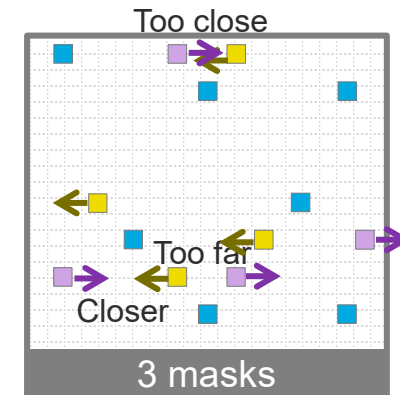
3回露光：(Litho + Etch) x 3

EUV露光



1回露光：(Litho + Etch) x 1

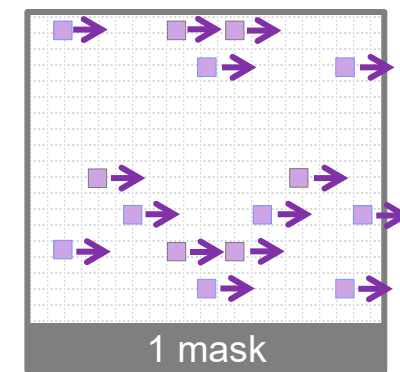
各露光プロセスごとに位置ずれ発生



歩留まり低下



位置ずれ低減



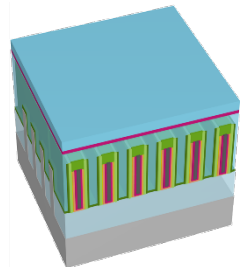
歩留まり向上

ロジックコンタクト向け (Litho-etch)_n パターニング (Cut)

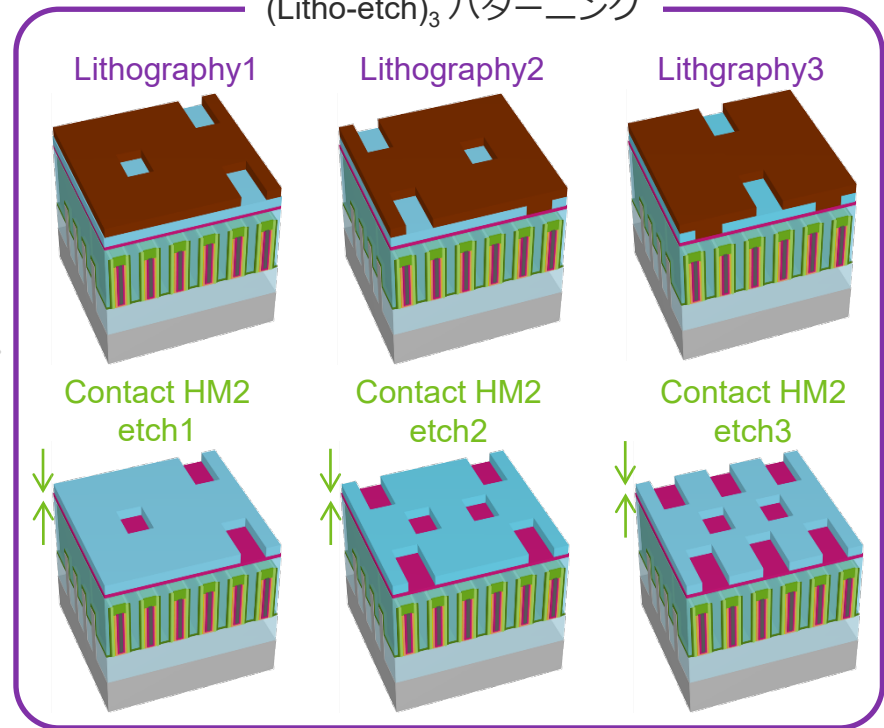
- PMD dep
- Hard mask1 dep
- Hard mask2 dep
- **Lithography1**
- **Contact HM2 etch1** ← short etch time
- **Lithography2**
- **Contact HM2 etch2** ← short etch time
- **Lithography3**
- **Contact HM2 etch3** ← short etch time
- **Contact HM1 etch** ← short etch time
- **Contact PMD etch** ← long etch time
- Post etch clean
- Barrier metal Ti/TiN dep
- Contact plug W dep
- Contact plug W CMP

(Litho-etch)_n パターニング

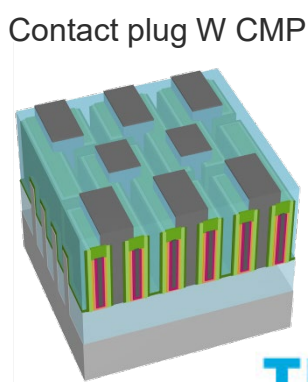
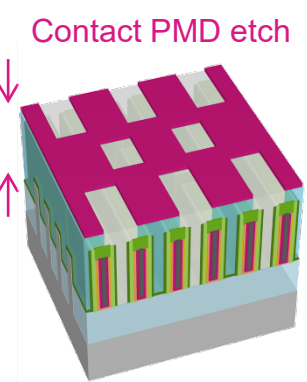
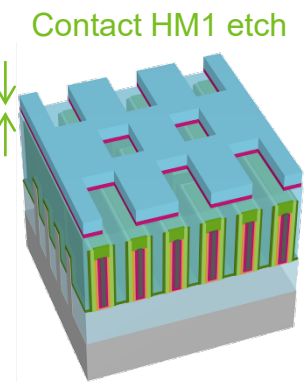
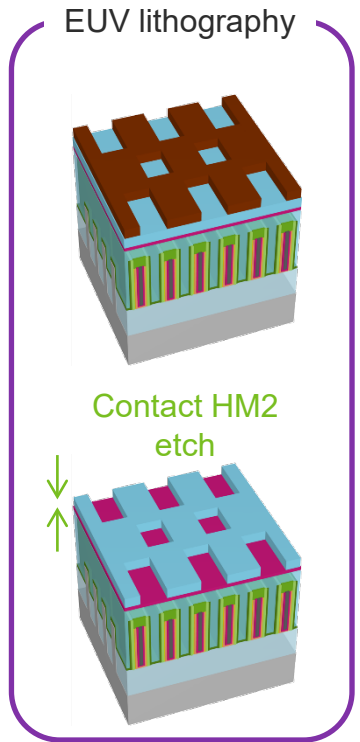
✓ Thicker layer
✓ Higher etch selectivity



(Litho-etch)₃ パターニング

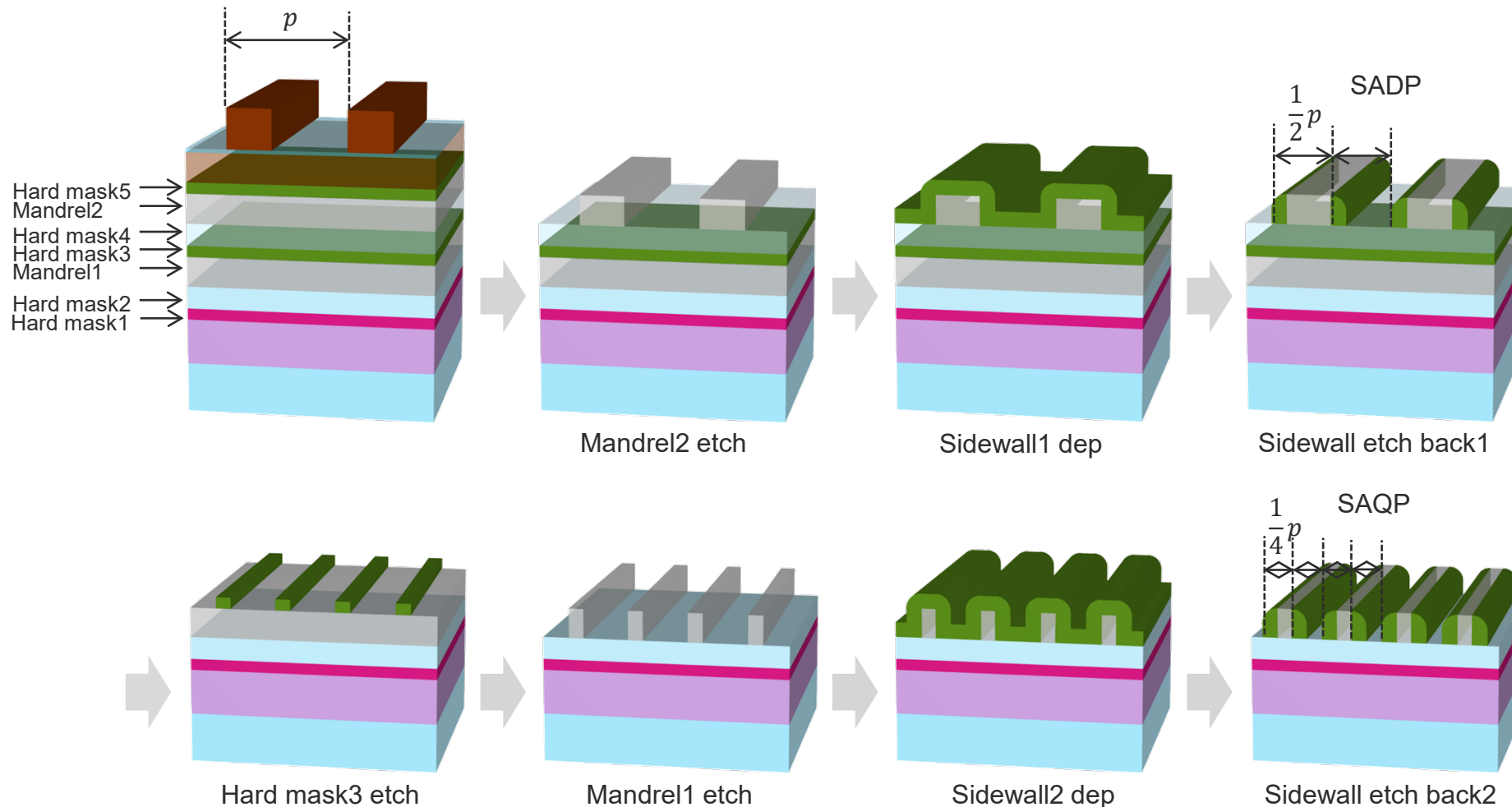


or



自己整合型マルチパターンニング (Line/space)

- Had mask1 dep
- Hard mask2 dep
- Mandrel1 dep
- Hard mask3 dep
- Hard mask4 dep
- Mandrel2 dep
- Hard mask5 dep
- Lithography
- Hard mask5 etch
- Mandrel2 etch
- Sidewall1 dep
- Sidewall1 etch back
- Mandrel2 pull
- Hard mask4 etch
- Hard mask3 etch
- Mandrel1 etch
- Sidewall2 dep
- Sidewall2 etch back



リソグラフィ
成膜
エッチ

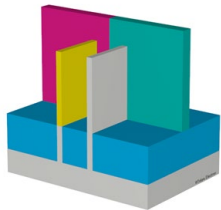
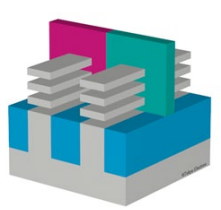
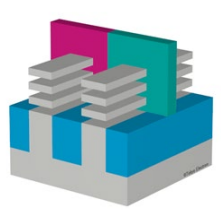
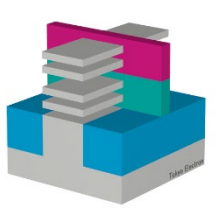
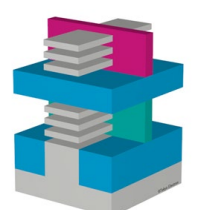
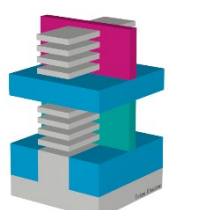
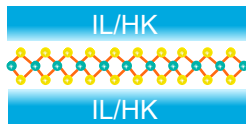
SADP: Self-aligned double patterning
SAQP: Self-aligned quadruple patterning

EUVリソグラフィ導入の効果

- EUVの採用は、顧客の直面する高度な技術課題（位置ずれ）を解決し、半導体と製造装置産業全体にとって非常にポジティブな効果をもたらす
 - 微細化の促進
 - 歩留まり向上による次世代への投資加速
- EUVによる微細化の促進が、当社製品の更なる差別化と収益機会を創出する
 - コータ/デベロッパのさらなる市場シェア向上
 - エッチ・成膜・洗浄装置の需要拡大
 - 自己整合型パターンニングの進化による差別化
 - 当社製品ラインアップを生かしたプロセスインテグレーションによる事業拡大

ロジック技術のロードマップとEUVリソグラフィ技術の推移

Source: TEL estimates

Year of HVM (20k/month)	2022~23	2024~2025	2027~28	2029	2031	2033	2035	
Node	3nm	2nm	14A	10A	7A	5A	3A	
Device	2~1 Fin 	GAA NS 	GAA NS scaling 	CFET 	2 nd Gen. CFET 	3 rd Gen. CFET 	 2D material: TMDC MoS ₂ , WS ₂ , MoSe ₂ , WSe ₂ etc.	
Poly pitch (PP)		45 ^[1]		42		39	36	
Min. MP [nm]		23 ^[2]	20	18	16	14	12	
EUVパターンング技術		EUV MP		EUV MP 高NA EUV		EUV MP 高NA EUV MP		
レジスト	CAR	CAR (+MOR)	CAR+MOR	CAR+MOR	CAR+MOR	CAR+MOR	CAR+MOR	

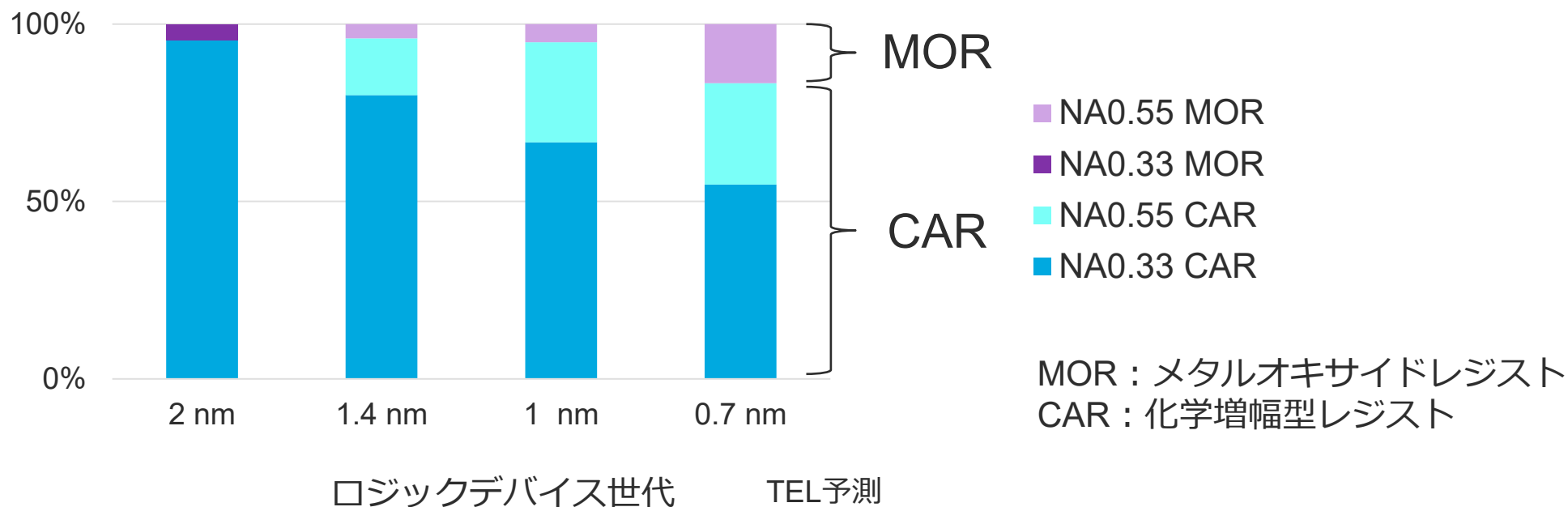
^[1] Chih-Hao Chang (TSMC) et al., IEDM 2022

^[2] Shien-Yang Wu (TSMC) et al., IEDM 2022

CAR : 化学増幅型レジスト、MOR : メタルオキサイドレジスト、MP : マルチパターンング

塗布現像装置で、MORや高NA EUVなど
将来EUVリソグラフィ技術へ向けて汎用性拡大中

ロジックデバイスのEUV CAR/MOR適用レイヤー比率の推移予測

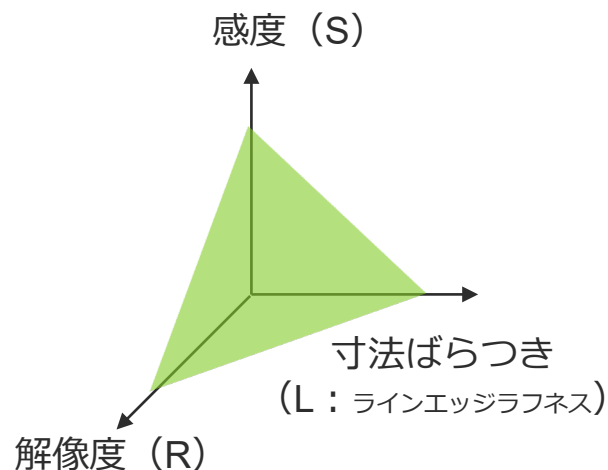


ロジックデバイスで、世代が進むにつれて徐々にMORの比率が上昇するが、引き続きCAR比率も高い。当社の塗布現像装置はMORもCARも1台で対応できる高汎用性を実現。高NA (NA0.55) リソグラフィーの適用比率も上昇していく見込みで、対応技術を開発中

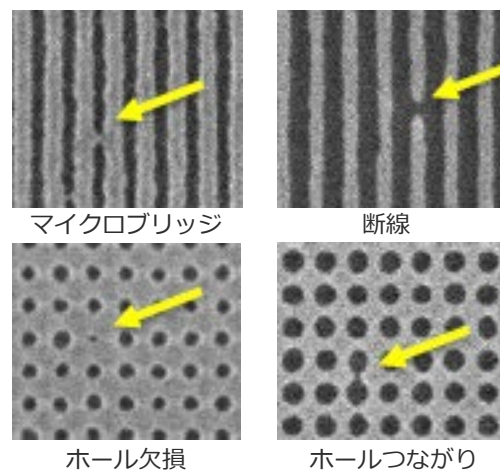
EUVリソグラフィプロセスのロードマップと課題

ラインピッチ(nm)	34	32	30	28	26	24	22	20
ホールピッチ(nm)	42	40	38	36	34	32	30	22
EUV露光装置 レジスト技術 の推移	0.33 NA EUV				0.55 NA EUV (高NA EUV : 高解像度化)			
	化学増幅型レジスト (CAR)							
	メタルオキサイドレジスト (MOR)							

RLSトレードオフ

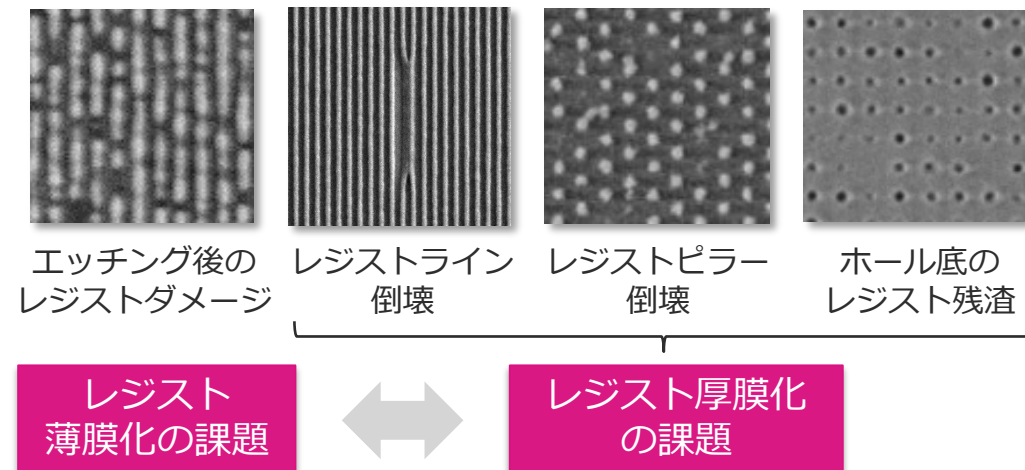


EUVばらつき欠陥の課題



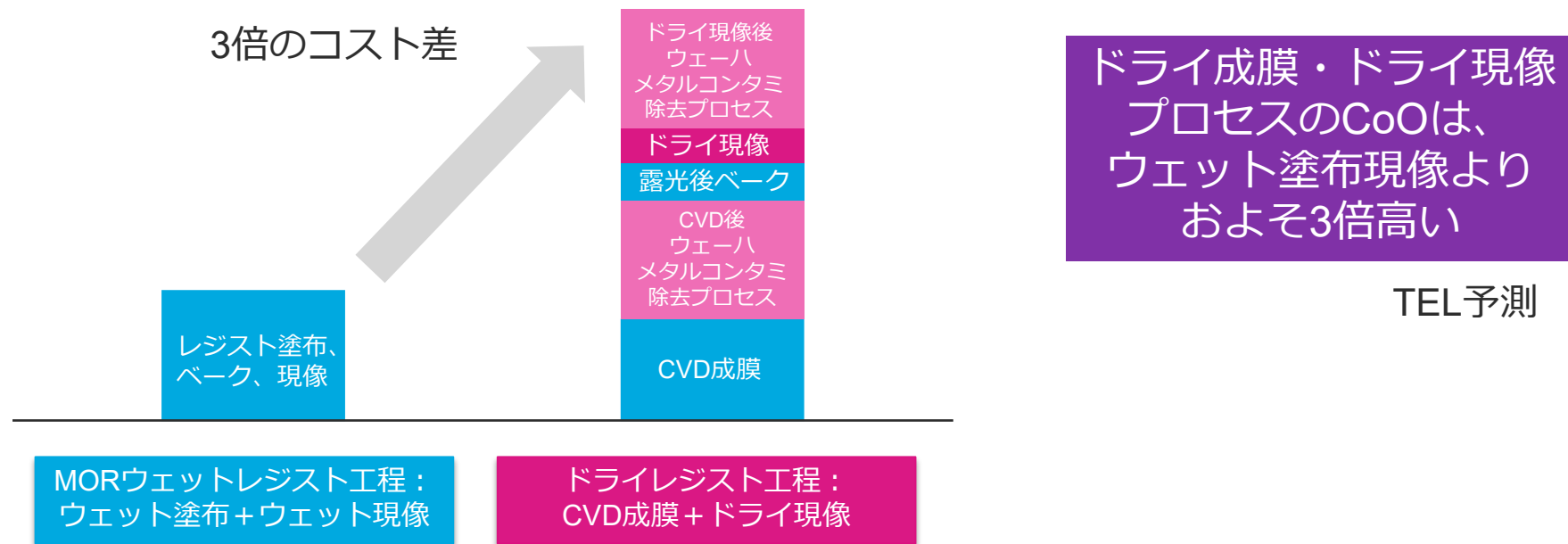
P. De Bisschop, Proc. SPIE, 10957-10 (2019)

レジスト必要膜厚確保の課題



MORウェットレジスト工程とドライレジスト工程のコストの比較

レジストプロセスコスト比較



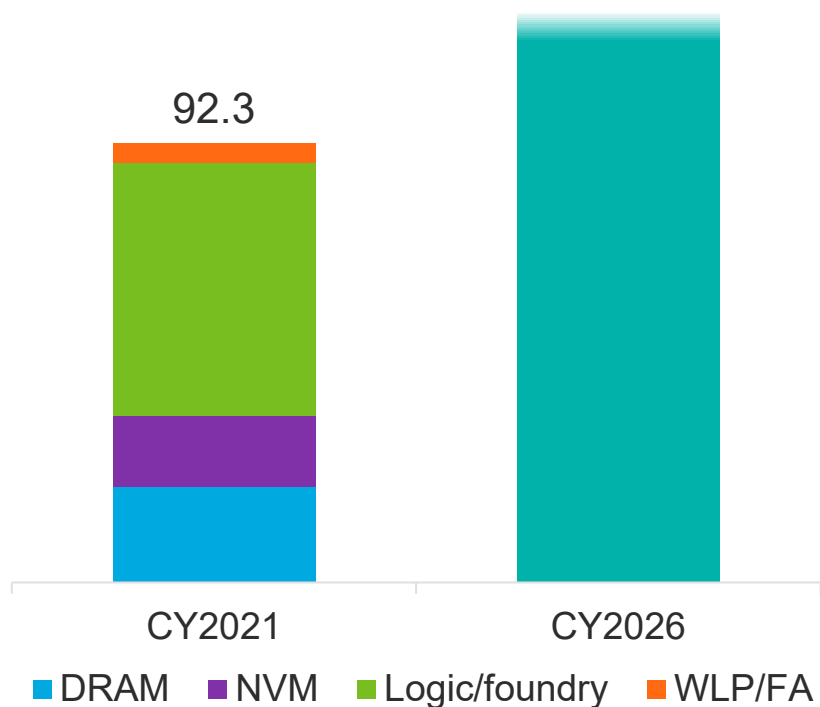
MORウェットレジスト工程は、ドライレジスト工程 (CVD + ドライ現像) に比較して、コスト、TAT、引き置き時間管理、装置のフットプリント、電力消費の点で優位。これらのコストや運用上のメリットだけでなく、性能面でもすでにウェット工程で優位なデータ

7. TELの戦略

7-1 : SPE事業の取り組み

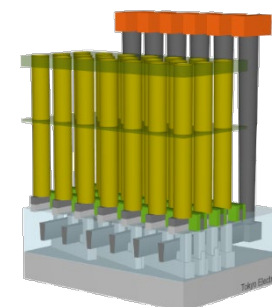
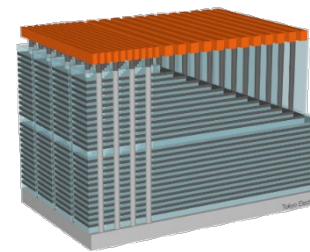
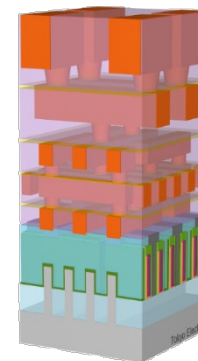
WFE市場の成長、アプリケーション別の技術要求

WFE市場の成長 (\$B)
CY2021～CY2026の5年間の想定



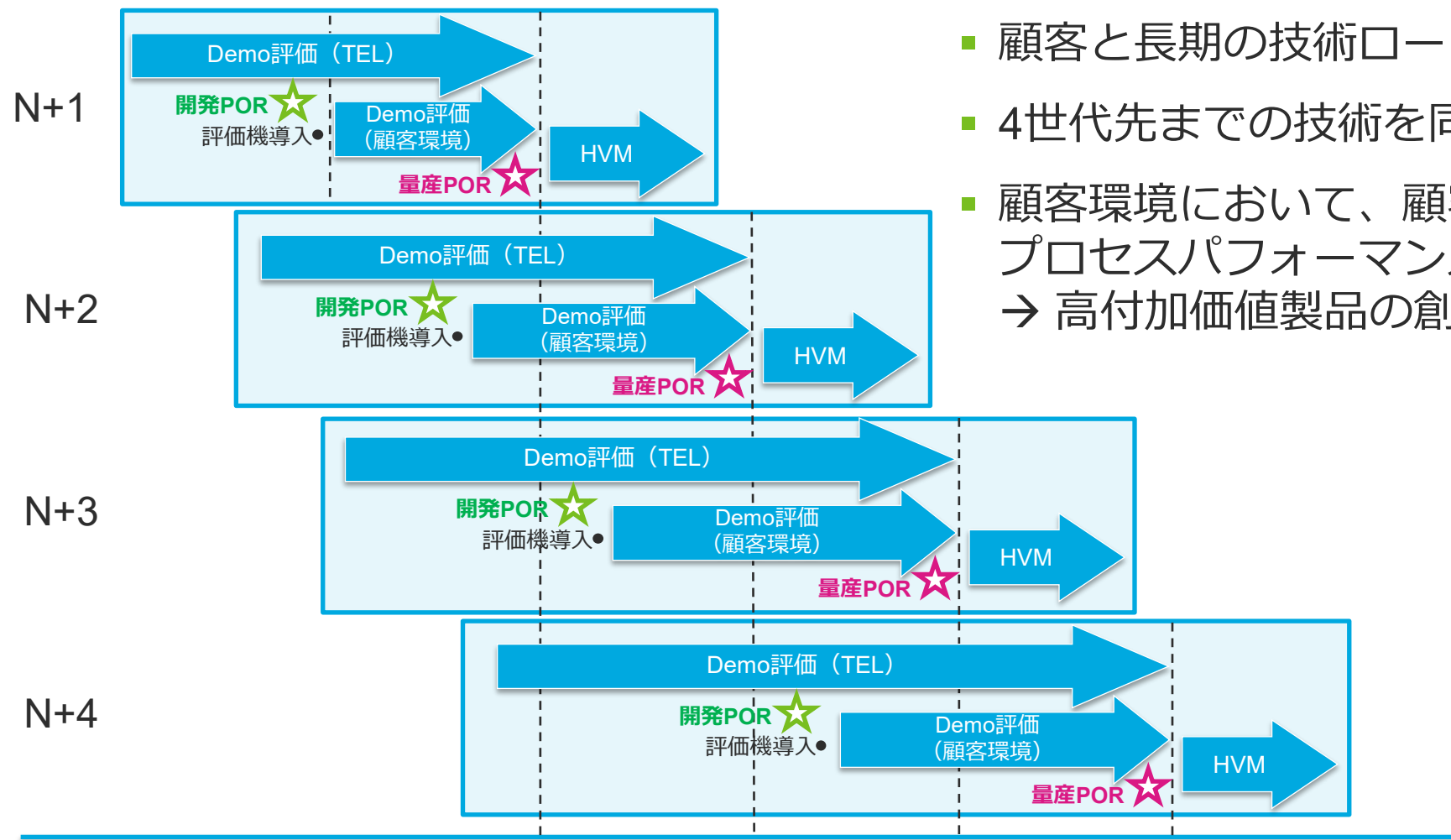
技術要求

- ロジック/ファウンドリ：
 - 構造変化を伴う微細化による
 - トランジスタ当たりのコスト低減
 - 低消費電力化
 - 高速化
- NAND
 - 高積層化による
 - ビット当たりのコスト低減
- DRAM
 - 微細化による
 - ビット当たりのコスト低減
 - 低消費電力化
 - 高速化



開発の取り組み

4世代同時開発

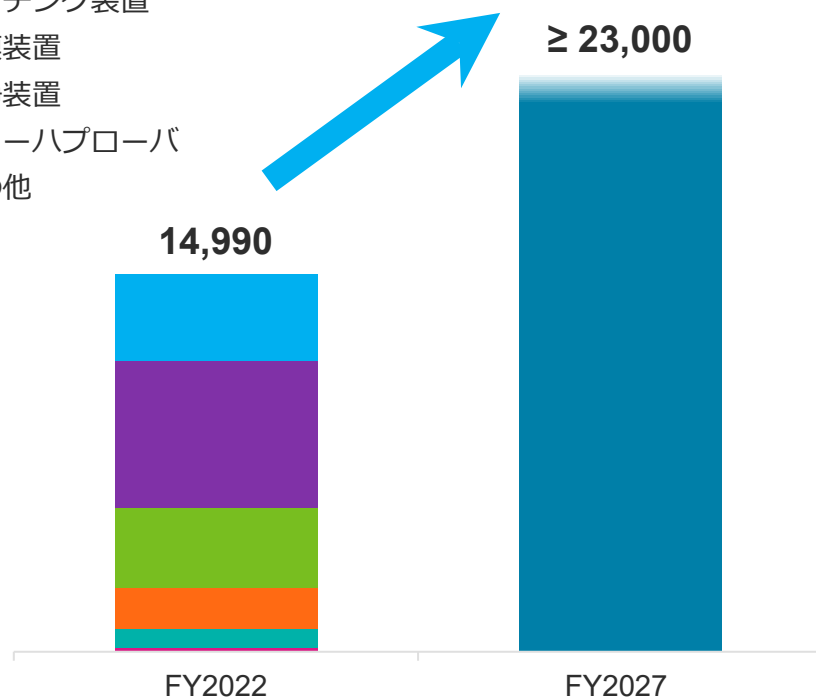


- 顧客と長期の技術ロードマップ・アライメント
- 4世代先までの技術を同時に開発、評価
- 顧客環境において、顧客の評価ウェーハ上でプロセスパフォーマンスを早期に実証
→ 高付加価値製品の創出およびPOR獲得

SPE新規装置 売上高目標、事業機会

SPE新規装置売上高の目標 (億円)
FY2022～FY2027の5年間の想定

- コータ/デベロッパ
- エッチング装置
- 成膜装置
- 洗浄装置
- ウェーハプローバ
- その他

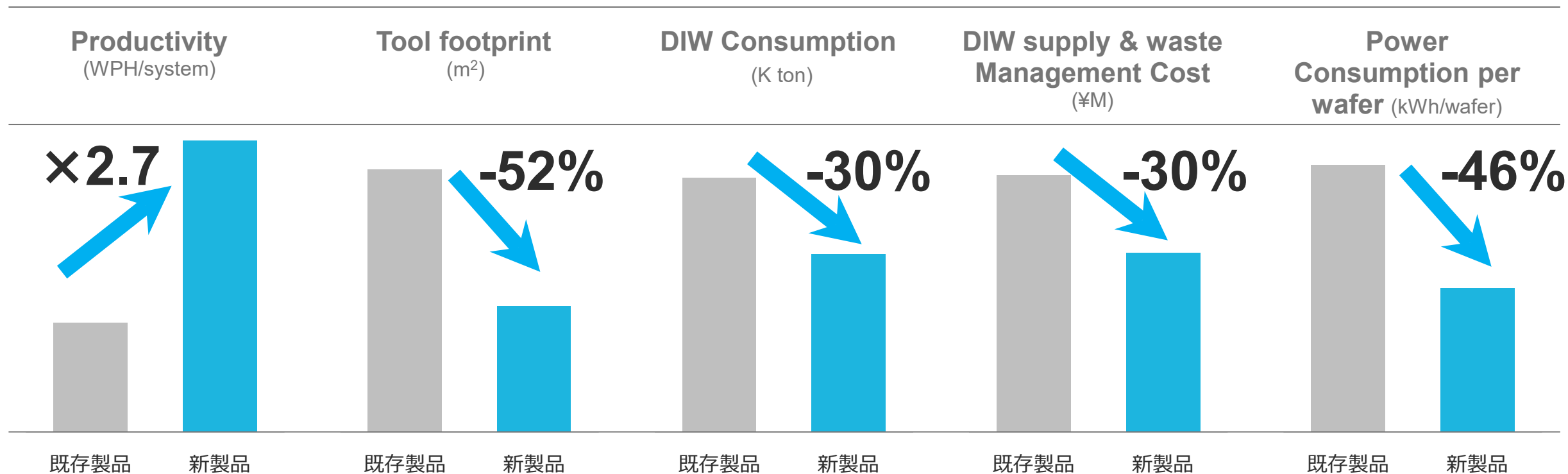


事業環境

- ロジック/ファウンドリ
 - パターニングが複雑化し、ユニットプロセス間の相互最適化の必要性増加
 - High-NA EUVリソグラフィの量産適用
 - GAA構造・Backside PDNの採用
- NAND
 - 3D NANDの積層化は300層以上に到達
 - 高アスペクト比のエッチング、高生産性の犠牲膜除去、3次元構造における原子レベルの成膜技術が重要
- DRAM
 - 配線のRC遅延の抑制技術
 - 微細化継続のためのキャパシタ形成技術

環境性能の向上

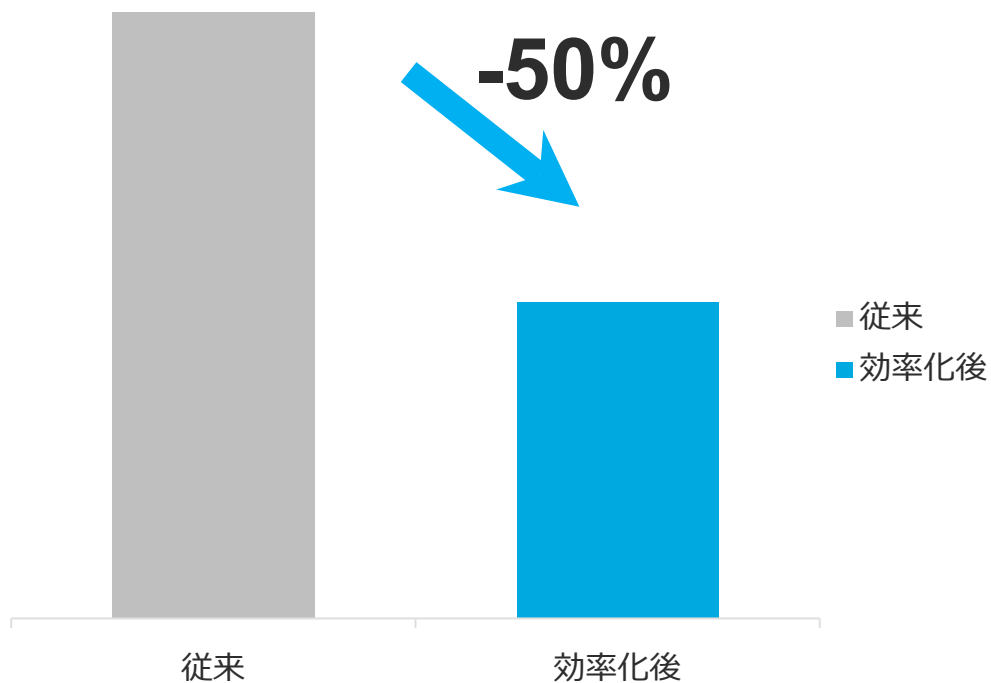
当社洗浄装置の事例



環境性能 = 装置性能。環境性能をさらに向上

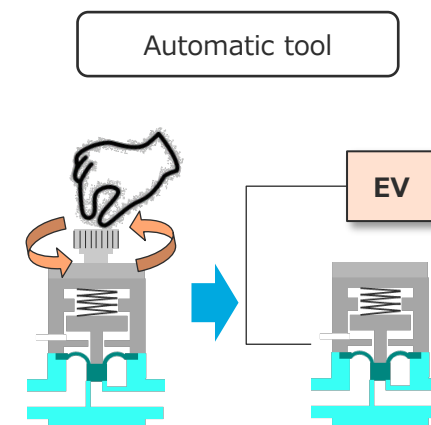
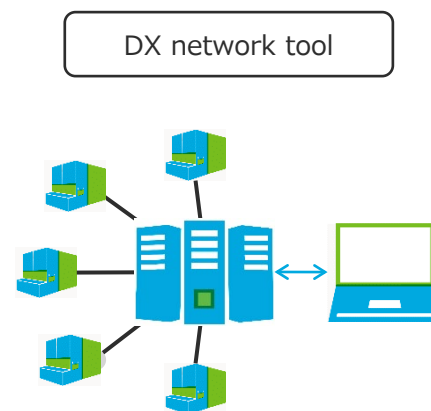
装置立ち上げの効率化

装置立ち上げ時間
(hour)



■ 具体的な施策：

- 検査項目の最適化、検査自動化
- オンラインサポートの拡充
- DX network tool
- Automatic tool

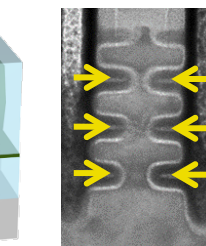
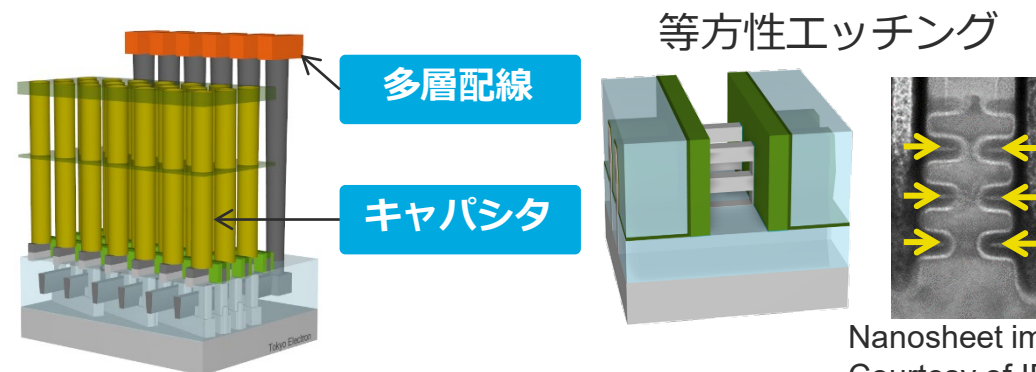
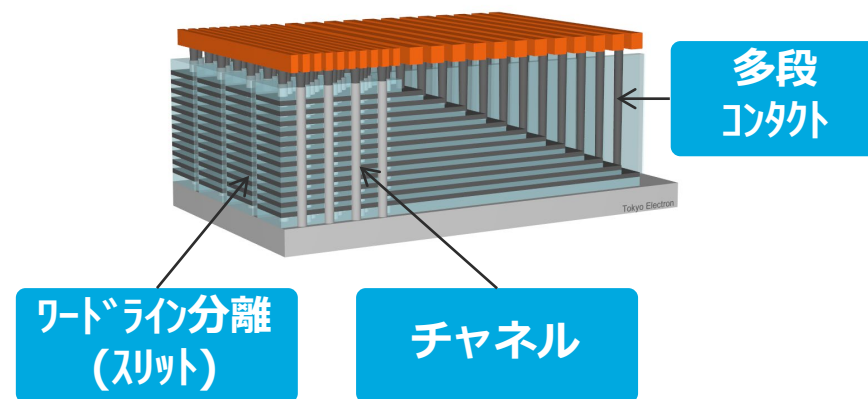


顧客満足度と生産性をさらに向上

7-2 : エッチング装置

エッチング装置における戦略

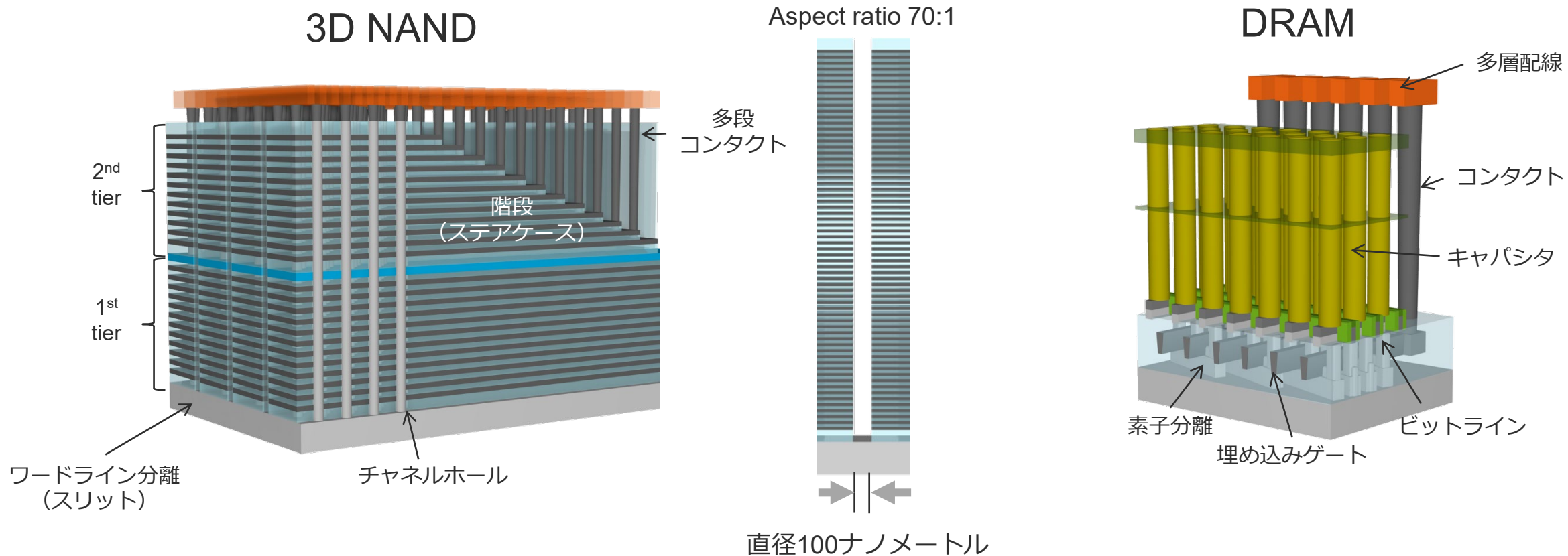
- HARC*工程
 - 3D NAND (多段コンタクト、ワードライン分離)、DRAM (キャパシタ) : 加工性能と生産性で差別化を継続
 - 3D NAND (チャネル) : 精細な加工制御性と生産性で差別化できる新規装置を投入
- パターニング工程
 - DRAM : 加工制御と一括エッチングによるお客さまの生産コスト低減で差別化
 - ロジック : エッチングと成膜の融合技術で差別化
- 配線/コンタクト工程
 - ロジックで培った知見をDRAMへ展開
- ガスケミカルエッチング工程
 - プラズマアシスト技術で新たな市場を創出



Nanosheet image:
Courtesy of IBM

* HARC: High aspect ratio contact

メモリにおける事業機会

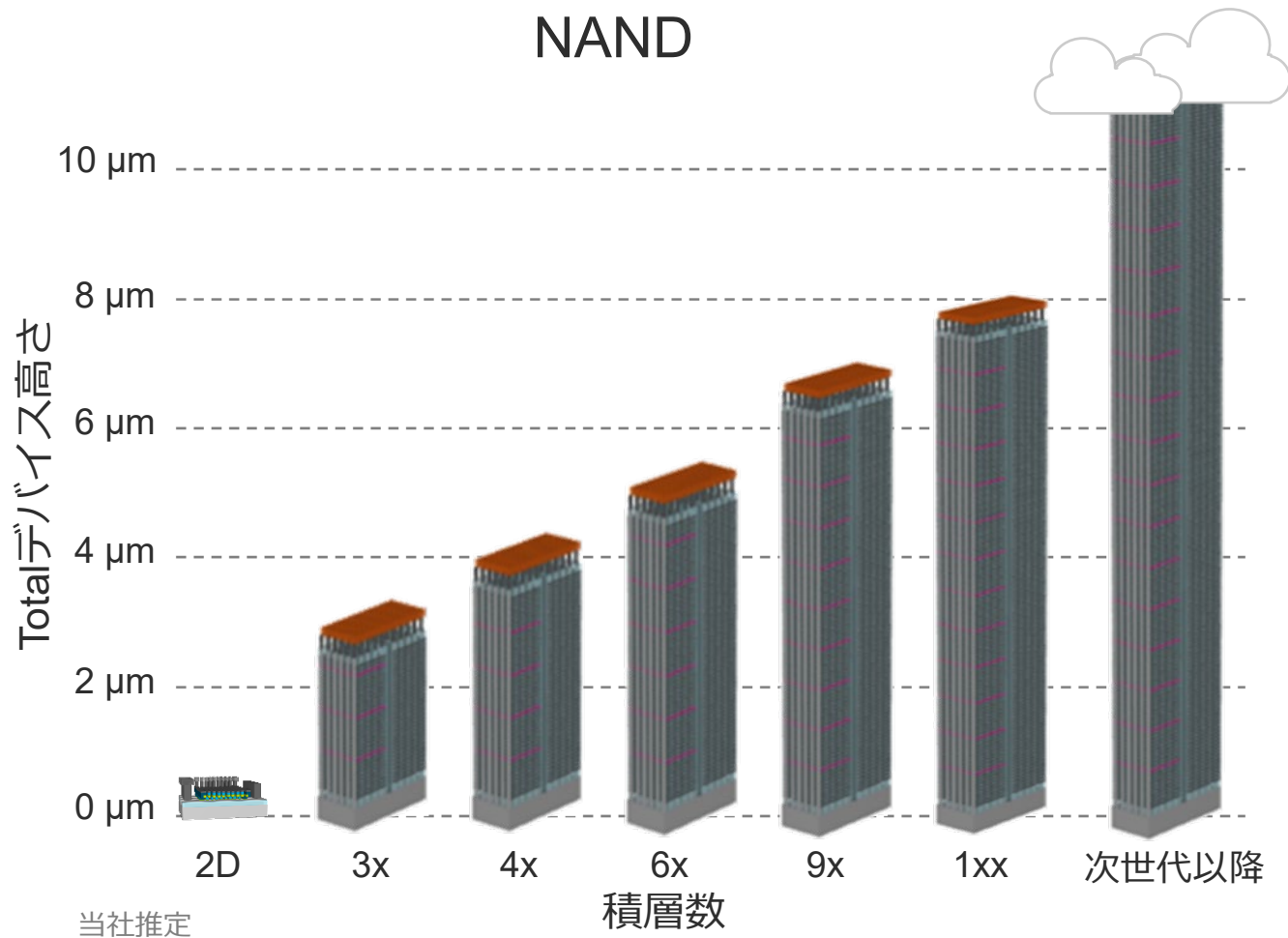


NAND/DRAMにおいて拡大するドライエッチングの事業機会に対応

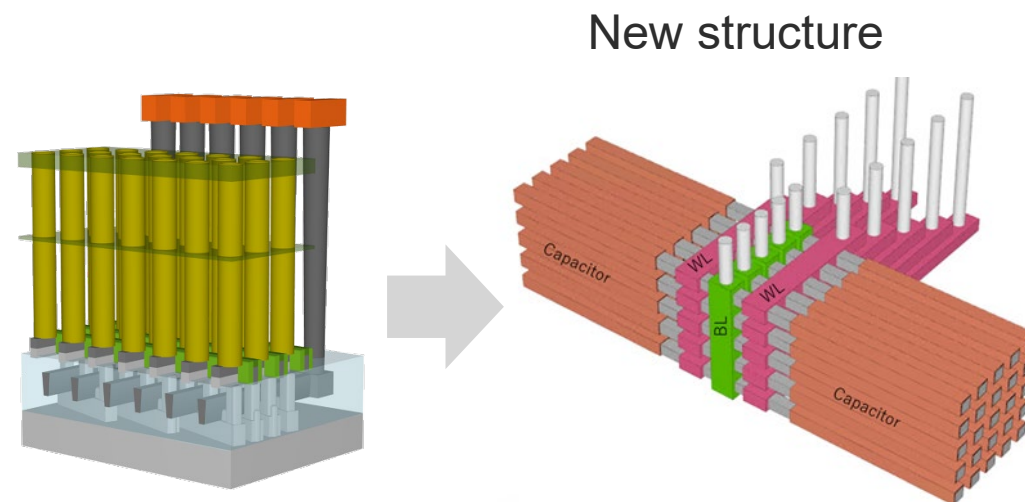
- ・ 高アスペクト比化に対応したエッチング性能
- ・ お客様の生産性改善への寄与

メモリにおける積層化

NAND



DRAM



3次元積層化の継続によりエッチング市場は拡大

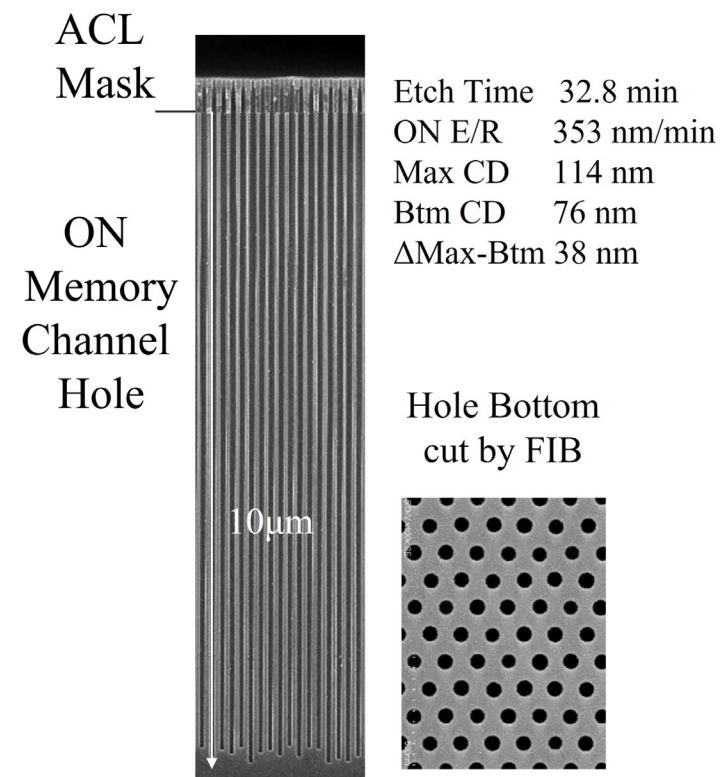
3D NAND チャンネルホール工程への取り組み

チャンネルホールエッチング工程の課題：

- さらなる高アスペクト化によるエッチングの実現困難性
- 従来プロセスにおける環境負荷の大きさ

TELの取り組み：極低温領域での新規プロセスを発案

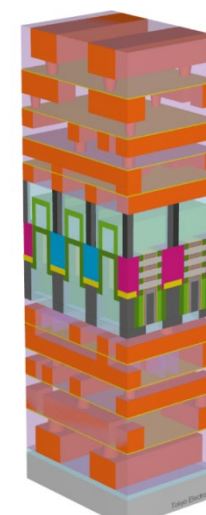
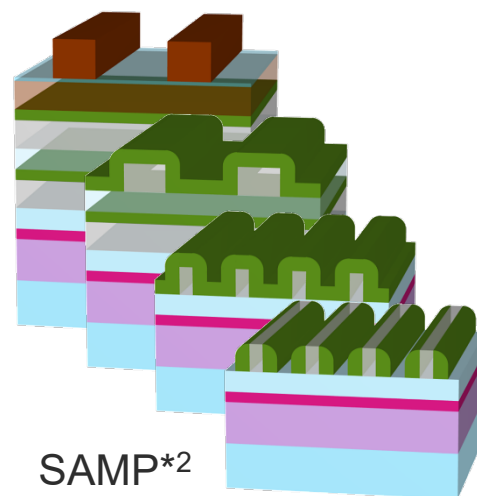
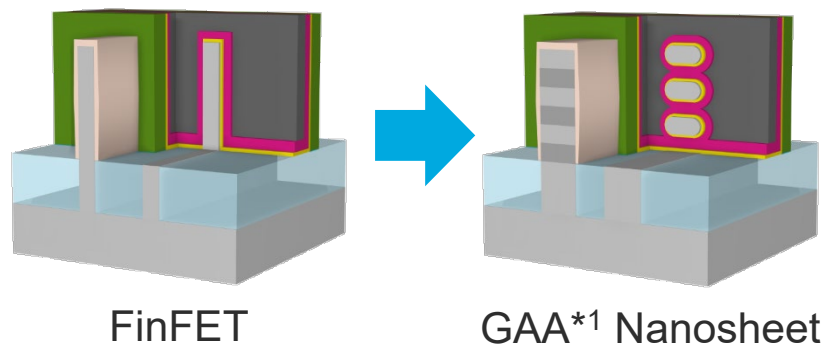
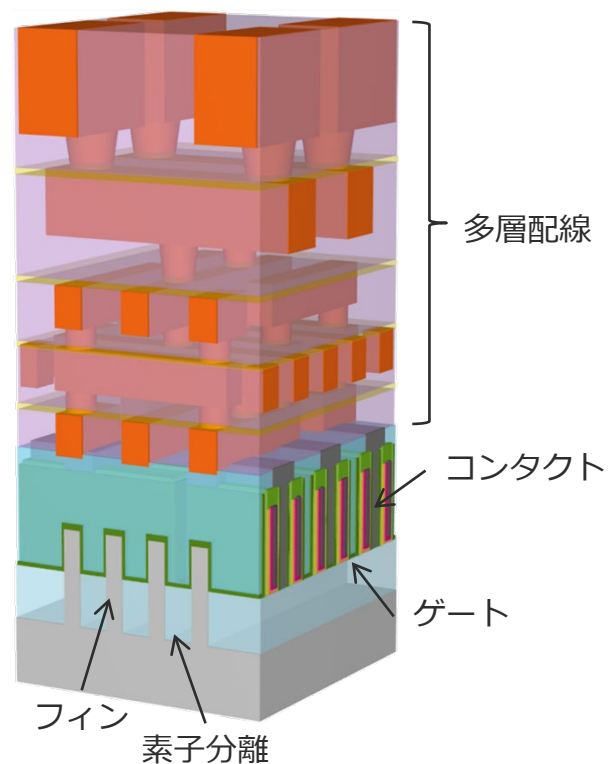
- 10 μm の深穴エッチングの実現
- 従来比2.5倍のエッチング速度
- 地球温暖化係数84%減



Copyright 2023 The Japan Society of Applied Physics

- 深さ10 μm のエッチングを33分で実現

ロジックにおける事業機会



- *1 GAA: Gate all around
- *2 SAMP: Self-aligned multiple patterning
- *3 PDN: Power delivery network

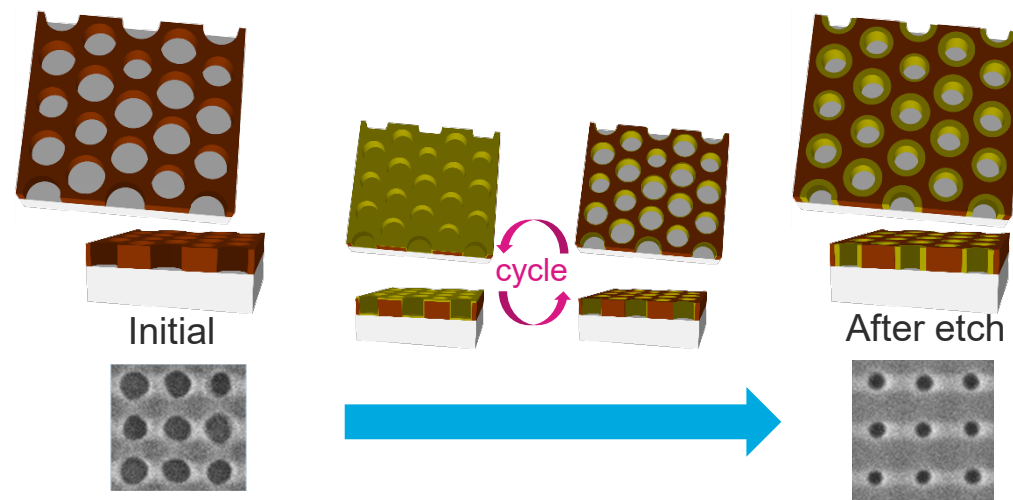
微細化が進むことによるデバイス構造の変化やEUVリソグラフィに対応

EUVリソグラフィへの対応

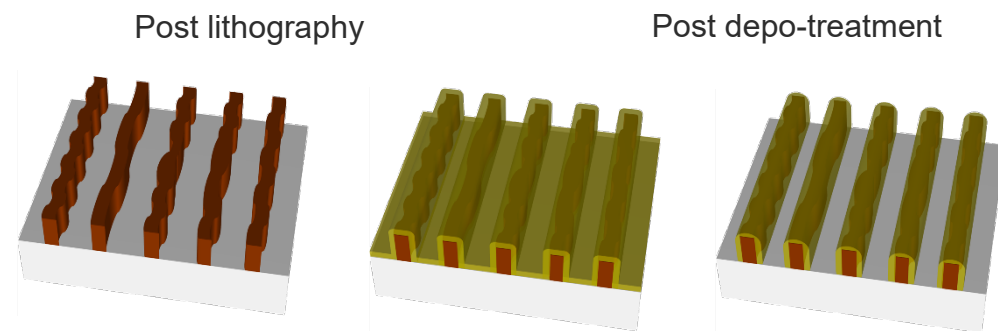
TELの取り組み

- 成膜とエッチングのプロセスを繰り返すことで、リソ後の寸法ばらつきを改善
- レジスト上の成膜を残すことでマスク選択性を向上
- imec、ASML社との連携も活用し、高NA世代も見据えたパターンニングソリューションを実現していく

成膜とエッチングの組み合わせによるばらつき改善



レジスト上の成膜・加工による選択性改善

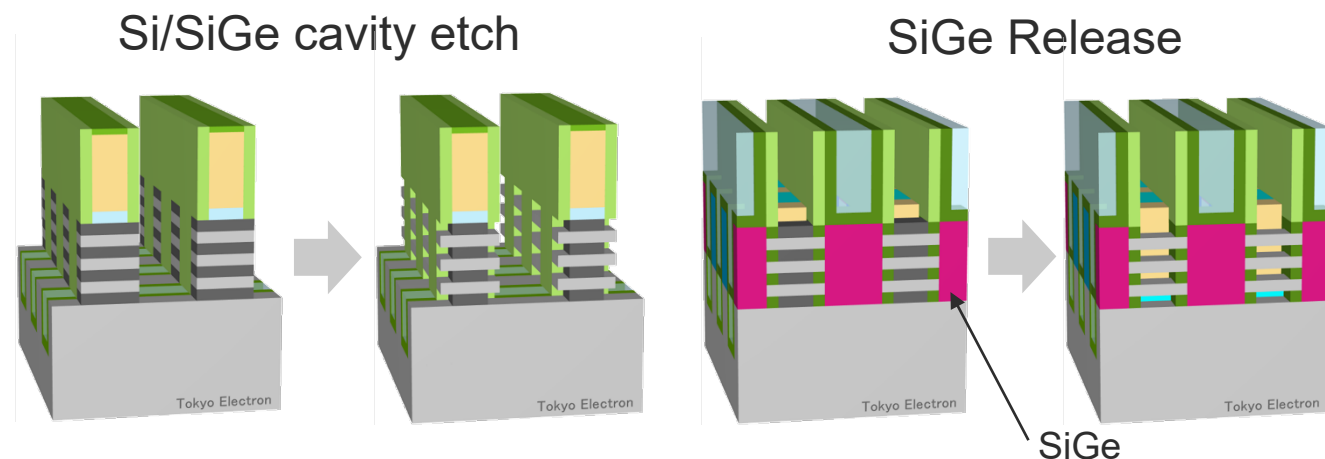


成膜とエッチングの組み合わせによるばらつき・加工選択性改善

GAA Nano Sheet構造への取り組み

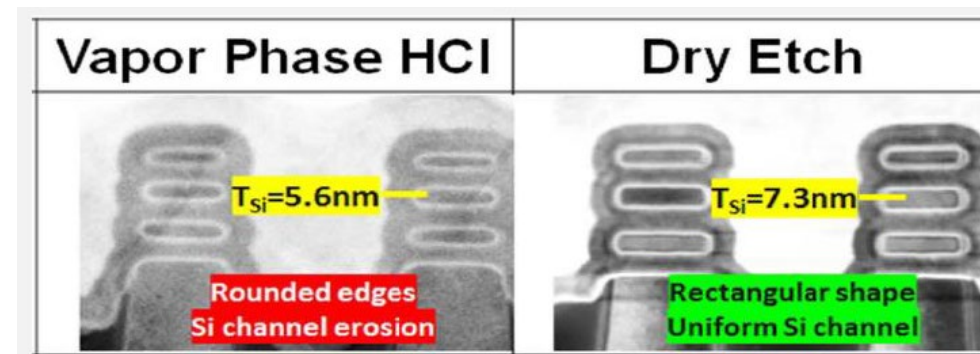
Nano Sheetプロセスの課題：

- パターン形状（矩形）の均一性
- パターン表面のラフネス・残渣



TELの取り組み：ガスケミカルエッチング

- 高いエッチング選択性
- 高い均一性
- 残渣除去・ラフネス低減

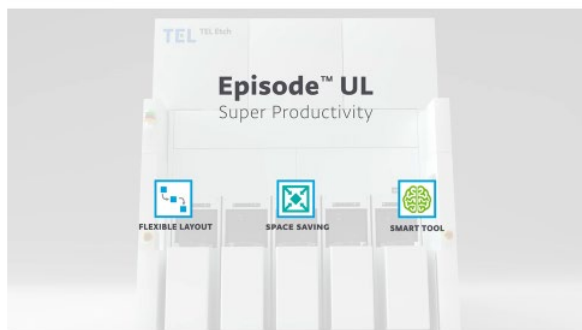


Source: N. Loubet, et al., IBM, TEL Technology Center, America (IEDM2019)

ガスケミカルエッチングのメリットを生かして先端プロセスへ貢献

Episode™ UL

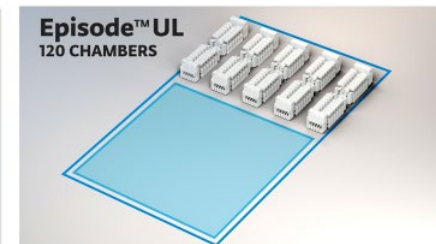
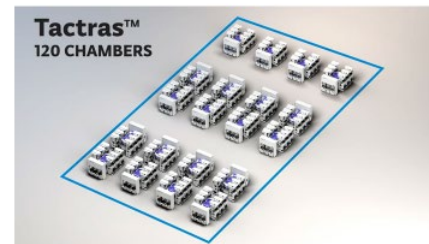
Episode™ UL の特徴



ニーズに合わせて、フレキシブルなレイアウトが可能
省スペース・スマート化により、生産性を向上

TEL

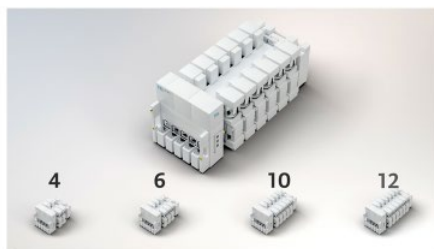
Episode™ UL : スペース



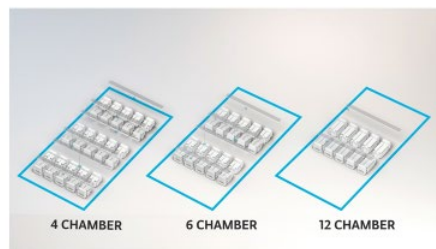
チャンパー当たりのフットプリントを大幅に削減

TEL

Episode™ UL : レイアウト



4、6、10、12チャンパーの
4種類から選択可能



Fabスペースや適用工程に応じて
フレキシブルにレイアウト可能

TEL

Episode™ UL : スマート・ツール



自動パーツ交換機能や多数のセンサー、高速制御システムを搭載
TEL独自のスマートツールを使用したビックデータ解析により、自律プロセス制御が可能

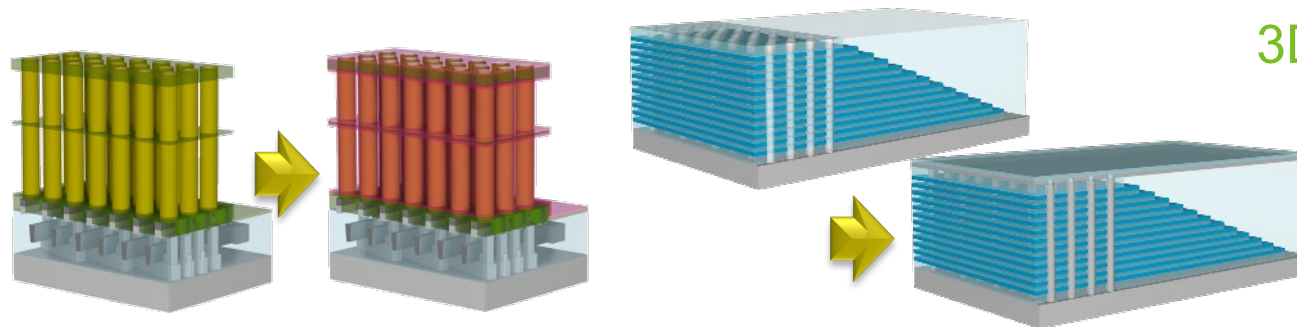
TEL

7-3 : 成膜装置

成膜事業における戦略

DRAM

- 低温化
- High-k絶縁膜
- キャパシタ電極

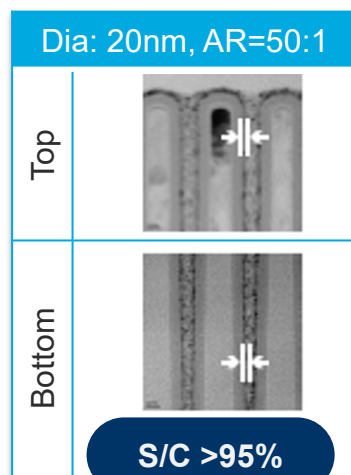


3D NAND

- チャネルシリコン膜
- チャージトラップ膜
- ブロックHigh-k絶縁膜
- 埋め込み酸化膜
- 埋め込みシリコン膜

Single-wafer System

Triase⁺™ EX-II Pro™ TiN



Vertical Furnace

TELINDY PLUS™ Super Large Batch



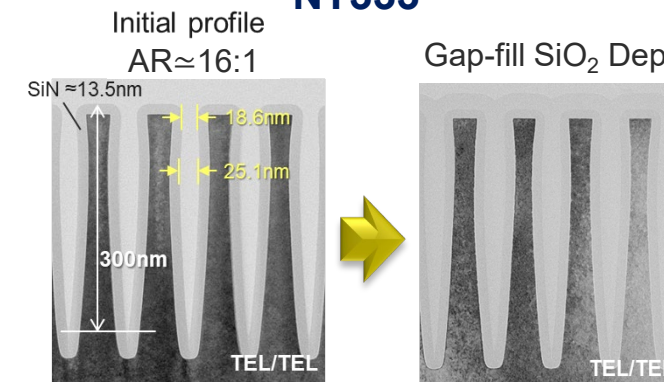
100/125



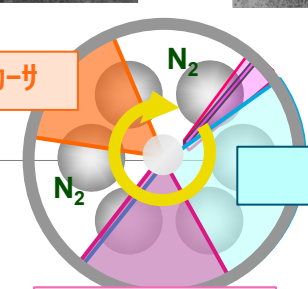
150/175

Semi-batch System

NT333™



シリコンリカーサ



バッチ、セミバッチ、枚葉技術を持つ強みを生かし
付加価値の高い技術を提供

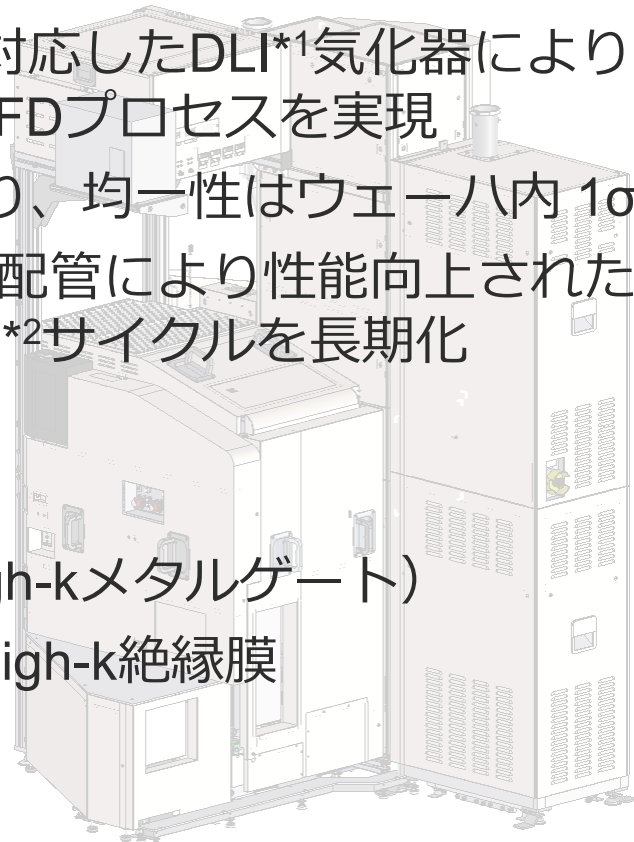
Triase⁺™ EX-II HK : 高品質High-k絶縁膜

■ 特徴

- HfOプロセス向け@~400°C、超低炭素 (~1E19 atoms/cm³)
- 液体Hfプリカーサに対応したDLI*1気化器により、大流量で理想的なASFDプロセスを実現
- 独自のガス注入により、均一性はウェーハ内 1σ < 1%
- 高速APCおよび100A配管により性能向上された排気系により、ウェットPM*2サイクルを長期化

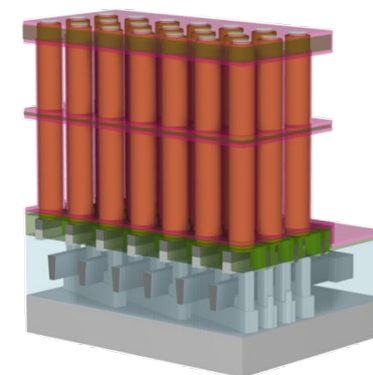
■ アプリケーション

- DRAM 周辺回路 (high-kメタルゲート)
- 3D NAND ブロック high-k絶縁膜



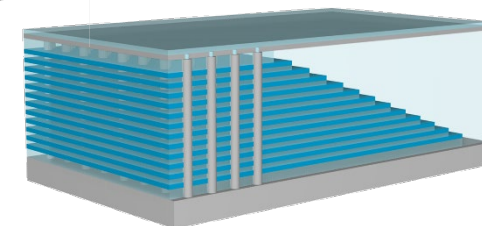
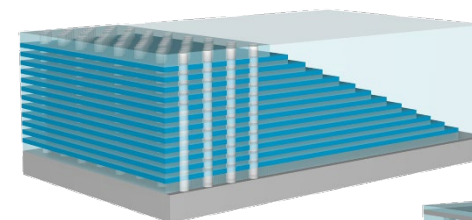
DRAM

High-k絶縁膜



3D NAND

ブロックhigh-k~コア酸化膜成膜



*1 DLI : Direct Liquid Injection

*2 PM : Preventative Maintenance

Triase⁺™ EX-II™ MS : マルチソース供給による薄膜の組成制御

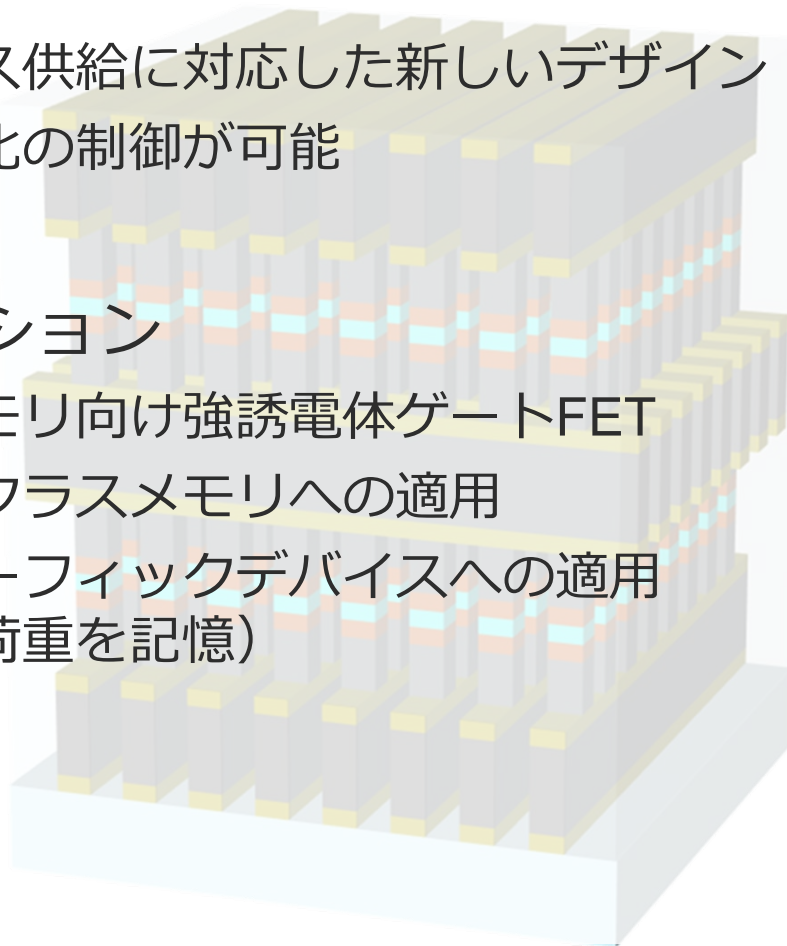
開発段階

■ 特徴

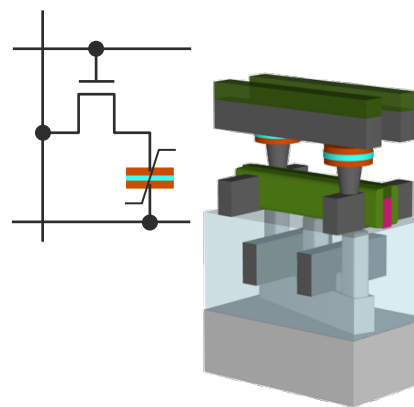
- マルチソース供給に対応した新しいデザイン
- 薄膜の組成比の制御が可能

■ アプリケーション

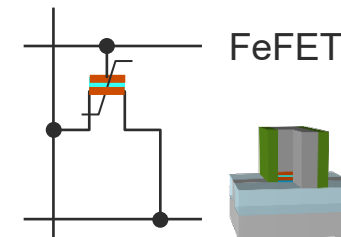
- 不揮発性メモリ向け強誘電体ゲートFET
- ストレージクラスメモリへの適用
- ニューロモーフィックデバイスへの適用
(シナプス荷重を記憶)



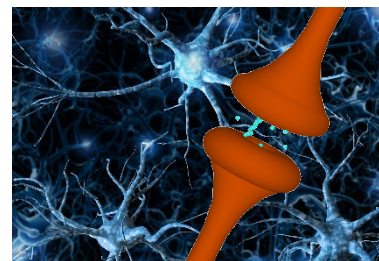
FeRAM



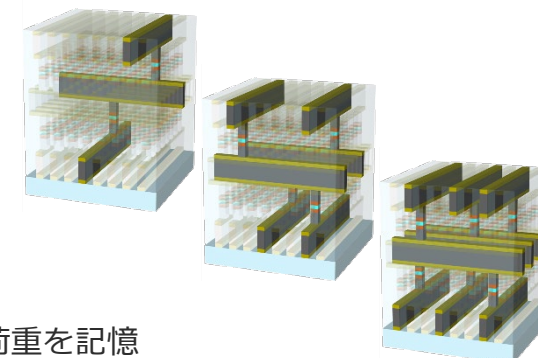
FeFET



ニューロモーフィック



人工シナプス

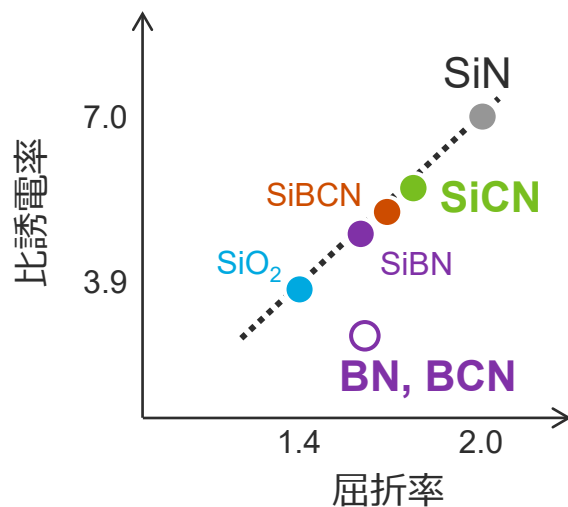
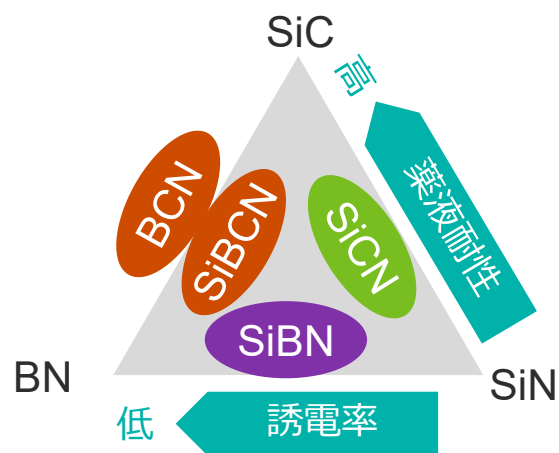


シナプス荷重を記憶

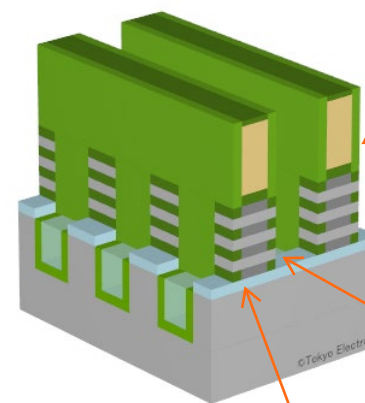
Nano Sheet FET 向け極薄膜の絶縁膜工程

高アスペクト比の狭空間への埋め込みの課題への対応

絶縁膜の特性



Nano Sheet 向け極薄膜の絶縁膜工程



Gate spacer

ソース/ドレインとゲート間の絶縁、不純物注入の制御など

Inner spacer

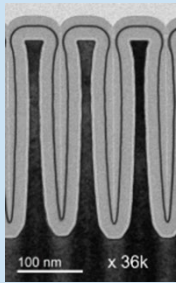
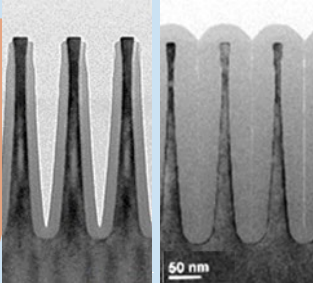
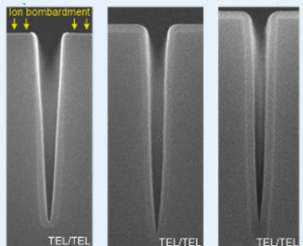
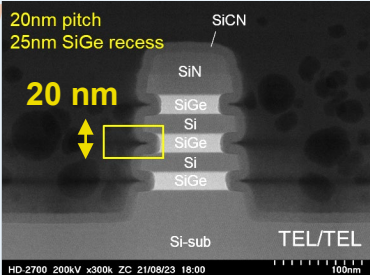
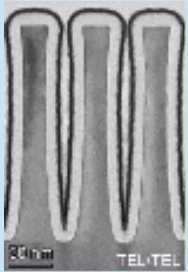
Sheetを等間隔で支える

Dielectric isolation

Si channelから基板SiliconへのLeak電流低減

Nano Sheet形成に必要な高品質かつ極薄絶縁膜をバッチ炉で提供する

絶縁膜のアプリケーションマップ：狭空間埋め込み、極薄膜

	300 °C	400 °C	500 °C	600 °C
SiN (k ~ 7.5)	<p>成膜 エッチ 成膜 連続プロセス 活用事例</p> 	<p>プラズマを 使った 枚葉成膜技術 (評価中)</p>	<p>TELINDY PLUS™ IRad™ 成膜とEtchの複合プロセス</p>	
低誘電率 材料 (k < 4.5)	<p>High H₂ radical Low</p> <p>成膜抑制技術 の活用事例</p> 	<p>プラズマを 使った 枚葉成膜技術 (評価中)</p>	<p>TELINDY PLUS™ IRad™ 膜厚・膜質・カバレッジ インテグレーション対応</p>	
極低誘電率 材料 (k < 3.0)	<p>TELINDY PLUS™ IRad™ 新規材料の採用 (評価中)</p>			

高品質極薄絶縁膜の対応ラインアップを拡充中

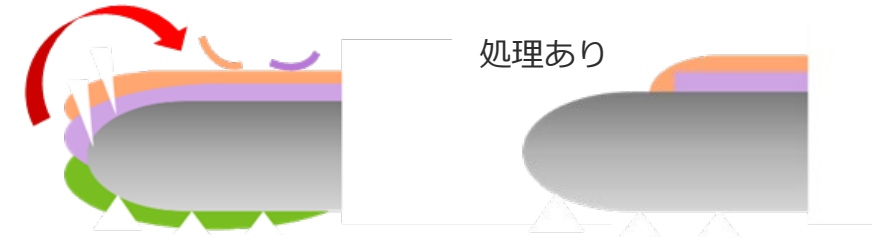
7-4：洗淨装置

枚葉洗淨における戦略

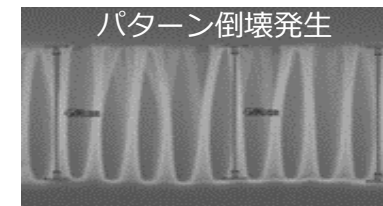
■ 枚葉洗淨

- ベベルウェットエッチング
 - 市場は年率10%程度の成長見込み
 - 顧客歩留まり改善に貢献。精密な外周部の膜除去性能により差別化し、高いシェアを維持
- パターン倒壊抑制
 - 高アスペクト比のパターンの倒壊を抑制する当社独自の技術により、シェアを拡大
- メタルエッチング
 - メタルとの選択比を制御する新規SPM専用チャンバーを販売開始。ドライエッチングのダメージや残渣による歩留まり低下の課題を解決

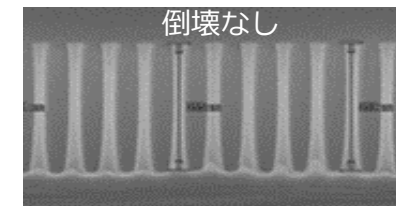
処理なし



既存乾燥技術



新乾燥方式



メタルエッチング工程イメージ

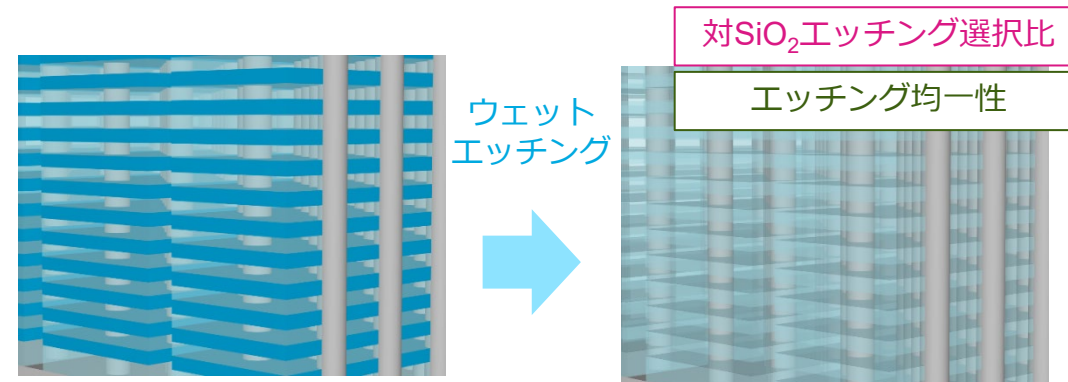


バッチ・スクラバー洗浄における戦略

■ バッチ洗浄

- 3D NAND向けSiNエッチング、Wエッチング
長時間かつ高いプロセス技術が要求される工程に注力。ウェットエッチングにおける高均一性、高選択性および高生産性の実現により差別化

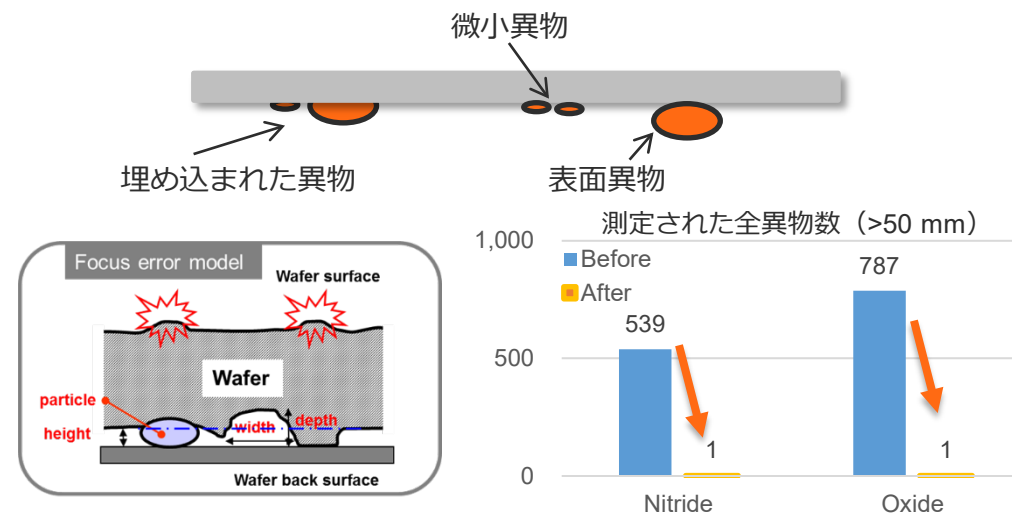
SiNエッチング工程イメージ



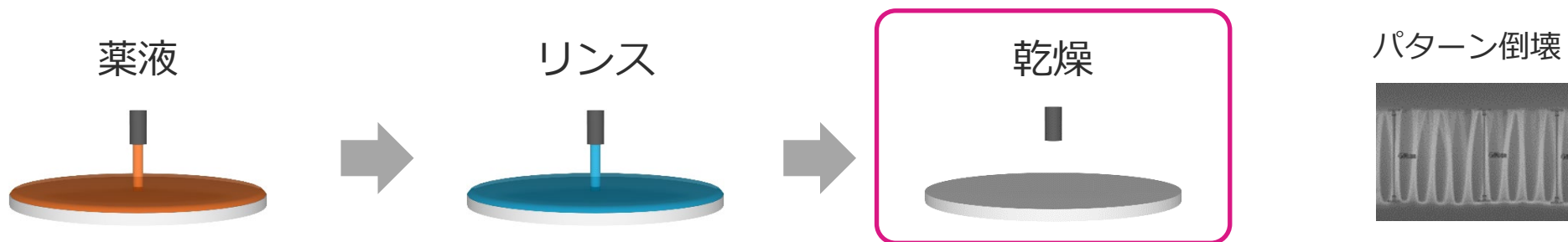
■ スクラバー洗浄

- Pre-lithography工程
EUVの導入によってますます重要度が増す露光機の稼働率向上に貢献する、異物低減など、価値の高いソリューションを提供

ウェーハ裏面とディフォーカスのイメージ

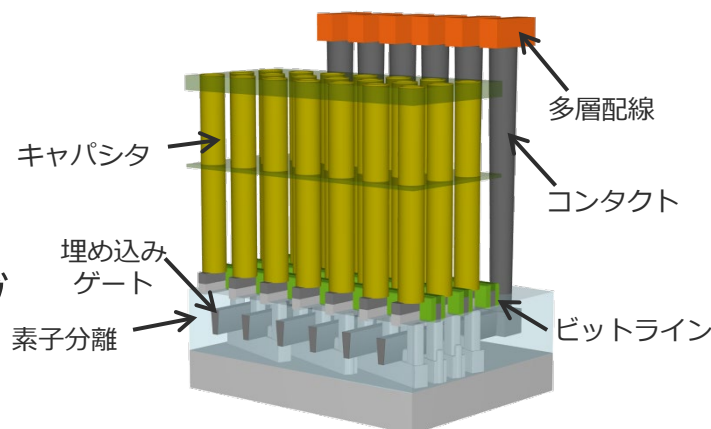


先端デバイスが抱える洗浄工程における技術課題

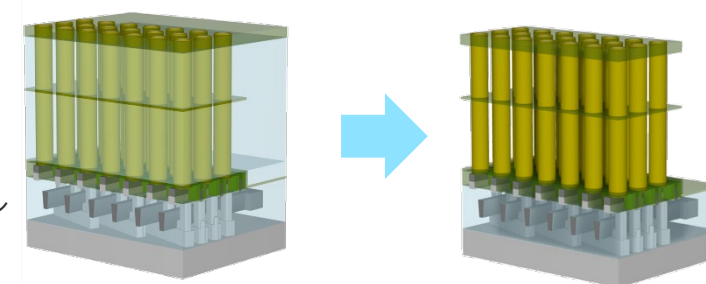


■ DRAM

- 素子分離エッチング後の洗浄
- キャパシタ電極形成後のモールドのウェットエッチング

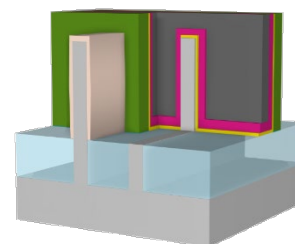


ウェットエッチング

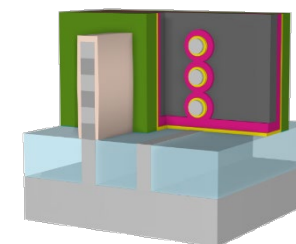


■ ロジック

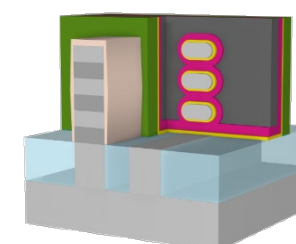
- Fin エッチング後の洗浄
- Nanowire/Nanosheet 形成後の洗浄



FinFET



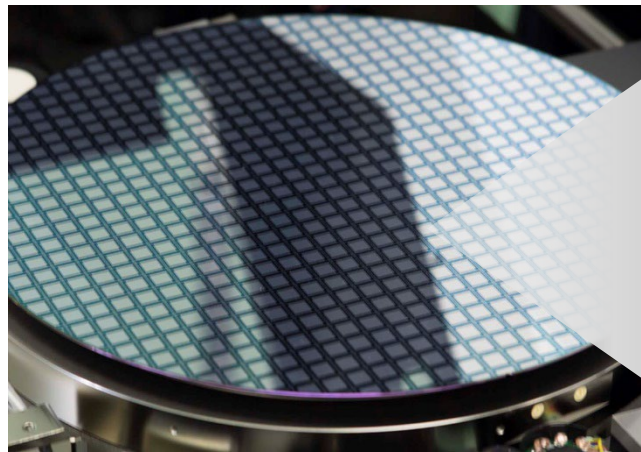
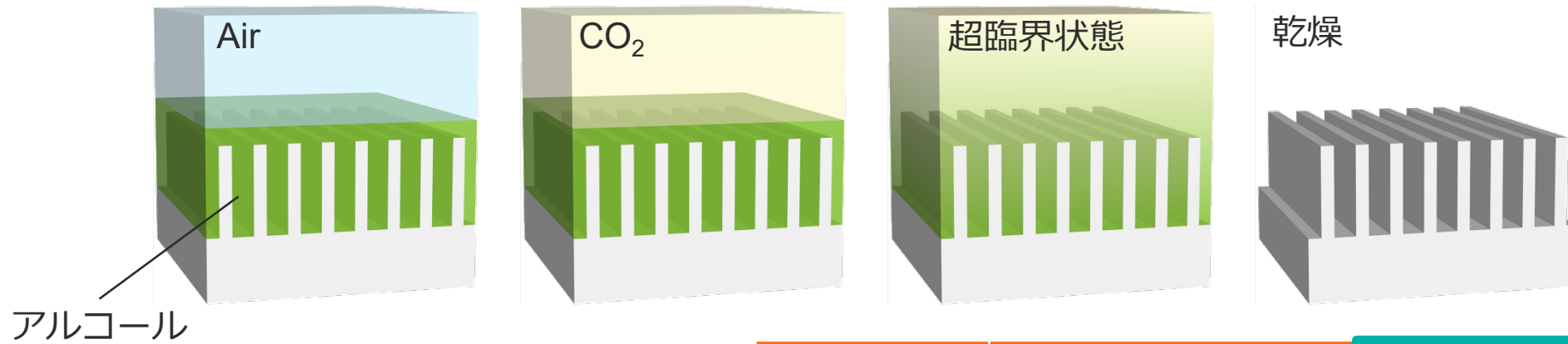
Nanowire



Nanosheet

デバイス構造の微細化・高アスペクト比化により、乾燥技術の難度が増加

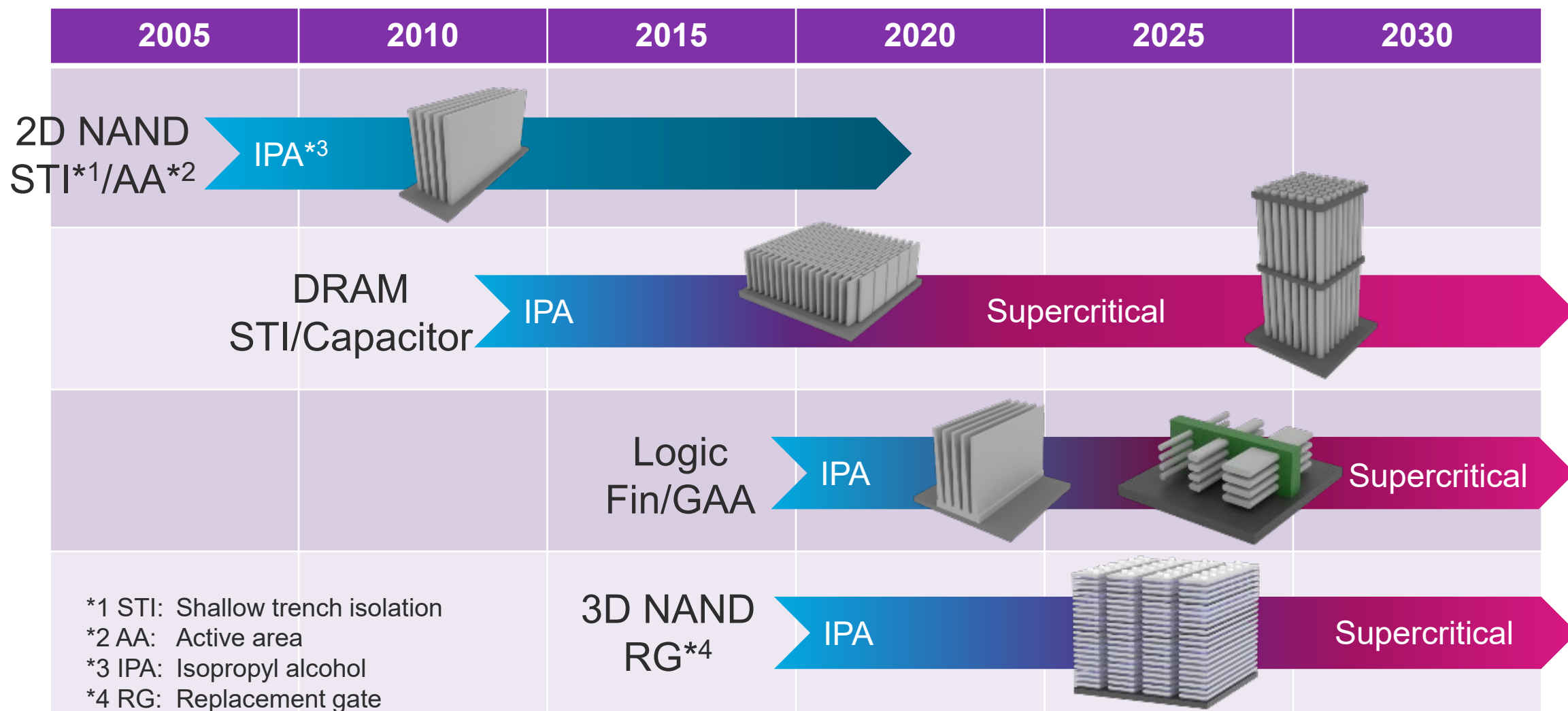
超臨界乾燥技術



	従来の乾燥	TELの超臨界乾燥
Top View		
Side View		

超臨界乾燥技術によりパターン倒壊を抑制

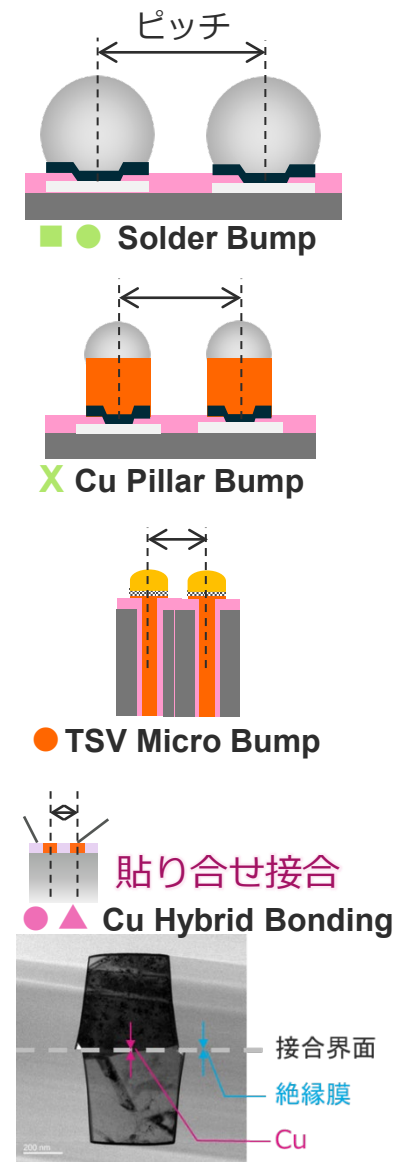
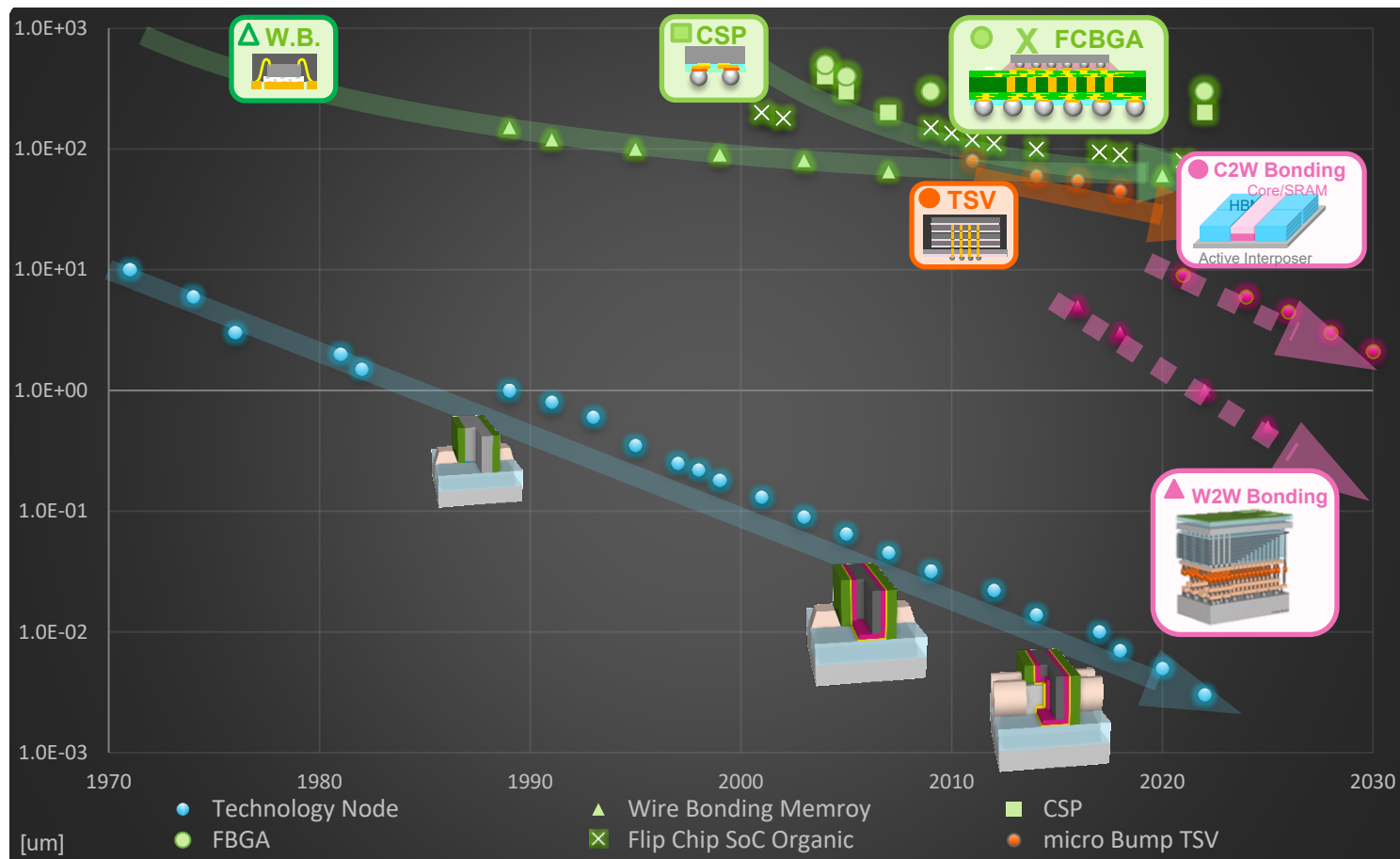
乾燥技術のロードマップ



7-5：後工程 事業戦略

貼り合わせ接合プロセス開発へ向けた取り組み

半導体テクノロジーノードと実装電極ピッチ



貼り合わせ接合技術の導入が、実装電極ピッチのさらなる縮小を加速

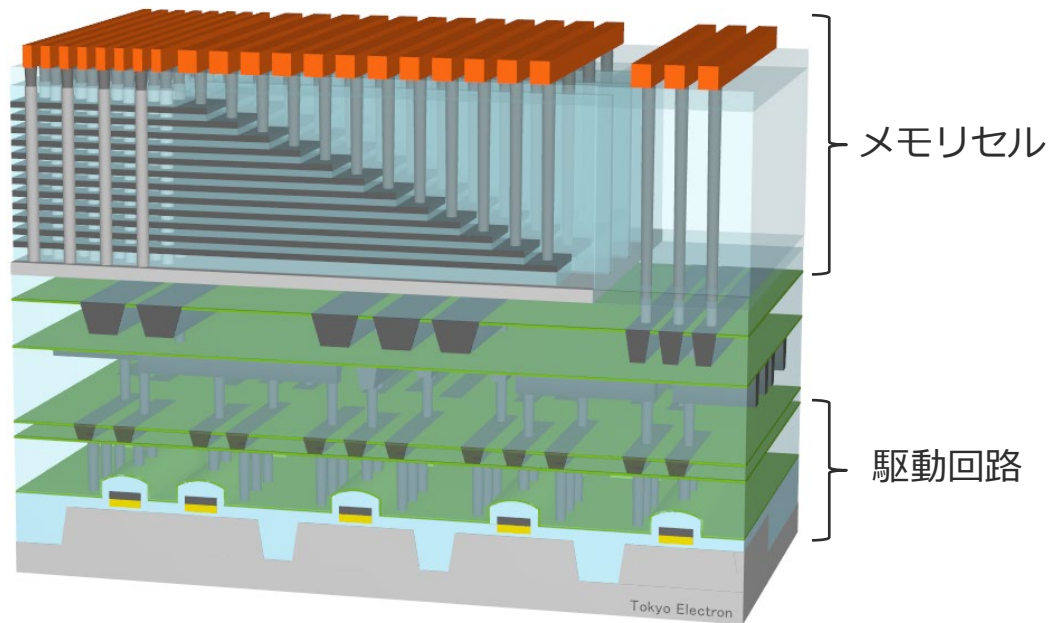
貼り合わせ接合適用例

Device	CIS	NAND	DRAM	DRAM	Logic	Logic	Logic	
	BSI	3D NAND	HBM	3D DRAM	Backside PDN	Sequential CFET	Disaggregation / Chiplets	
Stacking Device	Sensor + Memory + Logic	Cell + Peripheral	DRAM (✓) ⋮ DRAM (✓) + Logic	Cell + Peripheral	Logic + Bare Si	Logic + Logic		
Bonding	W-W Cu Hybrid	W-W Cu Hybrid	D-W Cu Hybrid	W-W Cu Hybrid	W-W Ox Fusion	W-W Ox Fusion	D-W / D-D Cu Hybrid	
3D I/O Pitch	3 μm →1 μm	1 μm →0.5 μm	40 μm →25 μm	1 μm →0.5 μm	Sub μm (nTSV)	Sub μm (nTSV)	10 μm →1 μm	
Structure								<p>Chip partition (Chiplet)</p> <ul style="list-style-type: none"> CPU 1.4cm² L2/L3 SRAM 1.4cm² GPU & I/O 1.2cm² <p>Chip Stacking</p> <ul style="list-style-type: none"> L2/L3 SRAM 1.4cm² GPU & I/O 1.7cm² <p>Source: TEL</p>
Status	HVM	R&D~HVM	R&D	R&D	R&D	R&D	R&D	

次世代デバイスへ向けて、貼り合わせ接合技術の導入が拡大

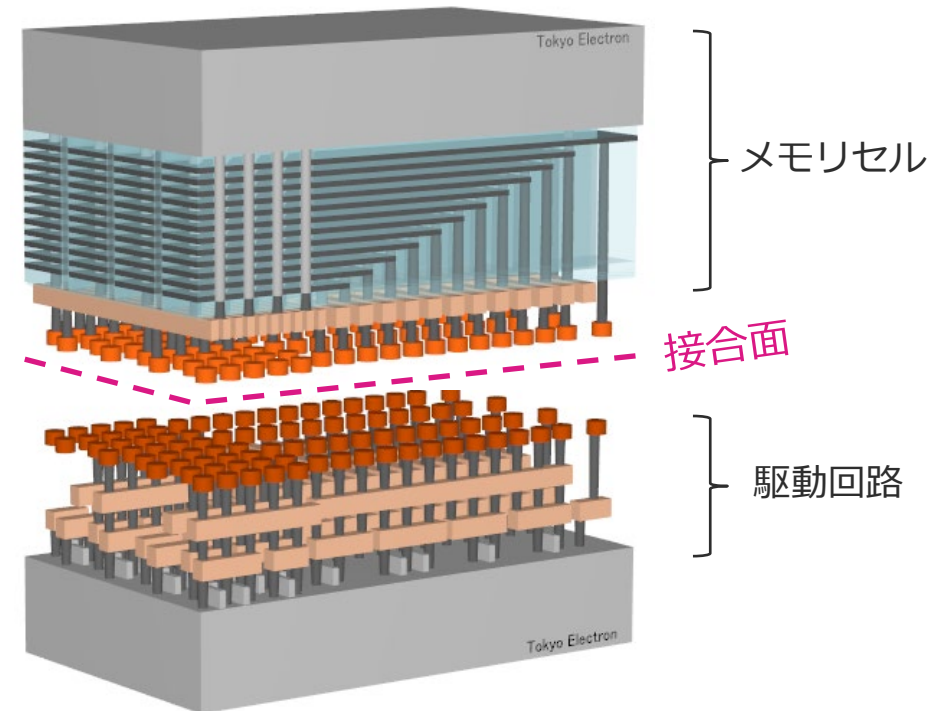
貼り合わせ接合導入例：3D NAND

従来構造



- ✓ 駆動回路が高熱に晒され劣化
- ✓ 長い配線長

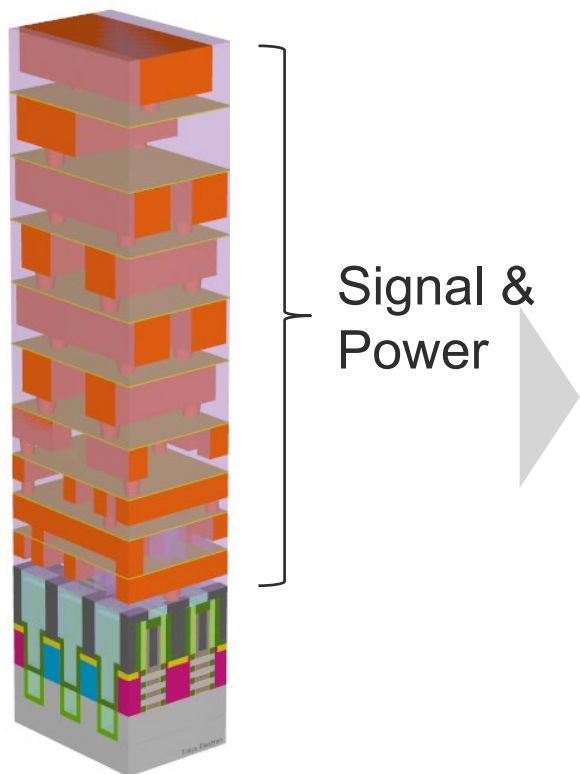
接合構造



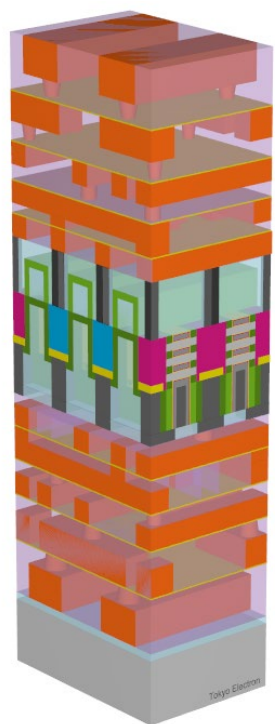
- ✓ 駆動回路を別ウェーハで製造、メモリセルと貼り合わせ
 - 回路性能向上
 - 短TAT*プロセス
- ✓ 短い配線長

貼り合わせ接合導入例：Logic Backside PDN

従来構造

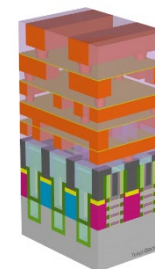


Backside PDN : Power Delivery Network



※Power配線の制約なく
微細化を追求可
(N2以降求められる)

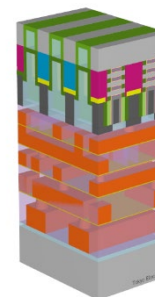
Signal BEOL
(Front side)



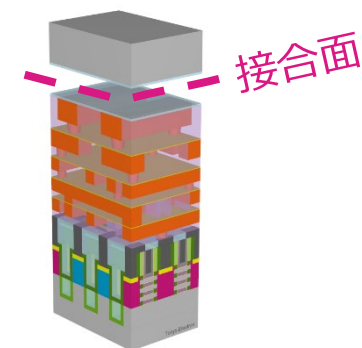
Power BEOL
(Backside)



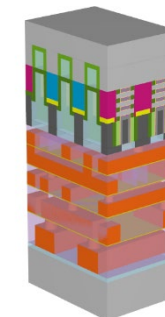
裏面薄化



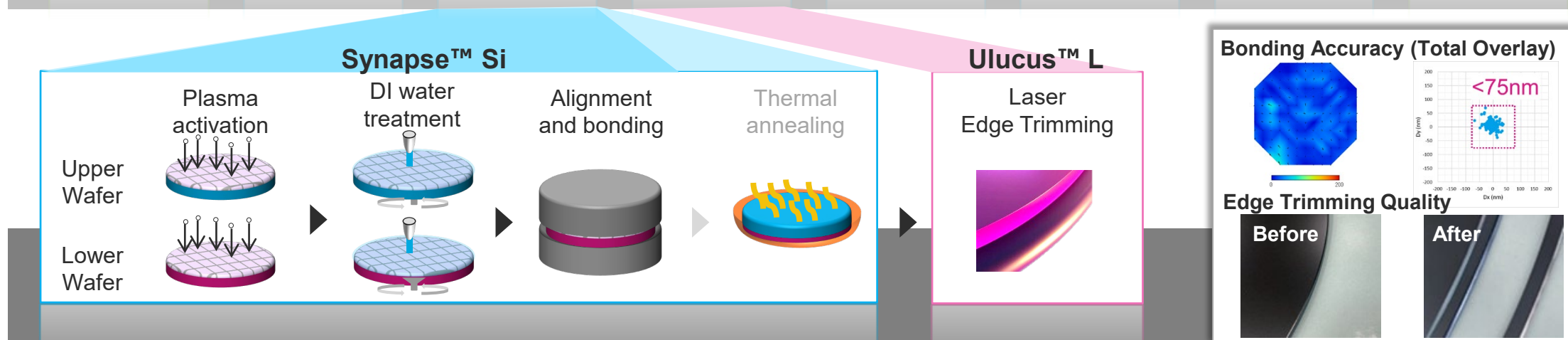
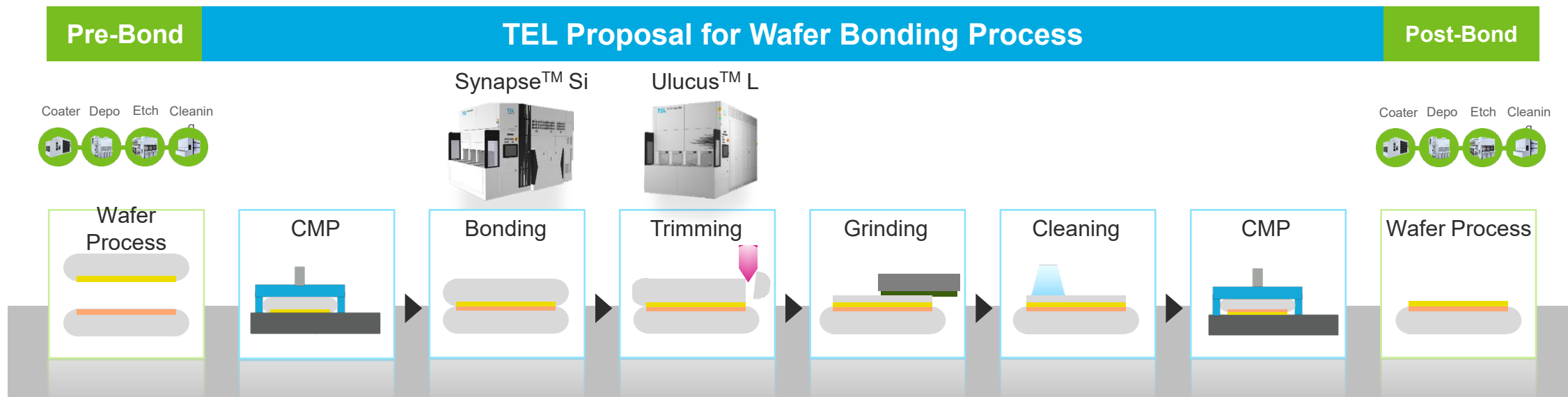
Bulk Si Wafer
接合



上下反転



ウェーハ貼り合わせ接合プロセス



ウェーハボンディング装置



■ Synapse™ Si概要

- 前工程で培われた高生産性プラットフォームとプラズマ、洗浄、高精度接合モジュールを融合
 - 高い生産性（Uptime 90%以上）
 - アライメント精度 3 σ 50 nm以下

量産工場にて高い生産性、安定稼働を実現
お客様の目指す「3DI化」の未来の実現に貢献する

レーザトリミング装置

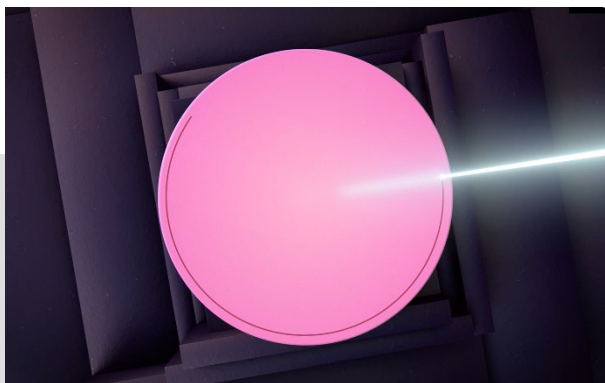


- Ulucus™ L 概要（新規リリース）
 - ウェーハ接合でのエッジトリミング装置
 - 前工程レベルのスーパークリーン技術を適用した最新プラットフォームとレーザ制御技術を融合

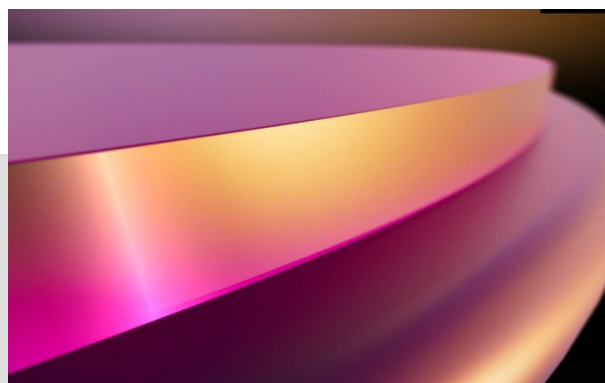
レーザ技術による、高精度・高品質なトリミングと
純水使用削減によるエコフレンドリーの両立を実現する

レーザトリミング装置

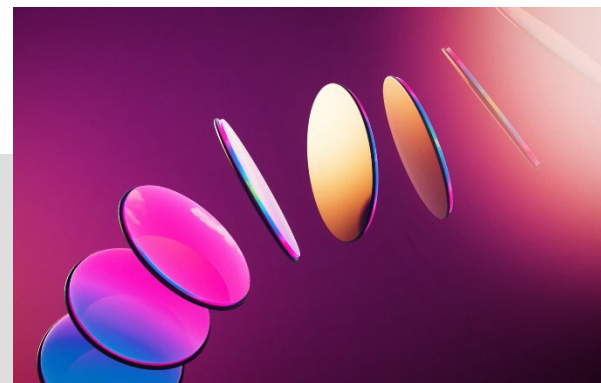
ウェーハ製造でのウェーハ貼り合わせ工程をレーザ技術により革新
エッジトリミング工程での歩留まり改善と純水使用量の大幅な削減を実現



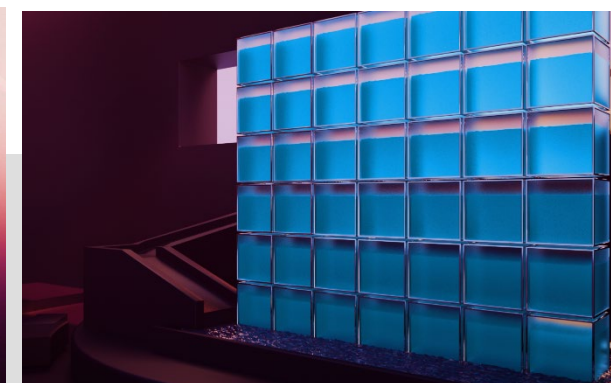
Higher Accuracy
Enabling narrower trimming width



Smooth Sidewall
Less damage, Better yield



Higher Throughput
High productivity, Reliability



Save Water
Reducing DIW to 70% or more

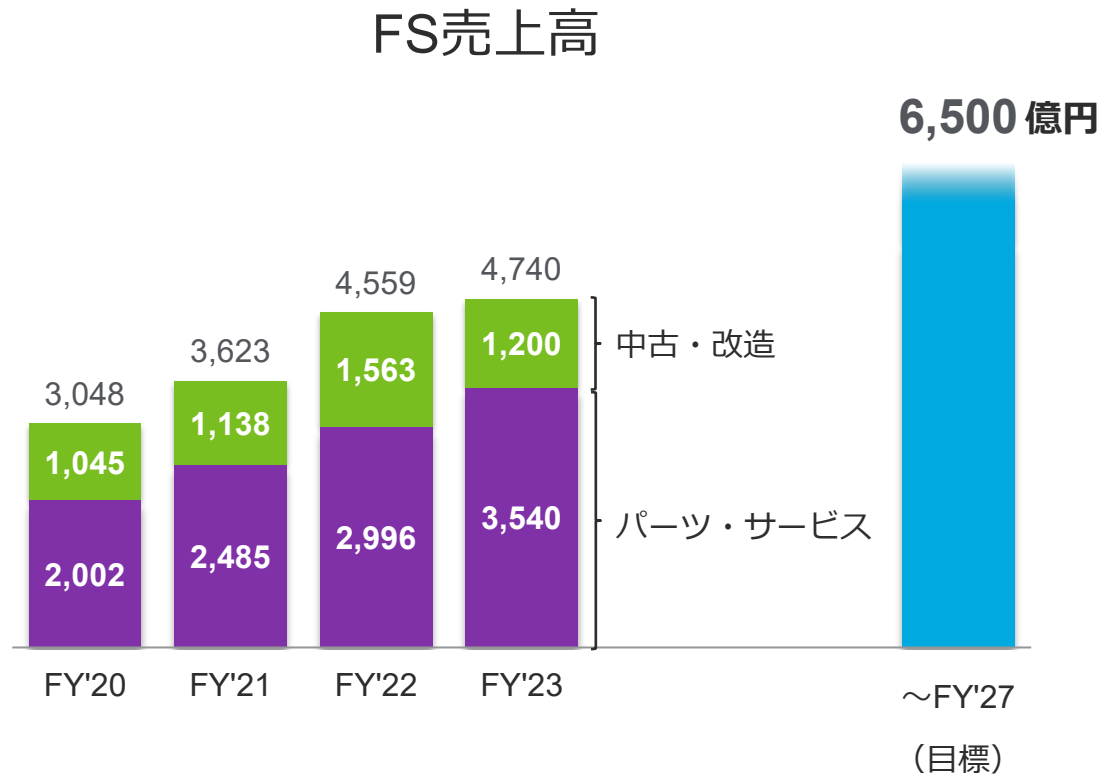
7-6 : フィールドソリューションの取り組み

フィールドソリューション（FS）の基本戦略

- 成熟（レガシー）世代向け装置の拡販
- 納入済み装置をベースとしたソリューション・ビジネスの展開
- アドバンスド・フィールドソリューションの開発と推進
 - DXなど最新技術を用いた、最先端かつサステナブルなサポート
 - 遠隔保守サポートや教育ツールの開発
- フロントライン強化
 - フィールドエンジニアの継続的なスキルアップ

付加価値の高いサービスで、お客さまのビジネスオペレーションの最大化に貢献

フィールドソリューション（FS）の売上実績と事業内容

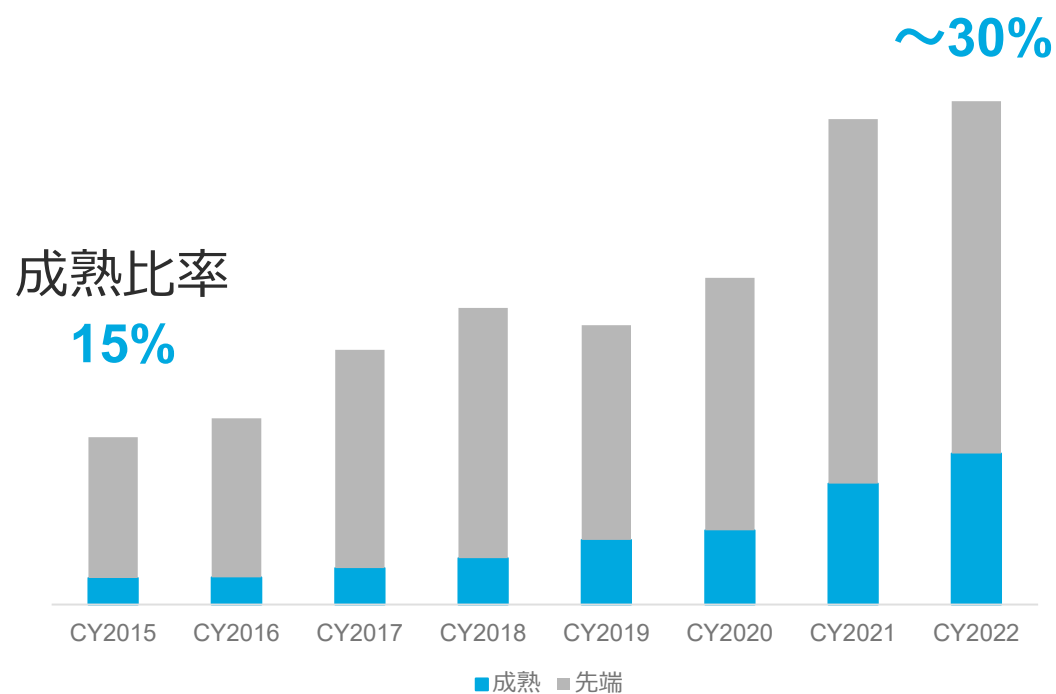


- パーツ・リペア
 - パーツ劣化の予知保全
 - 適切なパーツ在庫管理と迅速な配送
- サービス
 - 装置納入からアフターメンテナンスまで一貫した「包括契約型」サービスの提供
 - お客さまごとのご要望に応えながら、装置稼働率を最大限に高めるためのソリューション提案
- 改造
 - 生産性向上
 - 歩留まり改善

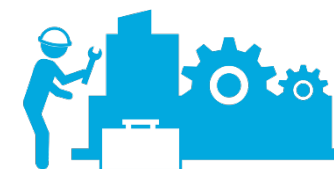
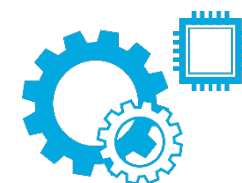
納入済み装置 91,000台*1。年間約5,000~6,000台の納入台数増加によるSAM*2拡大

急拡大する成熟世代向け投資

WFE投資



- 装置本体
 - 200mm ウェーハ対応 リニューアル装置
 - パワー半導体向け装置
- パーツ・リペア・サービス
 - 部品交換
 - オーバーホール、洗浄、再生
 - 修理、メンテナンス、移設
- 改造
 - 性能向上
 - プロセス変更、生産性向上
 - ソフト、ハードウェア改造



成熟世代向け投資の拡大に伴い、事業機会も幅広く伸長

成熟世代向け装置

- 200mm ウェーハ対応 リニューアル装置
 - 熱処理成膜装置、コータ/デベロッパ、エッチング等
 - 既存顧客の置き換え需要のみならず、新興顧客向けにも販売拡大
- パワー半導体向け装置
 - SiCウェーハ対応装置、300mm 対応エッチング装置
 - 車載向けなど急増するパワー半導体需要に対応



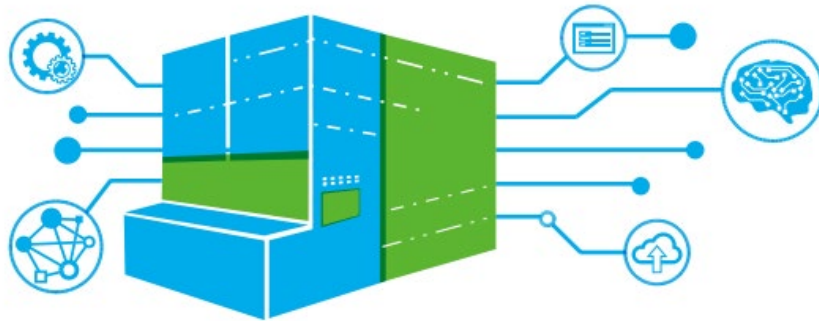
SiCエピタキシャル成膜装置

保有する技術資産と最新の技術を融合し、生産性の向上や環境負荷低減を実現

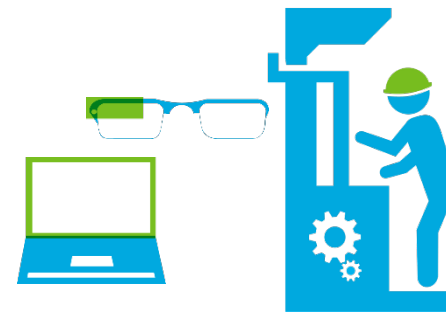
アドバンスド・フィールドソリューション

リモートサポート

TELeMetrics™



- 個別装置情報の把握
- ナレッジマネジメント、トラブル事例の蓄積



- 装置の予知保全によるダウンタイムの最小化
- 渡航制限下でも迅速な対応を可能とする遠隔サポート

グローバル体制強化



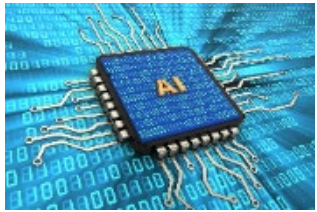
- 時差を活用したサポート提供
- 先進ロジスティクスによるパーツ管理と配送
- エンジニア教育プログラム

DXを推進する「TELeMetrics™」を中心とした付加価値の高いソリューション提案

7-7 : デジタルトランスフォーメーション (DX) の取り組み

TEL DX ビジョン

- 産業界全体に波及するDXの流れは半導体製造業界においても例外とはならず、さらなる微細化、積層化要求に対する解の1ピースとして重要な位置づけ



AI Chip



Autonomous



Cloud Service



AR/VR

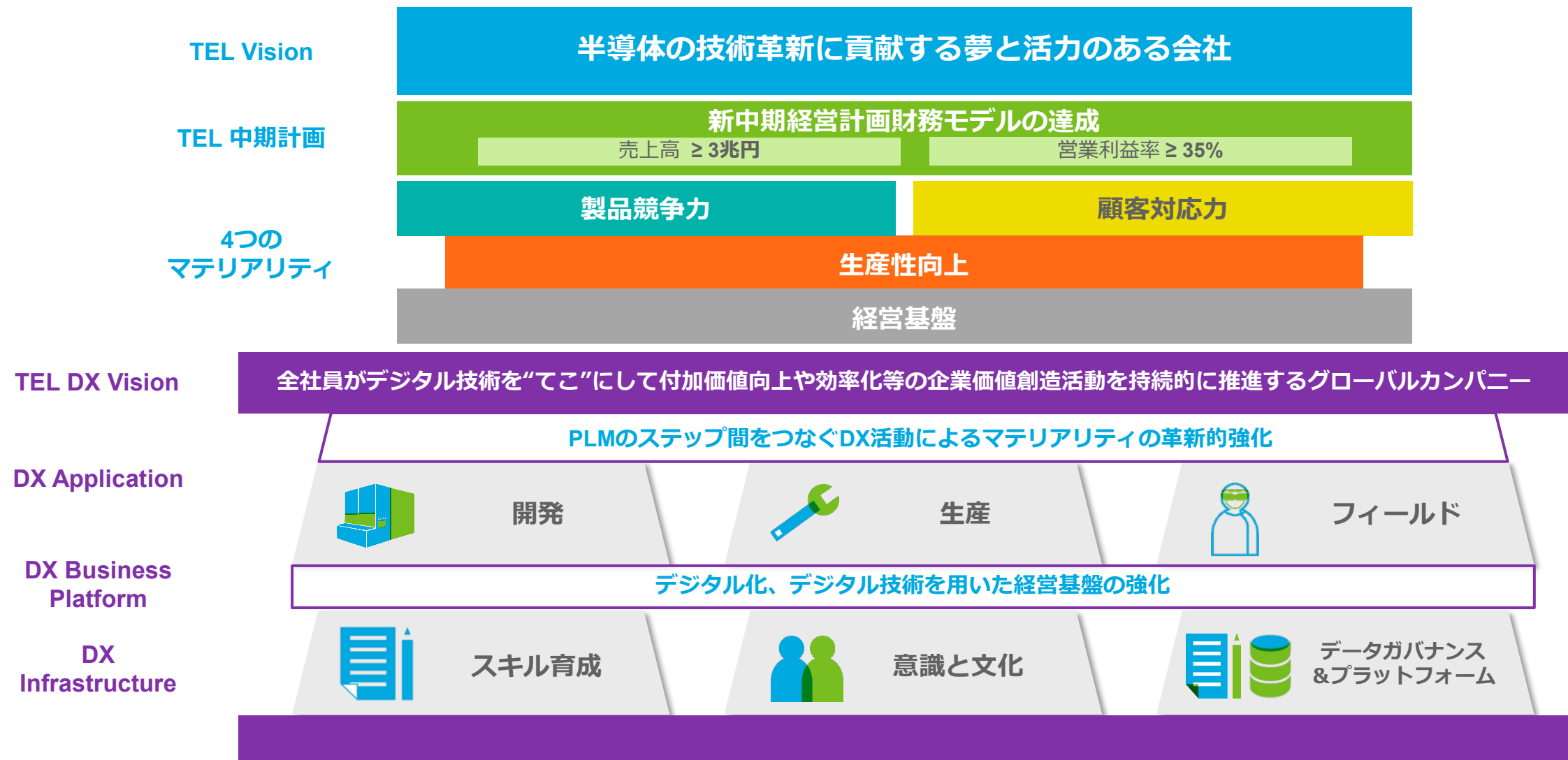
TEL DX Vision

全社員が**デジタル技術**を“てこ”にして付加価値向上や効率化等の**企業価値創造活動**を**持続的に**推進する**グローバルカンパニー**

A **global company** where all employees drive **enterprise value creation sustainably** through activities such as value addition and efficiency improvements by leveraging **digital technology**

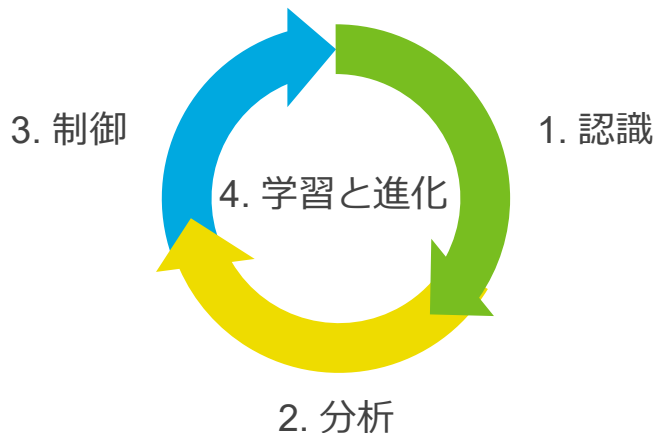
DXの活動は、あくまでも**持続的企業価値創造の“手段”**であり、“**きっかけ**”
変革（Transformation）を起こすために、必ずあるべき像（**To-Be像**）を定義

TEL DX グランドデザイン

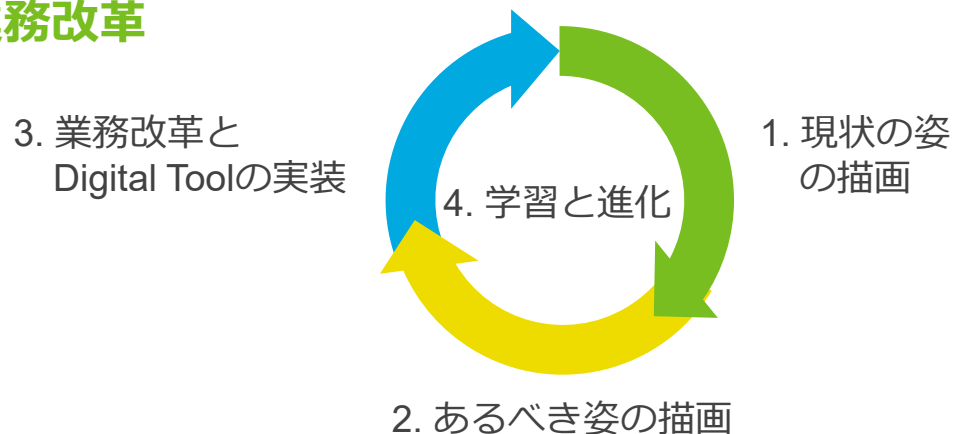


DX活動のステップ

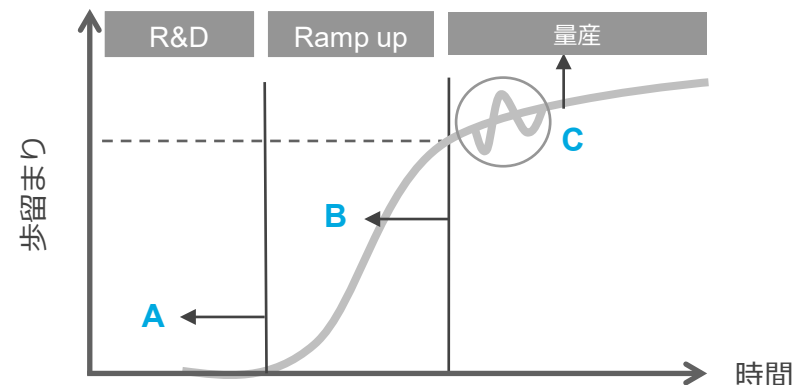
商品改革



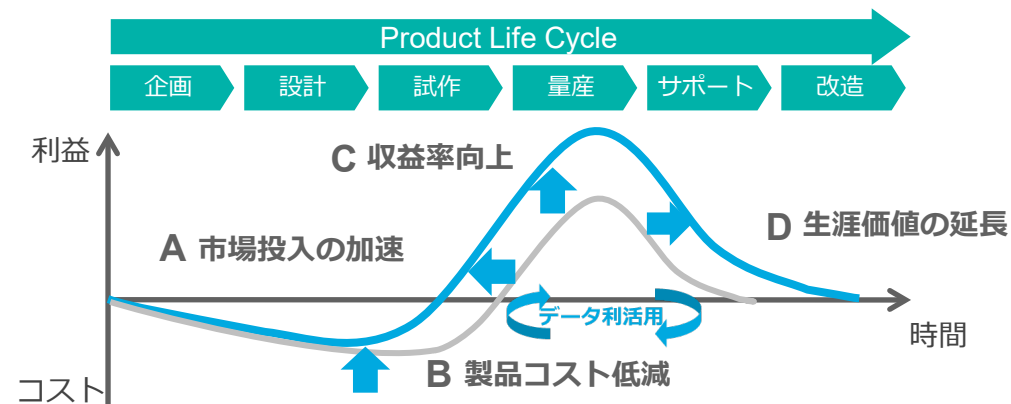
業務改革



DXによる顧客価値創造への貢献



DXによる自社資本効率向上への貢献



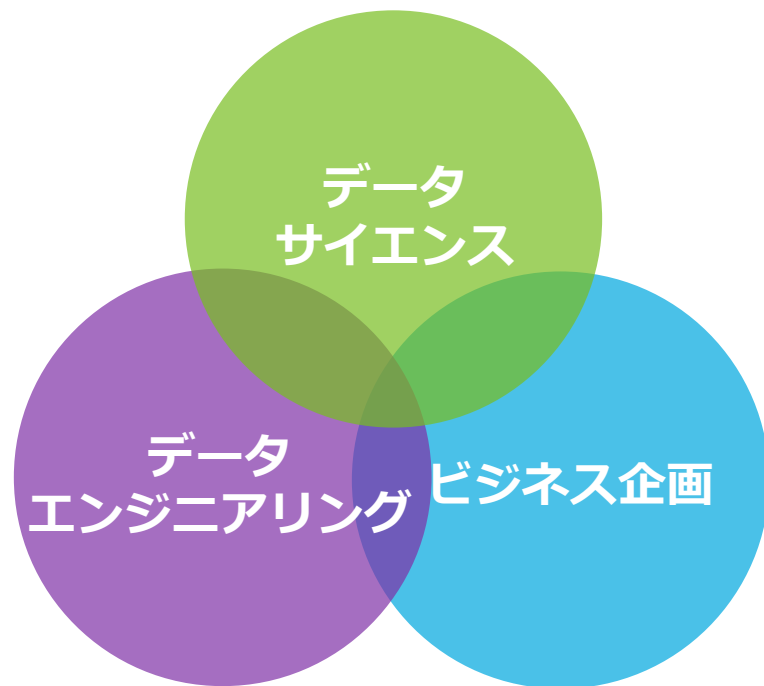
デジタルトランスフォーメーションで高次元の課題を解決

デジタル技術関連開発の関係性



DX基盤と資本効率向上DXで、仕事の質とスピードをあげ、より高い価値を創造する時間にシフト

DXエンジニア育成計画



全社員

最先端の情報処理、人工知能、統計学などの情報科学系の知識を理解して、扱うことができる力

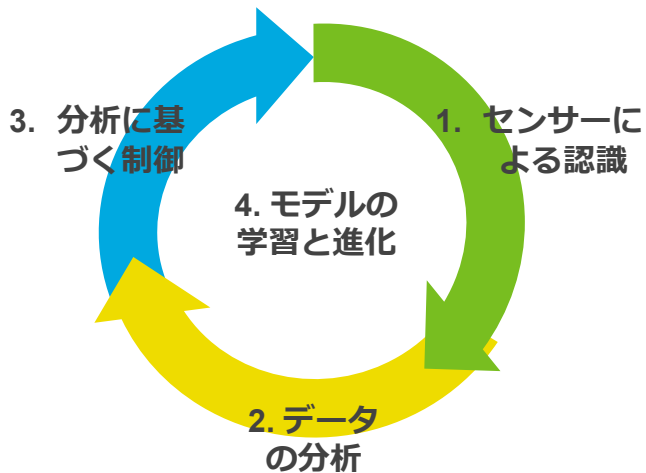
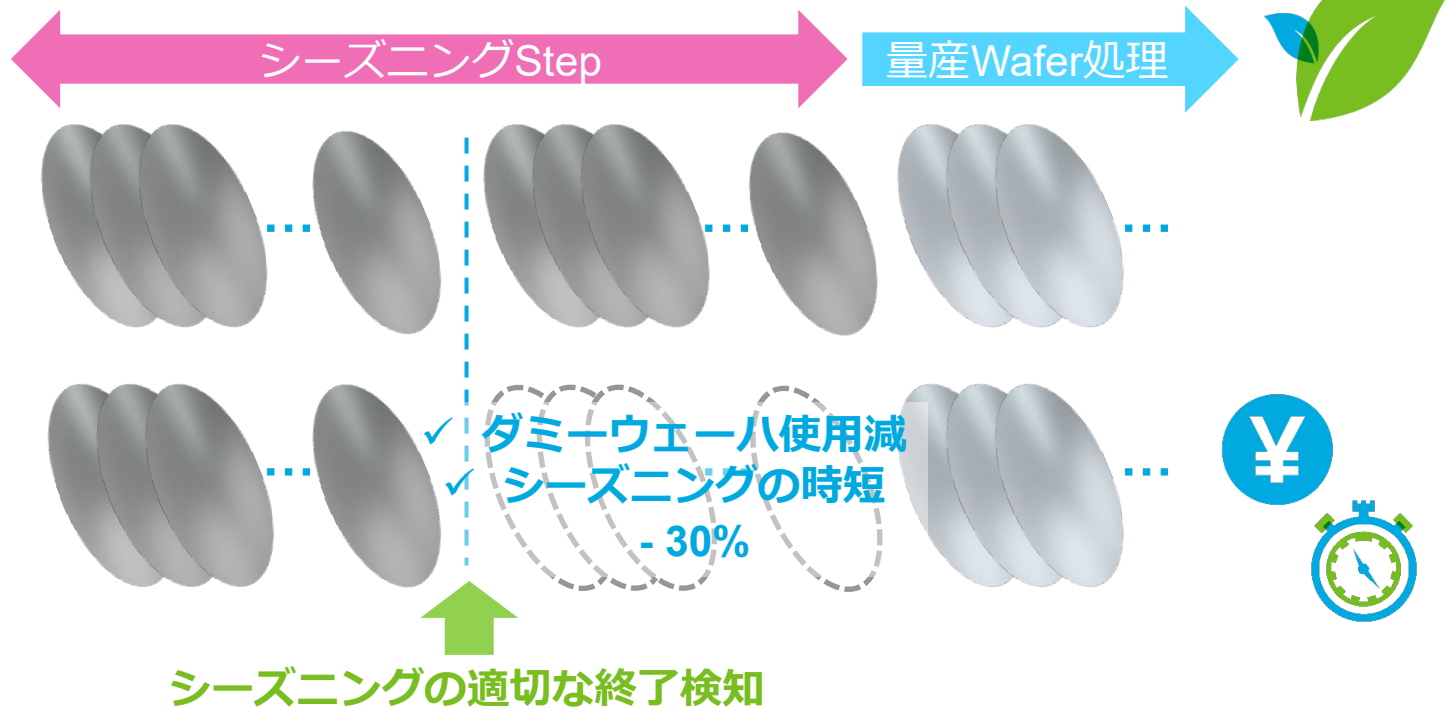
データサイエンスをTELの企業価値創造に意味のある形にし、目的に応じて実装、運用できるようにする力

課題とその背景を整理して、解決策を導き、ビジネスにつなげる力

日々の業務において、データ、デジタル技術を活用し業務効率化・付加価値創造ができるようになる

データサイエンスをTELのビジネスに生かす
そのための人材を計画的に育成していく

活用例① 装置の生産性向上： エッチング装置の稼働率改善

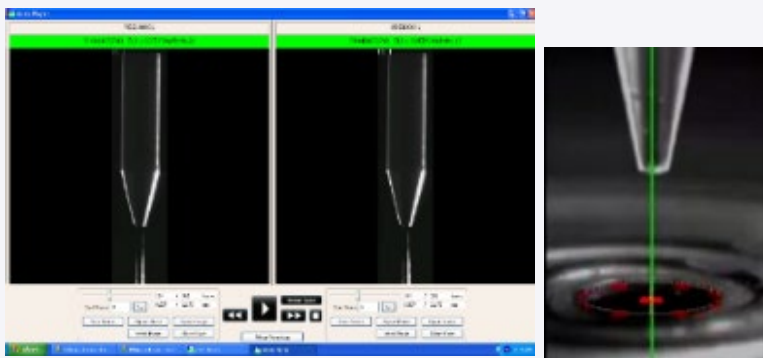


※ISSM 2020 当社発表”Seasoning Optimization by using Optical Emission Spectroscopy”より

センサーによるチャンバーコンディションの適切な把握と
フィードバックにより、装置稼働率を改善

活用例② 装置のオペレーションコストの向上： コータ/デベロッパの省薬液

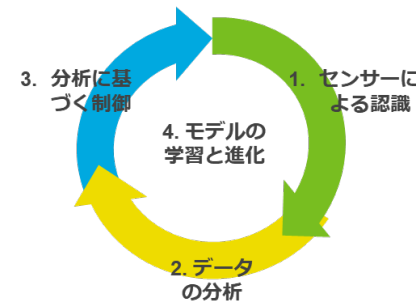
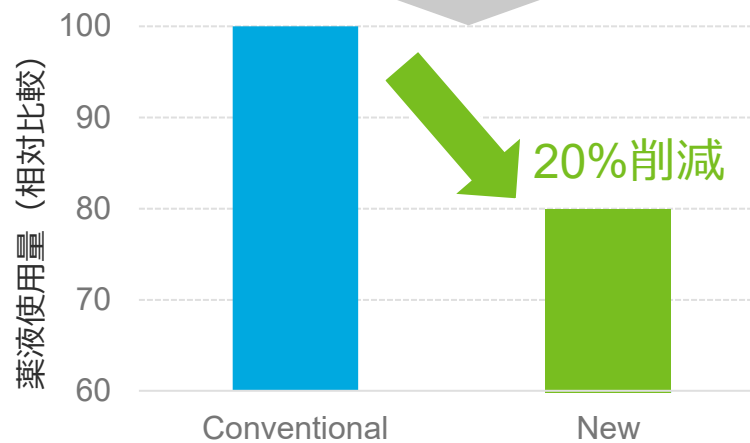
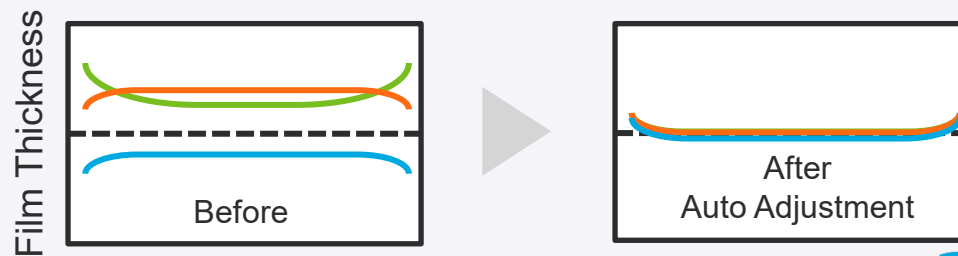
画像処理技術を使った薬液吐出状態のモニタリング



画像処理技術を使った薬液面内カバレッジのモニタリング

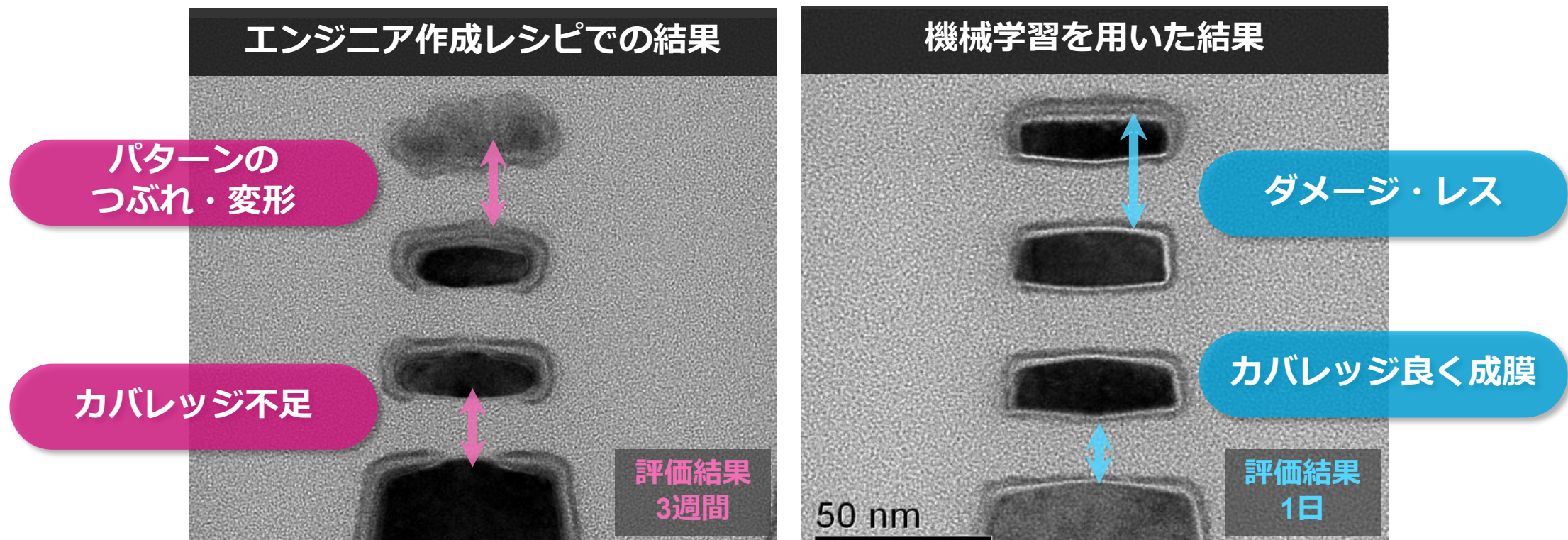
Dispense Volume	X ml	Y ml	Z ml	A ml
Judgement	Passed	Passed	Failed	Failed
Wafer image by WIS				

自動膜厚調整機能



機械学習を使って、顧客オペレーションコストと環境に貢献

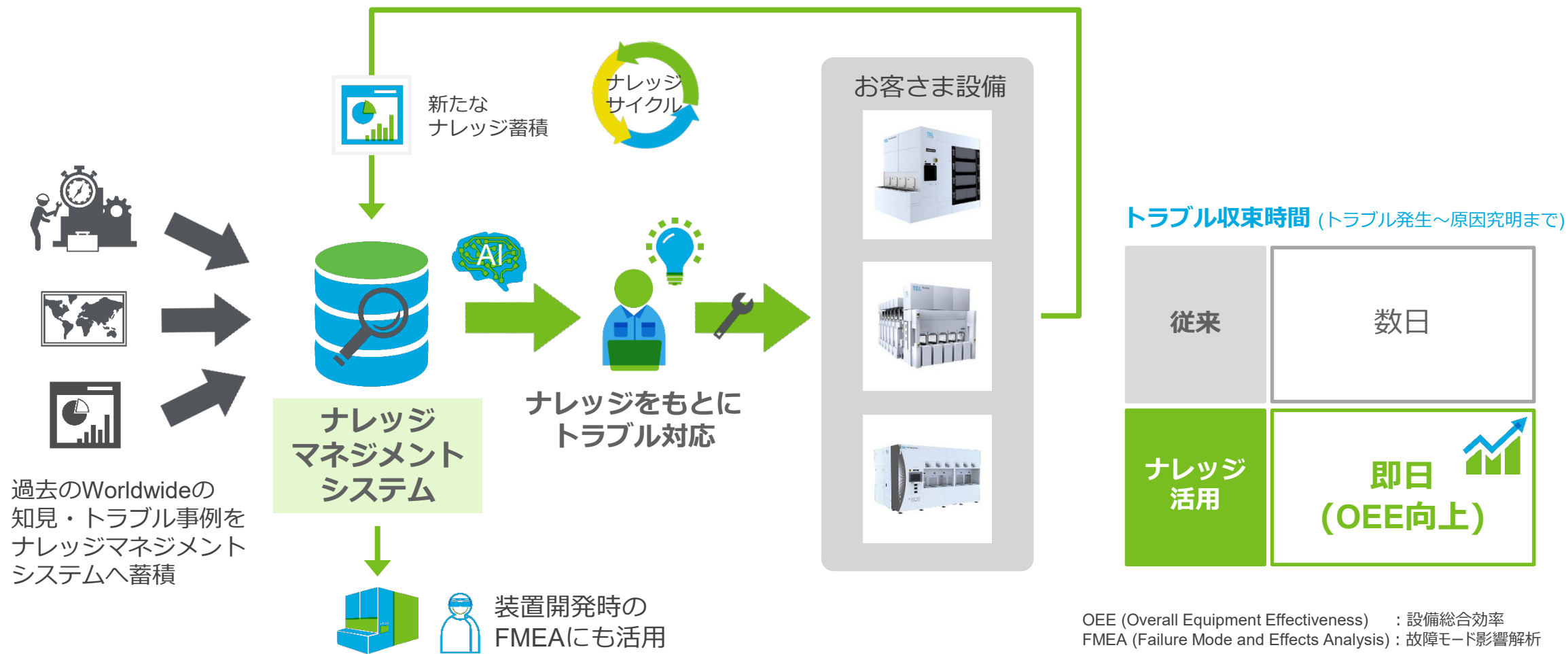
活用例③ 研究開発の生産性向上 : Process Informatics



Source: Tokyo Electron Technology Solutions Limited / Tokyo Electron Limited

機械学習により、ALDプロセスにおいて、パターンの変形がない
良好なステップカバレッジを実現

活用例④ 装置OEEの向上：



ナレッジマネジメントシステムによりトラブル収束時間を短縮し設備稼働率を向上

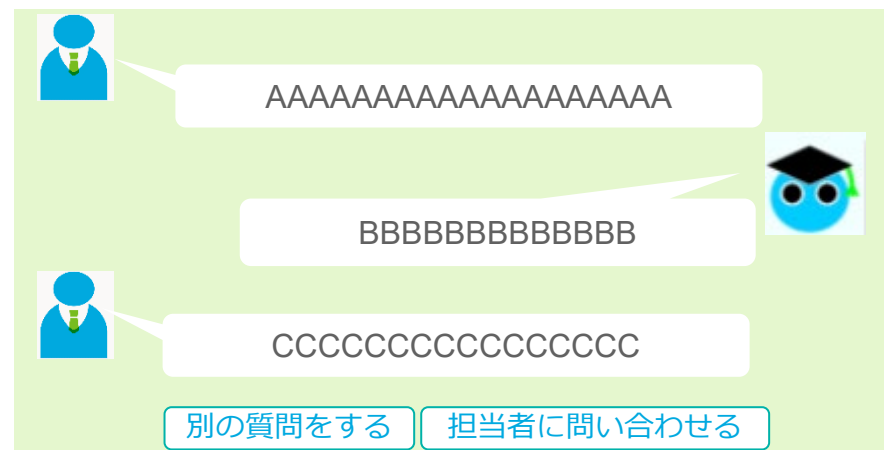
活用例⑤ オペレーションの生産性向上： バックオフィスへのチャットボットの導入による業務効率化

対応部署



- 問い合わせ件数、工数が減少
- ノウハウの共有により属人化が解消、若手を教育

法務部・財務部・人事部・総務部



- ・ 選択肢あるいは自由入力で可能
- ・ チャットボットが自動回答できなかった場合はシステムを利用して問い合わせが可能
- ・ 利用者の履歴を分析しFAQを追加することで賢いシステムへ

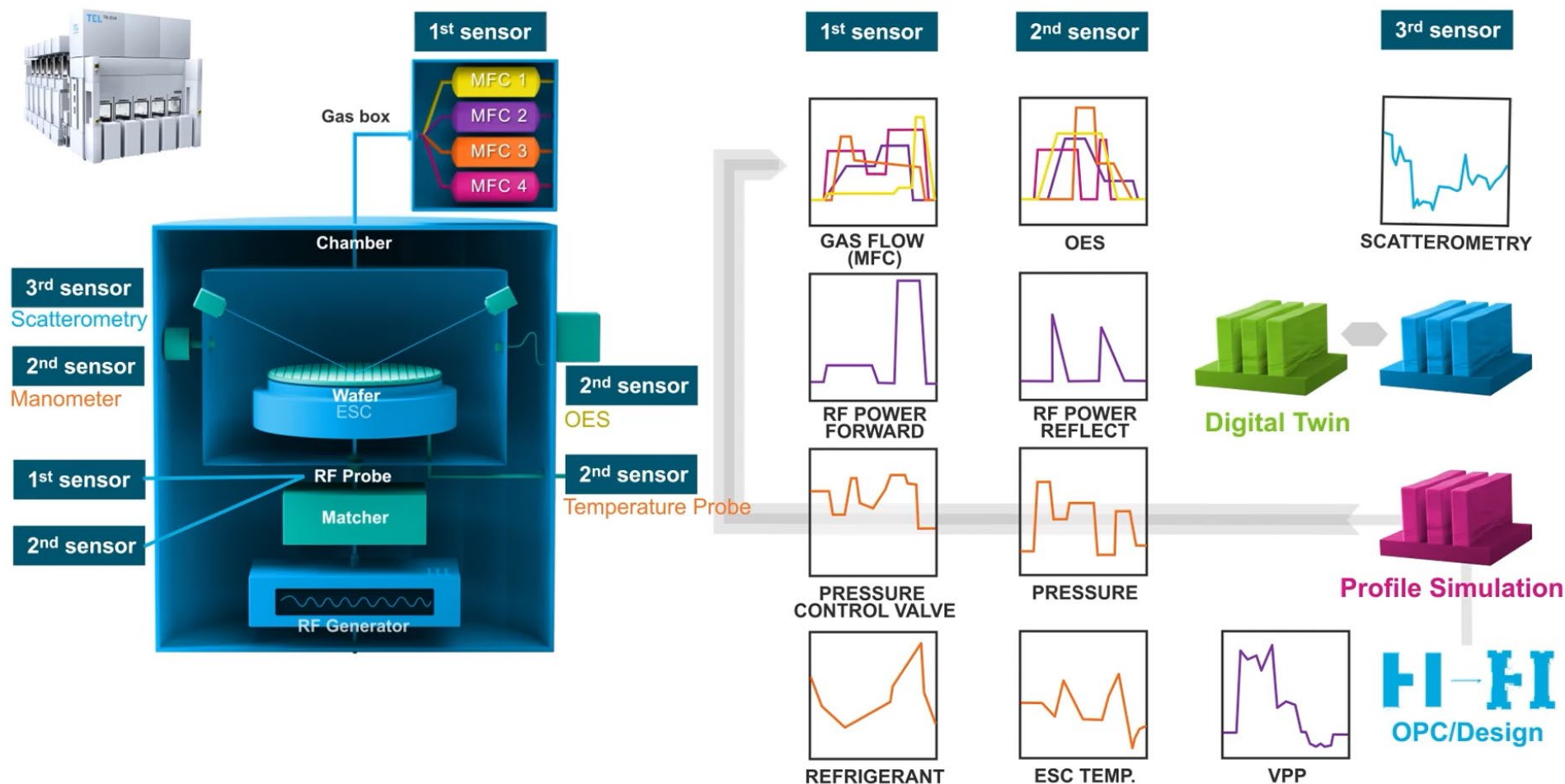
社員



- いつでも・気軽に質問可能
- 問い合わせ先の明確化
- 担当者による見解のばらつき軽減

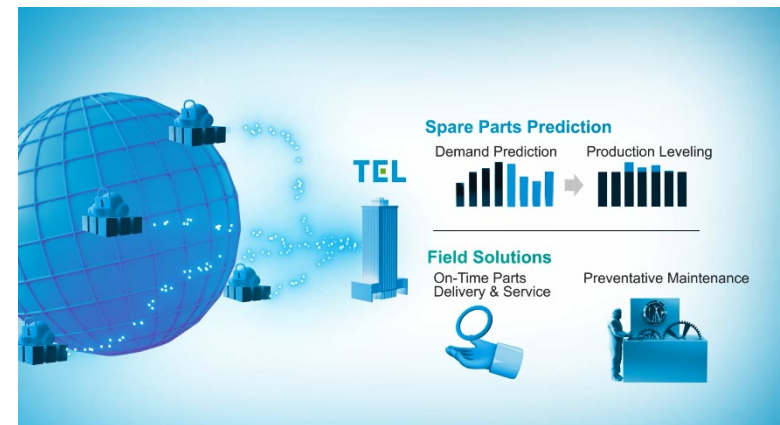
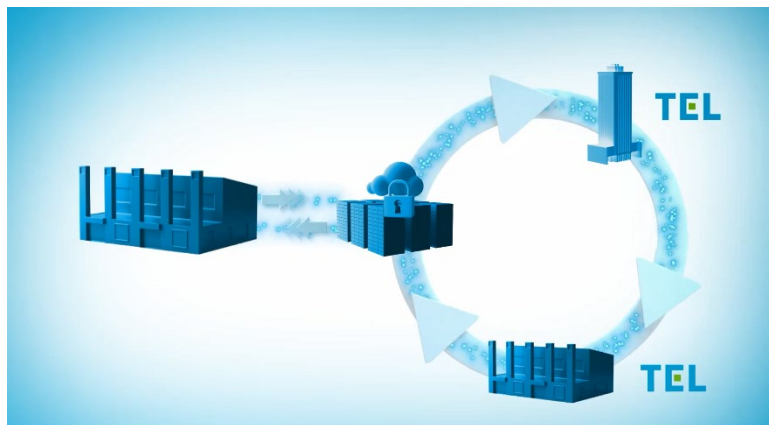
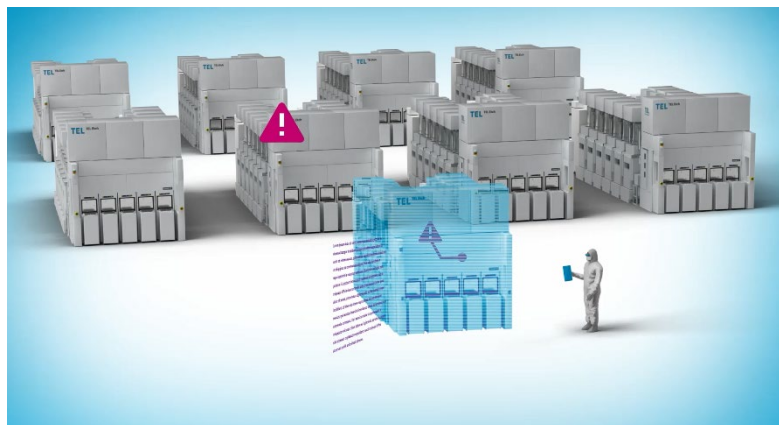
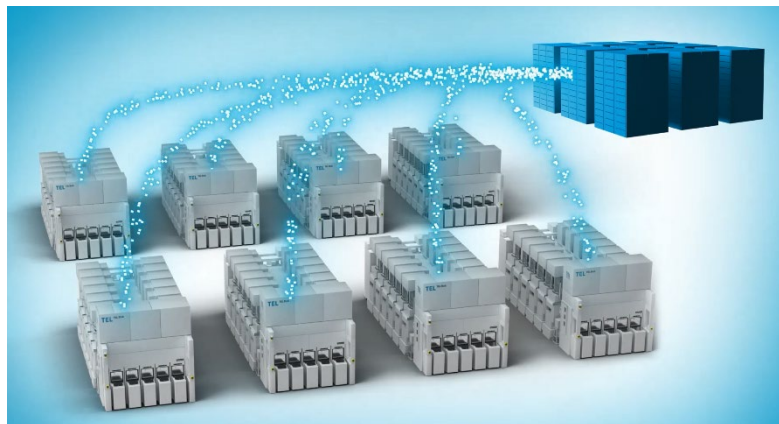
複数の部署へチャットボットを導入し、社員からの問合せへの応答工数を削減

顧客価値向上のためのデジタル技術（1）：エッチング装置における例



あらゆるデジタル技術を用いて、顧客価値の最大化を目指す

顧客価値向上のためのデジタル技術（2）：エッチング装置における例



あらゆるデジタル技術を用いて、顧客価値の最大化を目指す

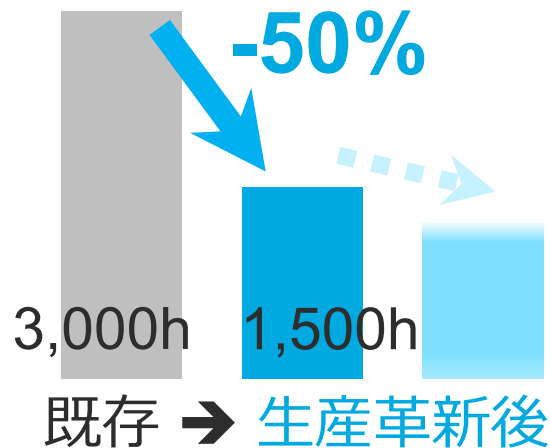
7-8：調達・生産戦略

安全性・高品質・高信頼性を追求する継続的な生産革新

- 市場変動に迅速に対応できる生産システムの構築
- 新製品の開発から量産化までの移行時間の短縮
- 生産リードタイムの短縮：モジュール出荷100%実施
- 製造ライン DX・自動化、自動倉庫拡張/進化
- **立ち上げ工期の大幅削減（One-Touch立ち上げ）**
 - 工期削減▲～75%（1次目標），ワンタッチ（Goal）



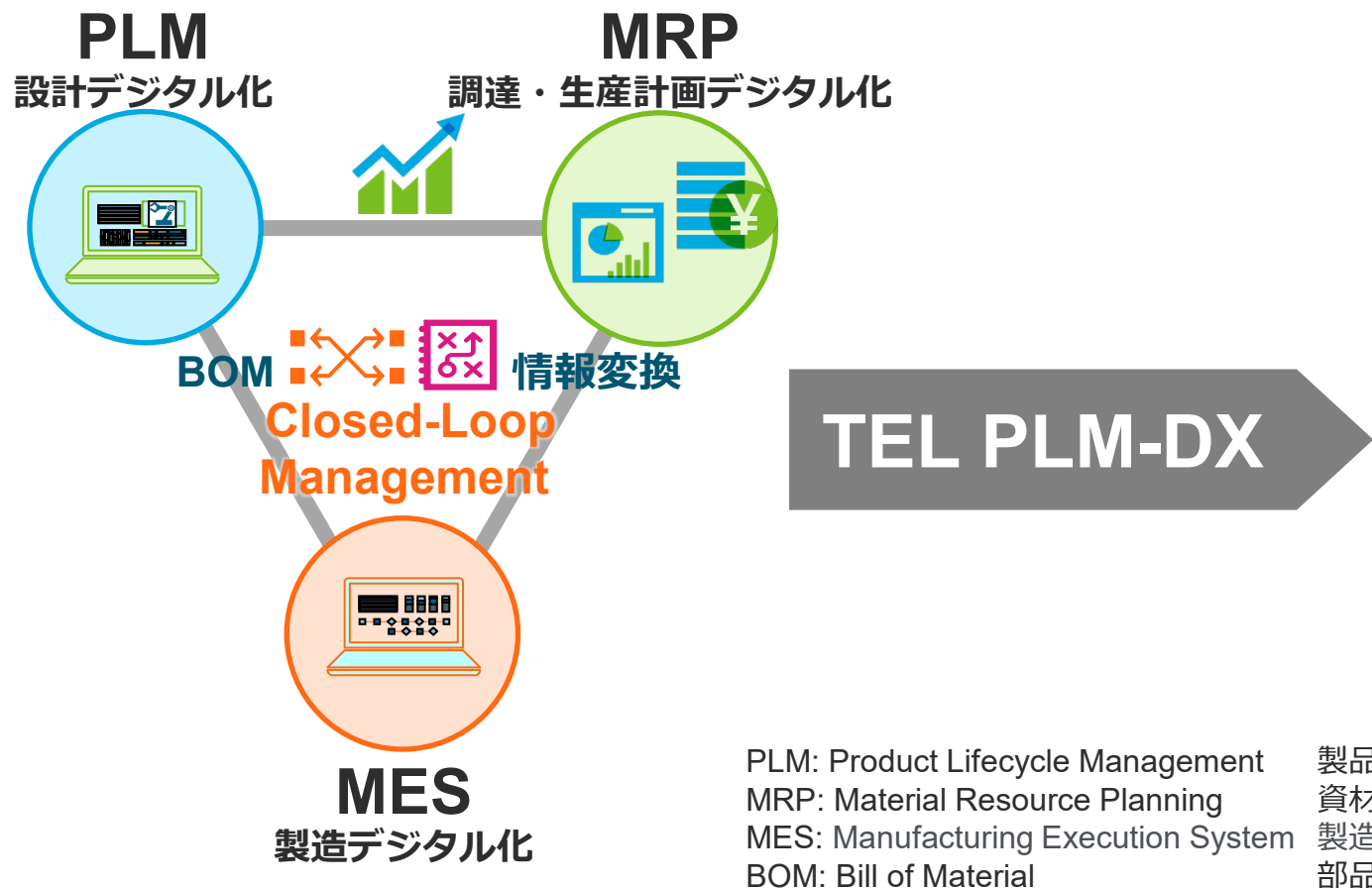
立ち上げ期間の短縮（例）



立ち上げ期間短縮による期待効果

- 生産性・スタートアップ品質向上
- 事故リスク低減
- リソースとワークライフバランスの適正化

TEL PLM-DXの活用と生産性・効率化の取り組み



- 基幹システム性能向上
 - 生産の平準化 <12カ月
 - 調達のMRP処理能力10倍化
- PLM-DX・BOM概念導入
 - 生産能力強化 ~2.0x (3年以内)
 - 製造リードタイム最短化
 - 設計効率3倍化
 - 新製品開発期間の短縮 1/2

1兆円調達時代を見据えた "Shift Left" の生産計画

持続可能なサプライチェーンの構築

- お取引先さまとの公正かつ透明なお付き合い、確かな信頼関係
 - 業界行動規範に基づいたCSR／BCPアセスメントの実施
 - 安全や品質、環境やコンプライアンスなどのナレッジ共有



E-COMPASS

アセスメントの調査項目に
環境関連を追加し
環境負荷低減活動を称賛

- ✓ CO₂排出量・エネルギー使用量削減
- ✓ 再生可能エネルギー導入
- ✓ 省資源の推進
- ✓ 廃棄物削減・リサイクルの推進
- ✓ 物流の環境負荷低減活動の推進



お取引先さま

TEL

生産動向説明会
年2回

調達金額比率：90%

パートナーズデイ
年1回

調達金額比率：65%

調達BCP・プロアクティブな調達活動

中長期フォーキャスト
Shift Leftの調達戦略展開
調達難に強いBCP体制構築

サプライチェーンを上流から
下流まで一気通貫で把握
リスクの見える化

あらゆるリスクを想定した
サプライチェーン体制
(原材料・部品・加工・組立)
**強靱で信頼ができる
サプライチェーン**

**安全在庫
在庫流動性**

**サプライチェーン
可視化**

**取引先リスク管理
パートナーシップ強化**

調達BCP施策

部品の早期確保

- 長期先行手配
- 工場間の在庫融通性の確保
- トータル在庫削減

半導体の確保

- 装置用半導体供給の確約
- 商流の可視化・スリム化
- 半導体メーカーと密接な連携
=“TELの顧客はTELも顧客”

部品とサプライヤー

- リスク部品の特定と分析
- 生産国のマルチソース化
- 部品標準化・集約化・分散化
- アロケーション対策

Appendix : データセクション

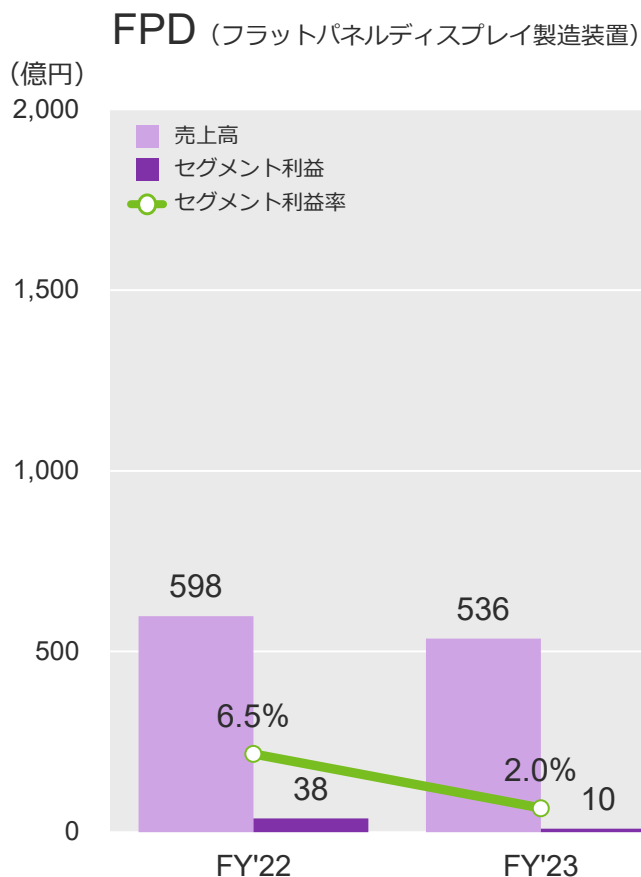
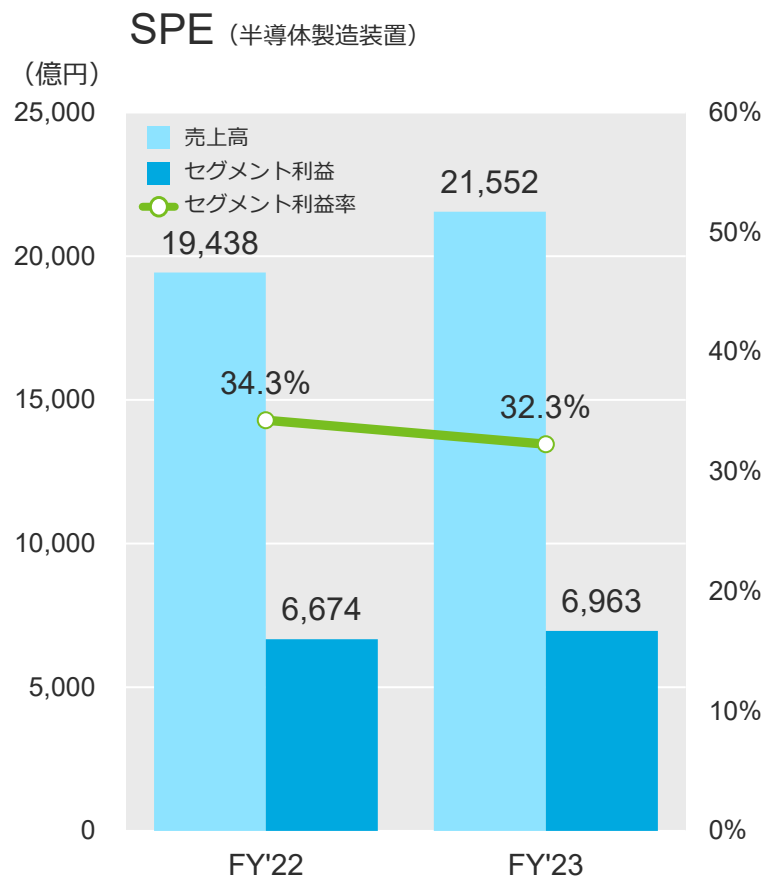
損益状況

(億円)

	FY2022	FY2023	対前期 増減
売上高	20,038	22,090	+10.2%
SPE	19,438	21,552	+10.9%
FPD	598	536	-10.3%
売上総利益	9,118	9,844	+8.0%
下段：売上総利益率	45.5%	44.6%	-0.9pts
販管費	3,125	3,666	+17.3%
営業利益	5,992	6,177	+3.1%
下段：営業利益率	29.9%	28.0%	-1.9pts
税金等調整前当期純利益	5,966	6,248	+4.7%
親会社株主に帰属する 当期純利益	4,370	4,715	+7.9%
1株当たり当期純利益（円）	935.95	1,007.82	+7.7%
研究開発費	1,582	1,911	+20.8%
設備投資額	572	744	+29.9%
減価償却費	367	429	+16.9%

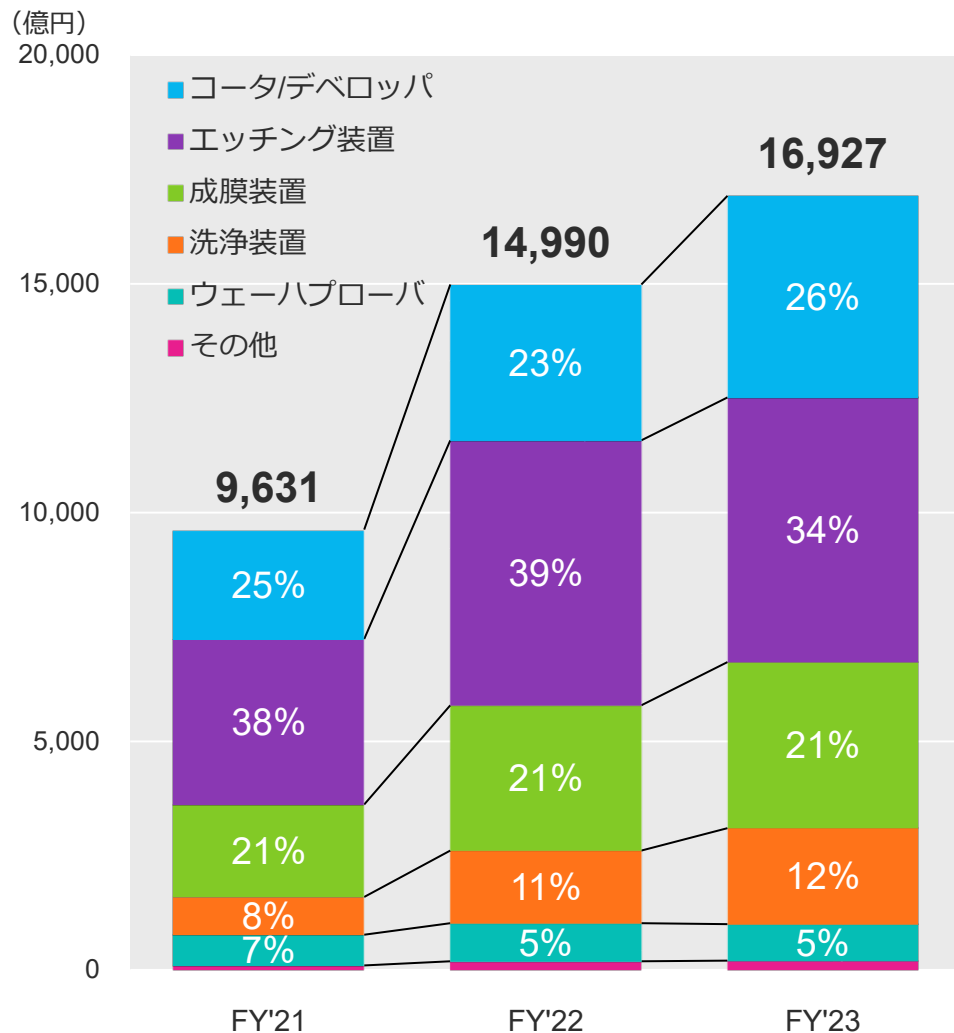
1. 当社の主力製品である半導体製造装置およびFPD製造装置の輸出売上計上は、原則円建てでおこなわれます。一部に外貨建売上および費用計上もありますが、為替レート変動による利益への影響は極めて軽微です。
2. 利益率および増減率は、1円単位の金額をもとに計算しています。
3. 1株当たり当期純利益は株式分割後の自己株式を除く発行済株式総数をもとに計算しています。

セグメント情報



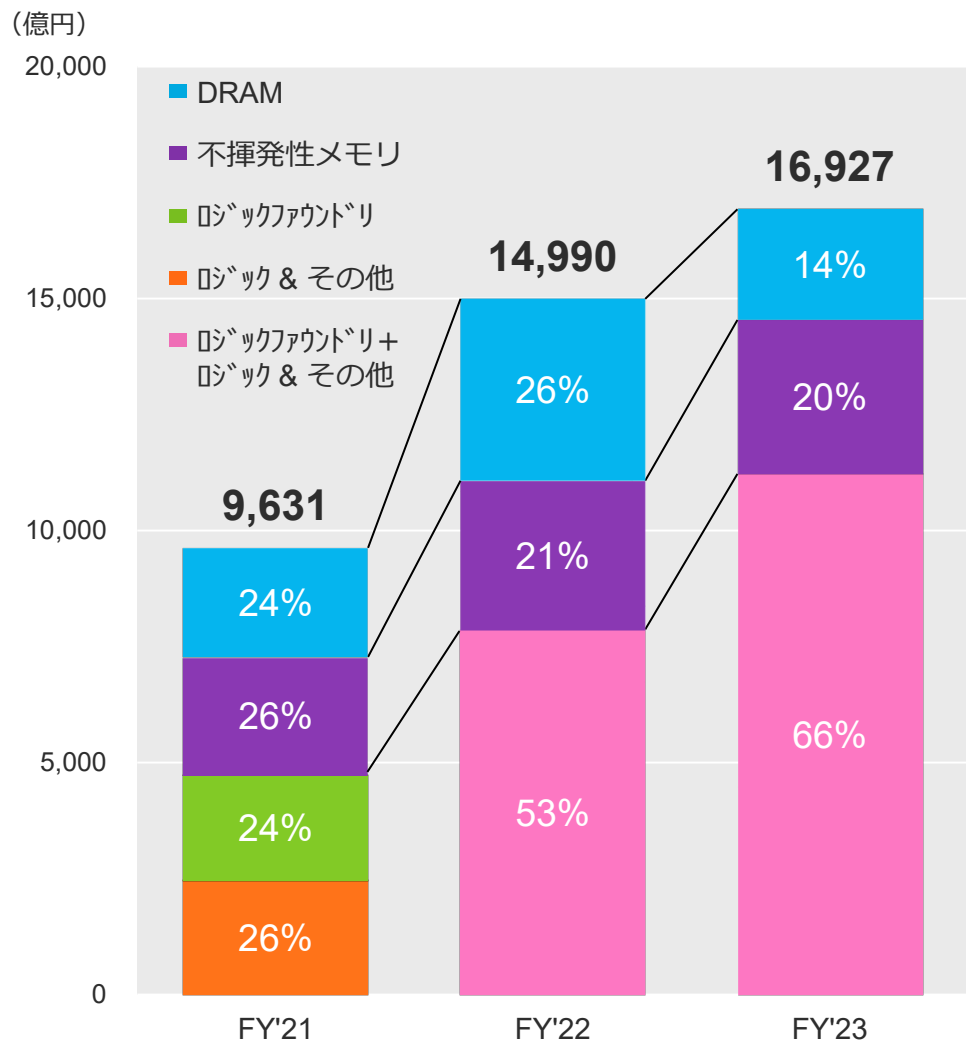
1. セグメント利益は、税金等調整前当期純利益です。
2. 上記報告セグメントに配分していない基礎研究又は要素研究等の研究開発費、およびその他の一般管理費等があります。
3. 売上構成比率は外部顧客に対する売上高で算出しています。

SPE部門 新規装置 製品別売上構成比



- FY2023 新規装置の売上は、前期比+12.9%の 16,927億円
- 顧客の投資ミックスの変化に伴い、装置構成比に変動はあったものの全体として新規装置売上は前期比増加

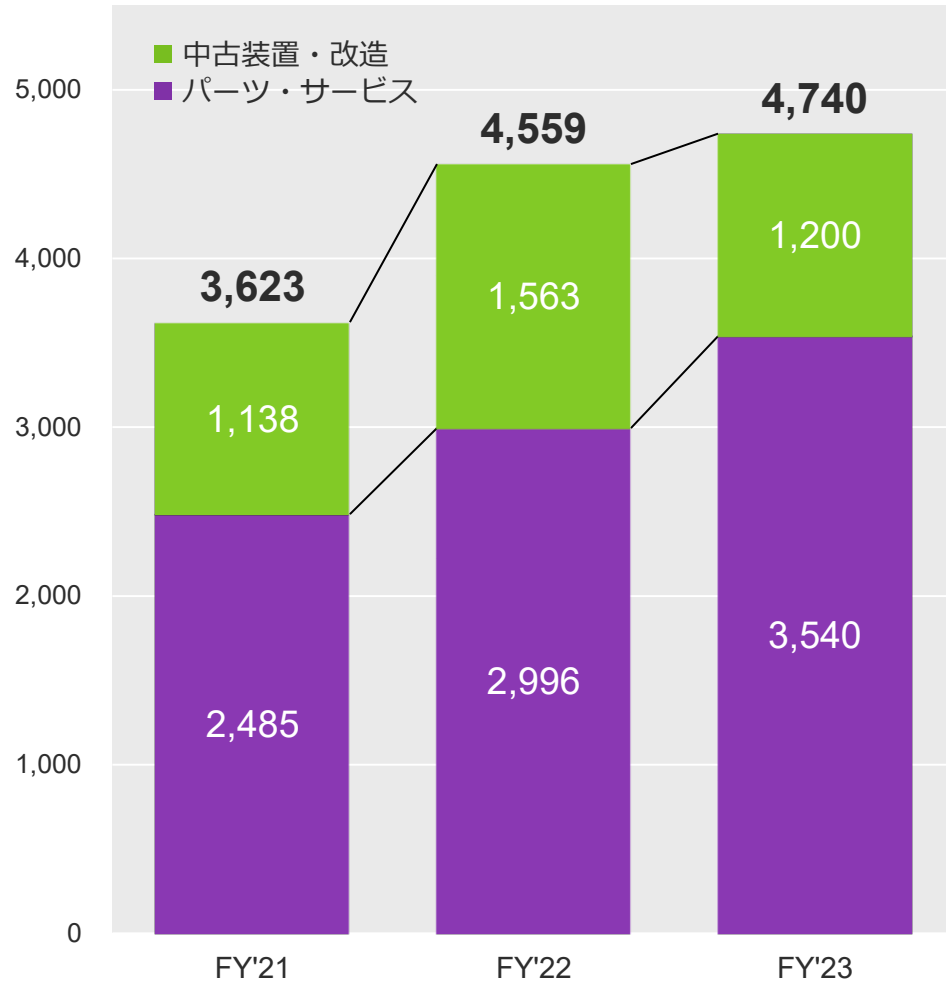
SPE部門 新規装置 アプリケーション別売上構成比



- ロジック/ファウンドリでは、旺盛な投資を背景に、売上が大きく伸長
- 顧客の在庫調整に伴い、メモリ向け売上の構成比が減少

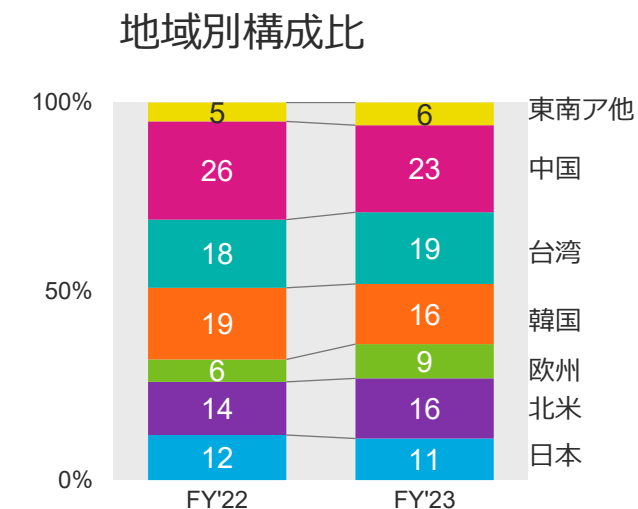
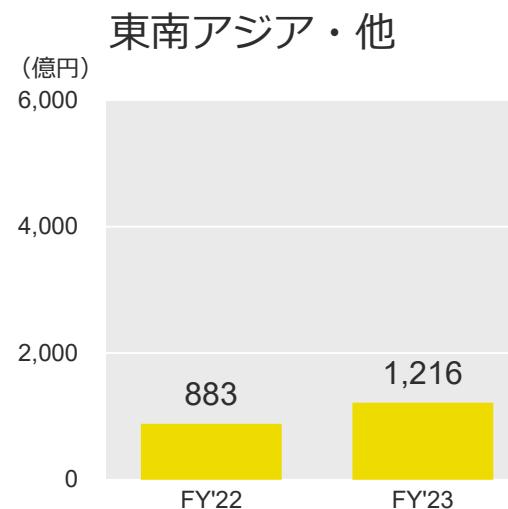
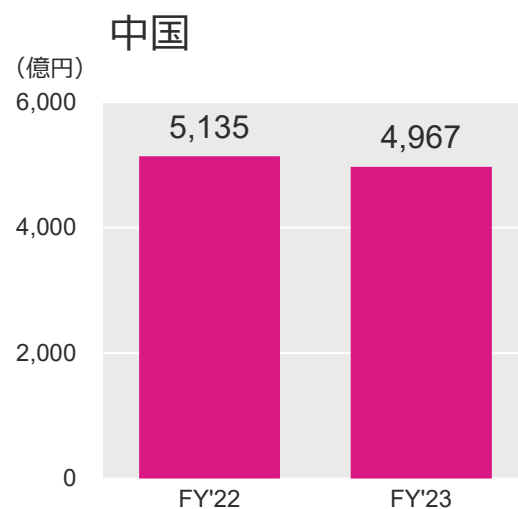
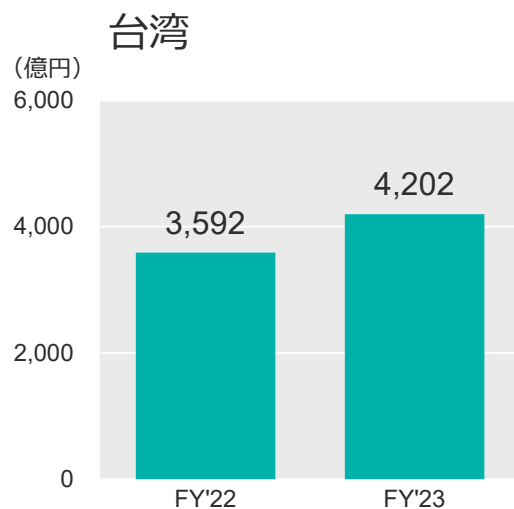
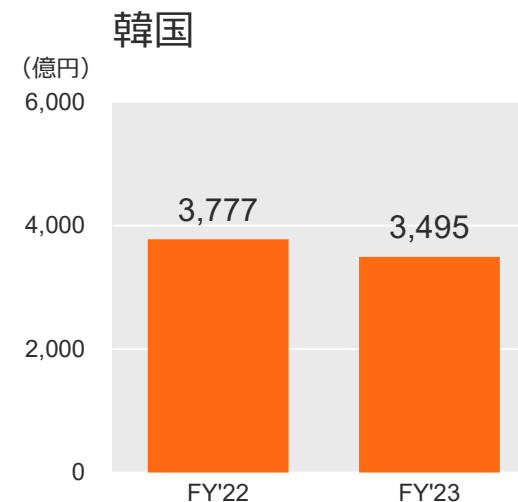
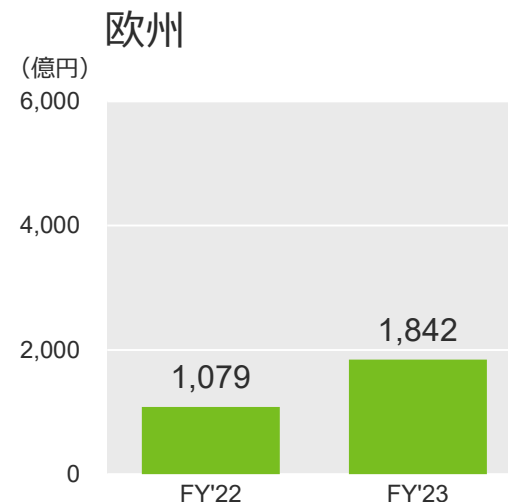
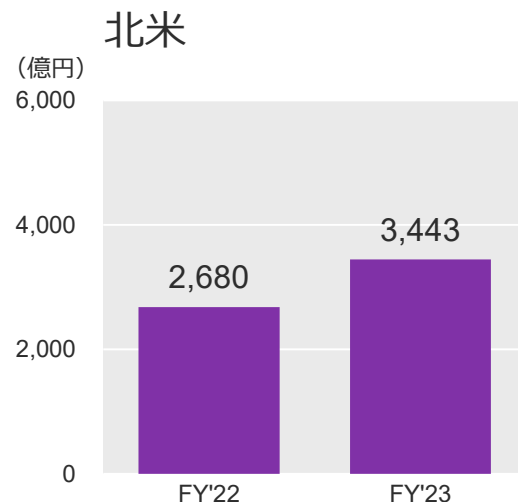
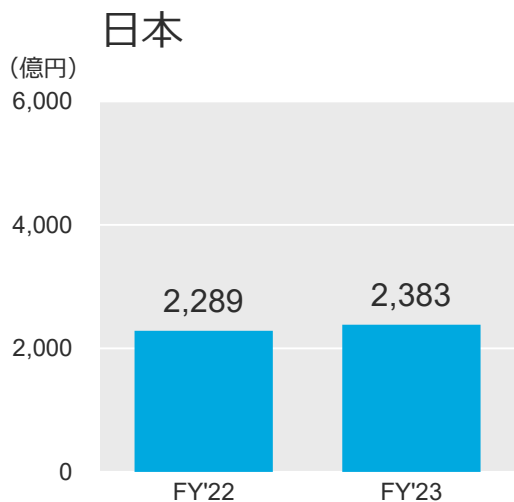
フィールドソリューション売上

(億円)



- FY2023 フィールドソリューションの売上は、前期比+4.0%の4,740億円
- パーツ・サービス売上は前期に引き続き堅調

SPE部門 地域別売上高



損益状況（四半期）

（億円）

	FY2023		FY2024			QoQ	YoY
	Q3	Q4	Q1	Q2	Q3	vs. Q2 FY2024	vs. Q3 FY2023
売上高	4,678	5,582	3,917	4,278	4,636	+8.4%	-0.9%
売上総利益	2,039	2,516	1,623	1,897	2,221	+17.1%	+8.9%
売上総利益率	43.6%	45.1%	41.4%	44.3%	47.9%	+3.6pts	+4.3pts
販管費	891	989	798	935	896	-4.2%	+0.6%
営業利益	1,147	1,527	824	961	1,324	+37.8%	+15.4%
営業利益率	24.5%	27.4%	21.0%	22.5%	28.6%	+6.1pts	+4.1pts
税金等調整前当期純利益	1,163	1,556	830	981	1,344	+37.0%	+15.6%
親会社株主に帰属する当期純利益	855	1,186	643	731	1,015	+38.7%	+18.6%
研究開発費	461	537	436	510	497	-2.4%	+8.0%
設備投資額	125	263	393	176	318	+80.5%	+153.2%
減価償却費	112	120	106	125	138	+9.7%	+22.6%

1. 当社製品の輸出売上は、原則円建てでおこなわれます。一部に外貨建売上および費用計上もありますが、為替レート変動による利益への影響は極めて軽微です。
2. 利益率および増減率は、1円単位の金額をもとに計算しています。

損益状況（四半期）

(億円)
8,000

6,000

4,000

2,000

0

60%

50%

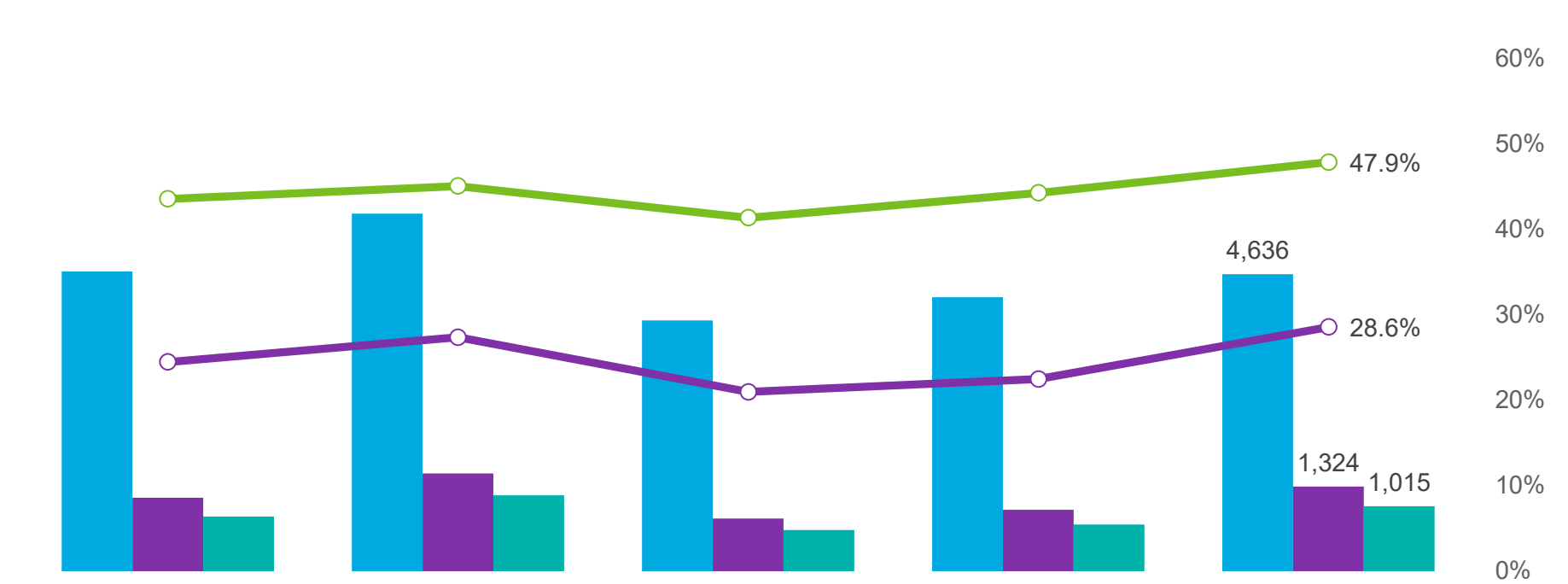
40%

30%

20%

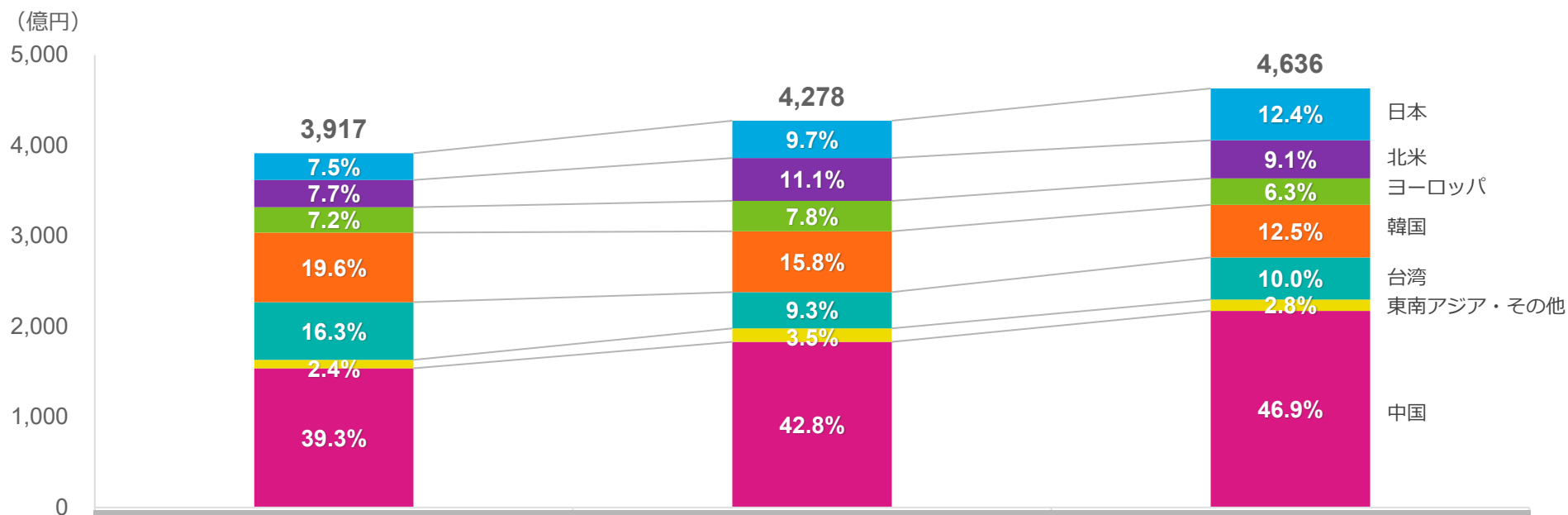
10%

0%



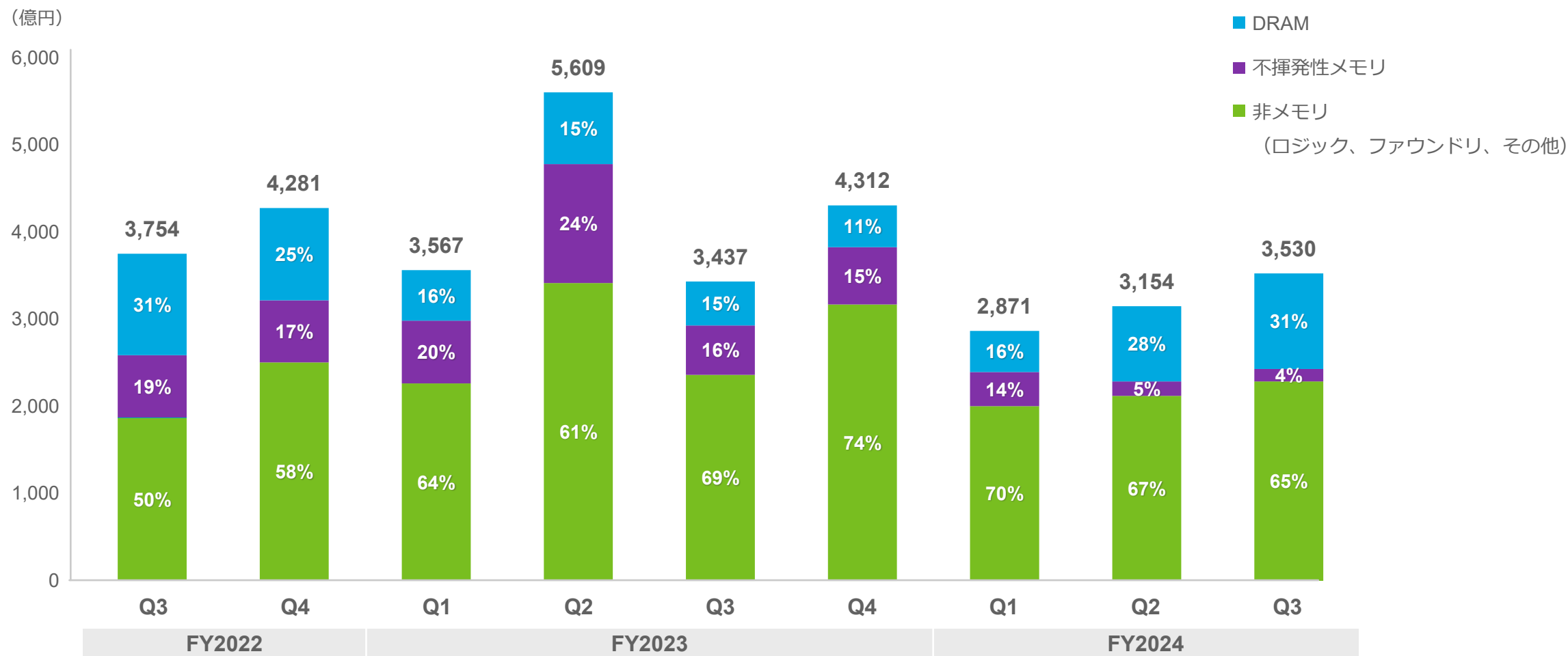
	FY2023		FY2024		
	Q3	Q4	Q1	Q2	Q3
■ 売上高	4,678	5,582	3,917	4,278	4,636
■ 営業利益	1,147	1,527	824	961	1,324
■ 親会社株主に帰属する当期純利益	855	1,186	643	731	1,015
○ 売上総利益率	43.6%	45.1%	41.4%	44.3%	47.9%
○ 営業利益率	24.5%	27.4%	21.0%	22.5%	28.6%

地域別売上高構成比 (FY2024 Q1~Q3)



	FY2024		
	Q1	Q2	Q3
日本	295	412	574
北米	301	474	421
ヨーロッパ	281	335	294
韓国	767	674	582
台湾	639	399	463
東南アジア・その他	92	151	127
中国	1,539	1,829	2,172

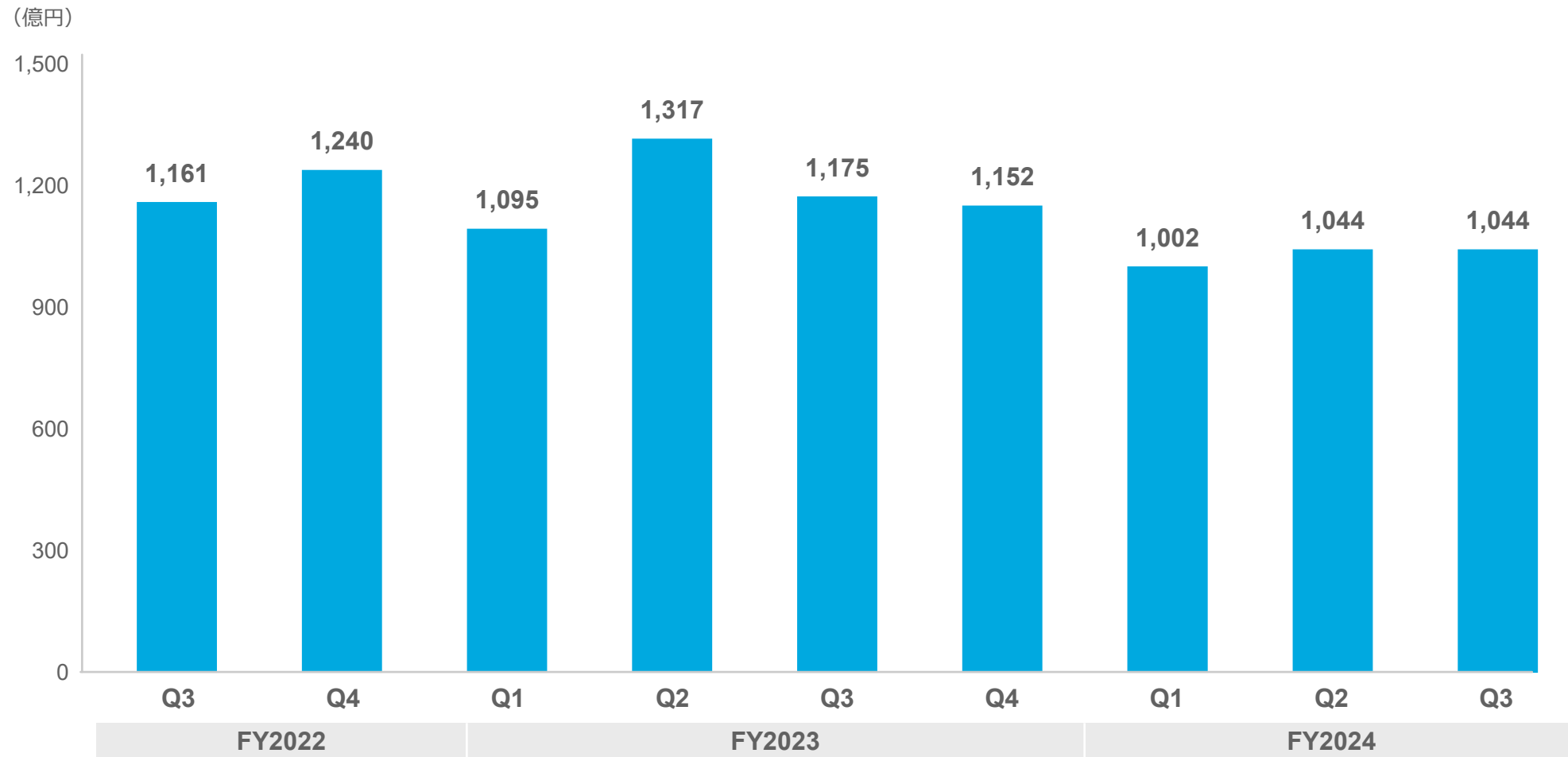
SPE新規装置 アプリケーション別売上構成比（四半期）



*1 SPE：半導体製造装置

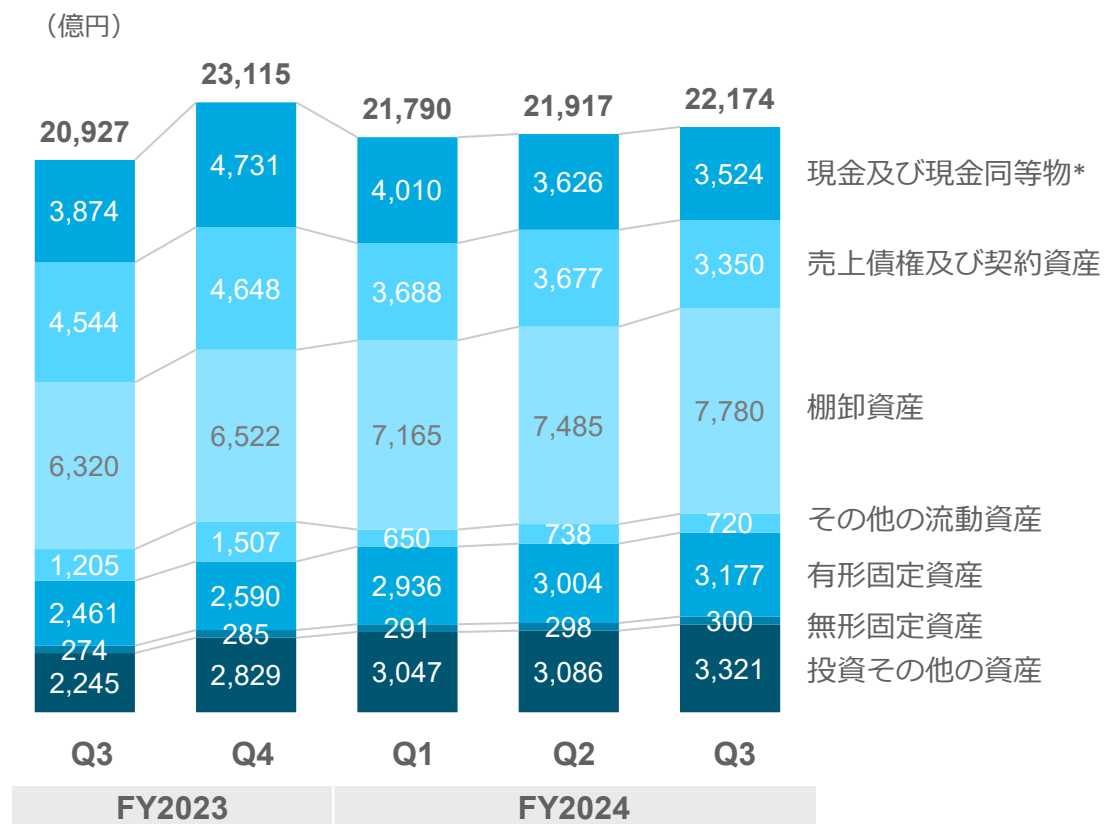
*2 グラフは新規装置の売上高における構成比を示しています。フィールドソリューションの売上高は含まれていません。

フィールドソリューション売上高（四半期）

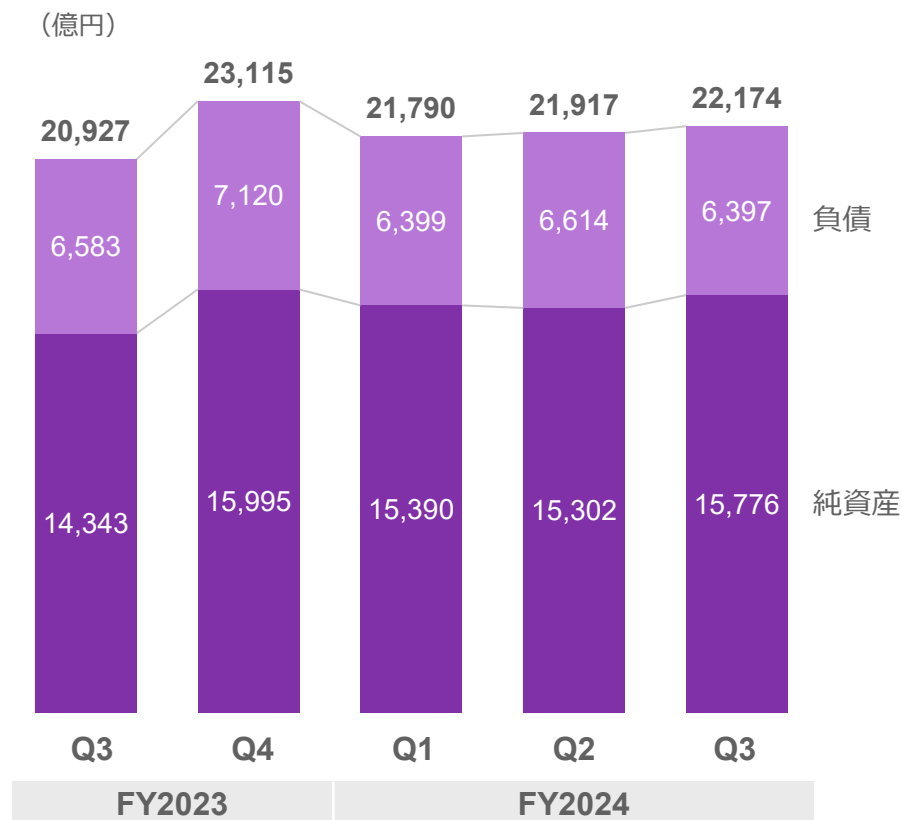


貸借対照表（四半期）

資産

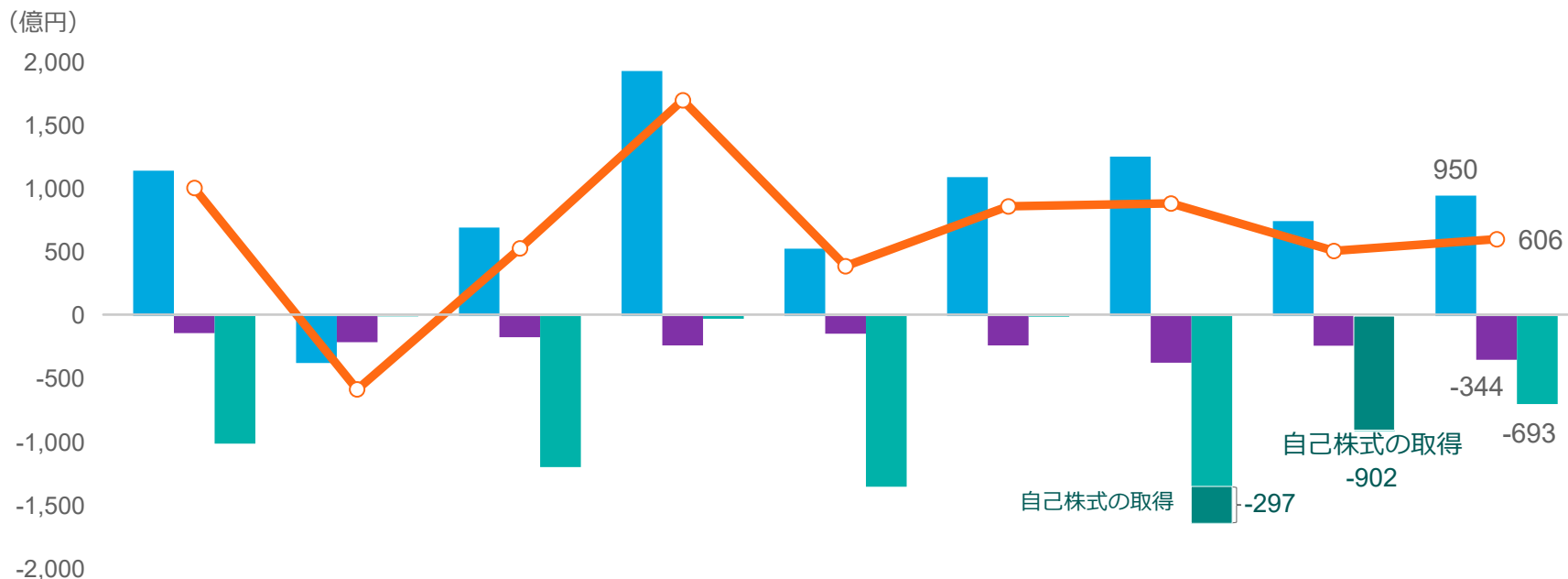


負債・純資産



*現金及び現金同等物：現預金 + 短期投資等（貸借対照表上の表示は有価証券）

キャッシュ・フロー（四半期）



	FY2022		FY2023				FY2024		
	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2	Q3
■ 営業キャッシュ・フロー	1,146	-371	699	1,934	532	1,096	1,257	748	950
■ 投資キャッシュ・フロー*1	-135	-207	-166	-231	-138	-231	-368	-234	-344
■ 財務キャッシュ・フロー	-1,007	-2	-1,191	-21	-1,346	-5	-1,641	-908	-693
○ フリーキャッシュ・フロー*2	1,010	-579	533	1,702	393	865	888	514	606
■ 手元資金残高*3	4,239	3,712	3,146	4,846	3,874	4,731	4,010	3,626	3,524

*1 投資キャッシュ・フローは、定期預金および短期投資の増減を除いた金額です。

*2 フリーキャッシュ・フロー=営業キャッシュ・フロー+投資キャッシュ・フロー（定期預金および短期投資の増減を除く）

*3 手元資金は、現金及び現金同等物と満期日または償還日までの期間が3か月を超える定期預金および短期投資の合計額です。

過去10年間の主要財務データ

(百万円)

	2014年 3月期	2015年 3月期	2016年 3月期	2017年 3月期	2018年 3月期	2019年 3月期	2020年 3月期	2021年 3月期	2022年 3月期	2023年 3月期
売上高	612,170	613,124	663,948	799,719	1,130,728	1,278,240	1,127,286	1,399,102	2,003,805	2,209,025
半導体製造装置	478,841	576,242	613,032	749,893	1,055,234	1,166,781	1,060,997	1,315,200	1,943,843	2,155,206
FPD製造装置	28,317	32,709	44,687	49,387	75,068	111,261	66,092	83,772	59,830	53,674
PV製造装置	3,805	3,617	-	-	-	-	-	-	-	-
電子部品・ 情報通信機器	100,726	-	-	-	-	-	-	-	-	-
その他	479	555	6,228	438	425	197	197	129	131	144

売上総利益	201,892	242,773	267,209	322,291	475,032	526,183	451,941	564,945	911,822	984,408
売上総利益率	33.0%	39.6%	40.2%	40.3%	42.0%	41.2%	40.1%	40.4%	45.5%	44.6%
販売費及び一般管理費	169,687	154,660	150,420	166,594	193,860	215,612	214,649	244,259	312,551	366,684
営業利益	32,204	88,113	116,788	155,697	281,172	310,571	237,292	320,685	599,271	617,723
営業利益率	5.3%	14.4%	17.6%	19.5%	24.9%	24.3%	21.0%	22.9%	29.9%	28.0%
経常利益	35,487	92,949	119,399	157,549	280,737	321,662	244,979	322,103	601,724	625,185
税金等調整前当期純利益	-11,756	86,827	106,466	149,116	275,242	321,508	244,626	317,038	596,698	624,856
親会社株主に帰属する当期純利益	-19,408	71,888	77,891	115,208	204,371	248,228	185,206	242,941	437,076	471,584

減価償却費	24,888	20,878	19,257	17,872	20,619	24,323	29,107	33,843	36,727	42,927
設備投資額	12,799	13,183	13,341	20,697	45,603	49,754	54,666	53,868	57,288	74,432
研究開発費	78,663	71,349	76,286	83,800	97,103	113,980	120,268	136,648	158,256	191,196

	2014年 3月期	2015年 3月期	2016年 3月期	2017年 3月期	2018年 3月期	2019年 3月期	2020年 3月期	2021年 3月期	2022年 3月期	2023年 3月期
有利子負債	13,531	-	-	-	-	-	-	-	-	-
自己資本	578,091	639,483	562,369	643,094	767,146	880,748	819,301	1,012,977	1,335,152	1,587,595
総資産	828,591	876,153	793,367	957,447	1,202,796	1,257,627	1,278,495	1,425,364	1,894,457	2,311,594

デット・エクイティ・レシオ	2.3%	-	-	-	-	-	-	-	-	-
自己資本比率	69.8%	73.0%	70.9%	67.2%	63.8%	70.0%	64.1%	71.1%	70.5%	68.7%
ROE	-3.3%	11.8%	13.0%	19.1%	29.0%	30.1%	21.8%	26.5%	37.2%	32.3%

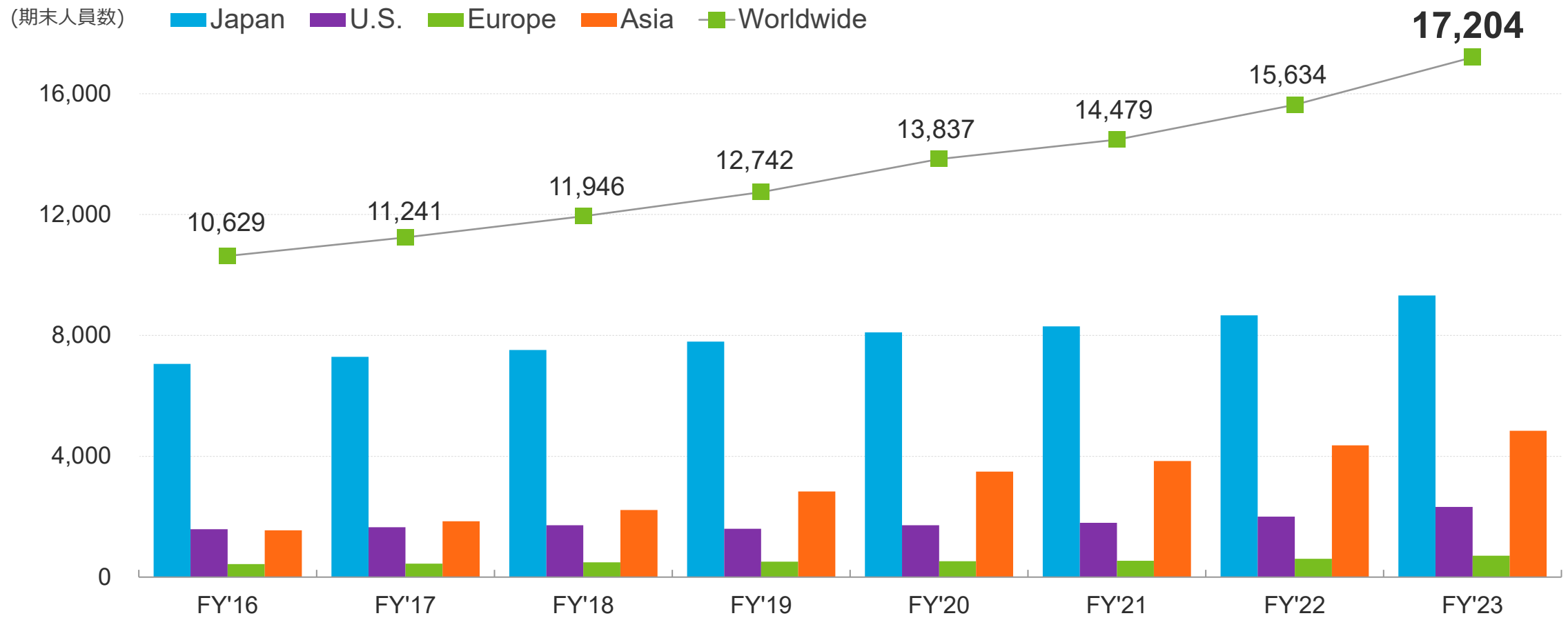
営業キャッシュ・フロー	44,449	71,806	69,398	136,948	186,582	189,572	253,117	145,888	283,387	10,965
投資キャッシュ・フロー	-19,599	155,737	-150,013	-28,893	-11,833	-84,033	15,951	-18,274	-55,632	-23,128
財務キャッシュ・フロー	-186	-18,213	-138,600	-39,380	-82,549	-129,761	-250,374	-114,525	-167,256	-5

1株当たり当期純利益	-36.10	133.69	153.70	234.09	415.16	504.53	390.19	520.73	935.95	1,007.82
1株当たり配当金（円）	17	48	79	117	208	253	196	260	468	570

従業員数（人）	12,304	10,844	10,629	11,241	11,946	12,742	13,837	14,479	15,634	15,883
---------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------

- 2019年3月期より「『税効果会計に係る会計基準』の一部改正」（企業会計基準第28号 2018年2月16日）を適用しており、2018年3月期の「総資産」および「自己資本比率」は、当該会計基準を遡って適用した後の数値を記載しています。
- 2022年3月期の期首より「収益認識に関する会計基準」（企業会計基準第29号）等を適用しています。
- 2023年4月1日付で普通株式1株を3株に株式分割しております。1株当たり当期純利益、1株当たり配当金（円）は当該株式分割後の数値を記載しています。

従業員推移



*電子部品・情報通信機器事業をおこなっている東京エレクトロン デバイスは、2015年3月期より当社の連結子会社から持分法適用関連会社となりました

- 将来見通しについて

本資料に記述されている当社の事業計画、将来予測などは、当社が作成時点で入手可能な情報に基づいて判断したものであり、経済情勢、半導体/FPD市況、販売競争の激化、急速な技術革新への当社の対応力、安全・品質管理、知的財産権に関するリスク、新型コロナウイルスの影響など、さまざまな外部要因・内部要因の変化により、実際の業績、成果はこれら見通しと大きく異なる結果となる可能性があります。

- 数字の処理について

記載された金額は単位未満を切り捨て処理、比率は1円単位の金額で計算した結果を四捨五入処理しているため、内訳の計が合計と一致しない場合があります。

- 為替リスクについて

当社の主力製品である半導体製造装置およびFPD製造装置の輸出売上は、原則円建てでおこなわれます。一部に外貨建売上及び費用計上もありますが、極端な変動がない限り、為替レート変動による利益への影響は極めて軽微です。

- Gartnerのデータについて（6、11ページ）

本プレゼンテーションにおいてガートナーに帰属するすべての記述は、ガートナーの顧客向けに発行された配信購読サービスの一部として発行されたデータ、リサーチ・オピニオン、または見解に関する東京エレクトロンによる解釈であり、ガートナーによる本プレゼンテーションのレビューは行われておりません。ガートナーの発行物は、その発行時点における見解であり、本プレゼンテーション発行時点のものではありません。ガートナーの発行物で述べられた意見は、事実を表現したのではなく、事前の予告なしに変更されることがあります。

FPD：フラットパネルディスプレイ

TEL | 60[↑] years