Investors’ Guide

2026年11月9日

東京エレクトロン株式会社
IR室



内容

1. 会社概要 4
2. 半導体および半導体製造装置市場の見通し 24
3. 企業理念体系と中期経営計画 32
4. 事業環境と業績予想 40
5. サステナビリティ 49
6. 多様化する半導体技術、～技術ロードマップ～ 62
7. 新規装置事業の取り組み 68
   - 7-1 前工程　ユニットプロセス 72
     - 7-1-1 塗布・現像装置 73
     - 7-1-2 エッチング装置 79
     - 7-1-3 成膜装置 88
     - 7-1-4 洗浄装置 95
   - 7-2 後工程事業戦略 102
8. MAGIC市場とフィールドソリューションの取り組み 118
9. デジタルトランスフォーメーション（DX）の取り組み 124
10. 調達・生産戦略 129

Appendix ：データセクション 136

更新内容

スライド名/ページ	更新内容
会社概要（P12～17）	新規スライド追加（各装置の概要説明）
事業環境と業績予想	FY2027Q2決算説明会資料に差し替え
Appendix：データセクション	FY2027Q2決算説明会資料に差し替え

1. 会社概要

会社概要

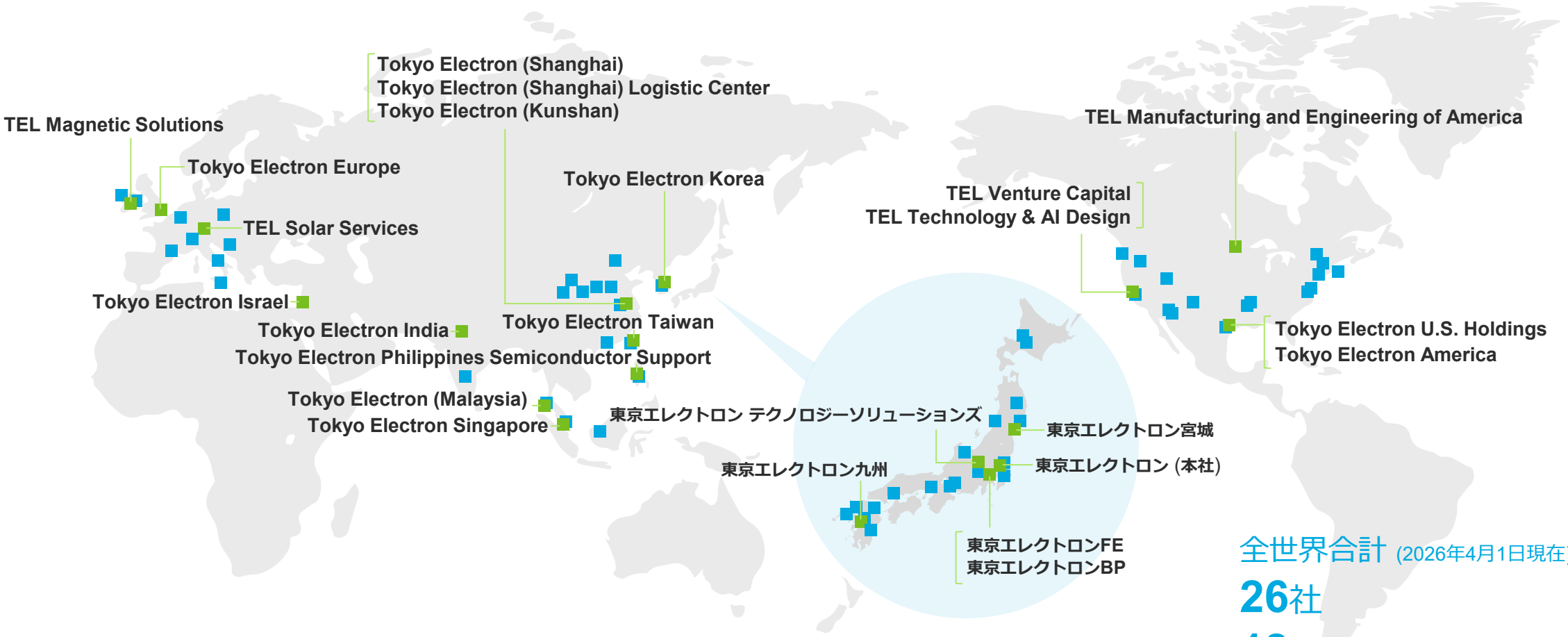
設立	1963年 (昭和38年) 11月11日
主要事業	半導体製造装置事業
資本金	549億 6,119万円
売上/利益	売上高 2兆4,435億円／営業利益 6,249億円／営業利益率 25.6%　(2026年3月期)
従業員数	2,436人（単独）20,812人 (連結)　(2026年4月1日現在)
拠点数	国内 6社・30拠点 海外 20社・17の国と地域・72拠点 合計 26社・18の国と地域・102拠点　(連結)　(2026年4月1日現在)



Source: TEL

世界主要拠点

(2026年7月1日現在)



■ 本社

■ 支社、事業所 (サービス拠点を含む)、営業所

*現在清算整理中の会社は地図上に表記していません。

全世界合計 (2026年4月1日現在)

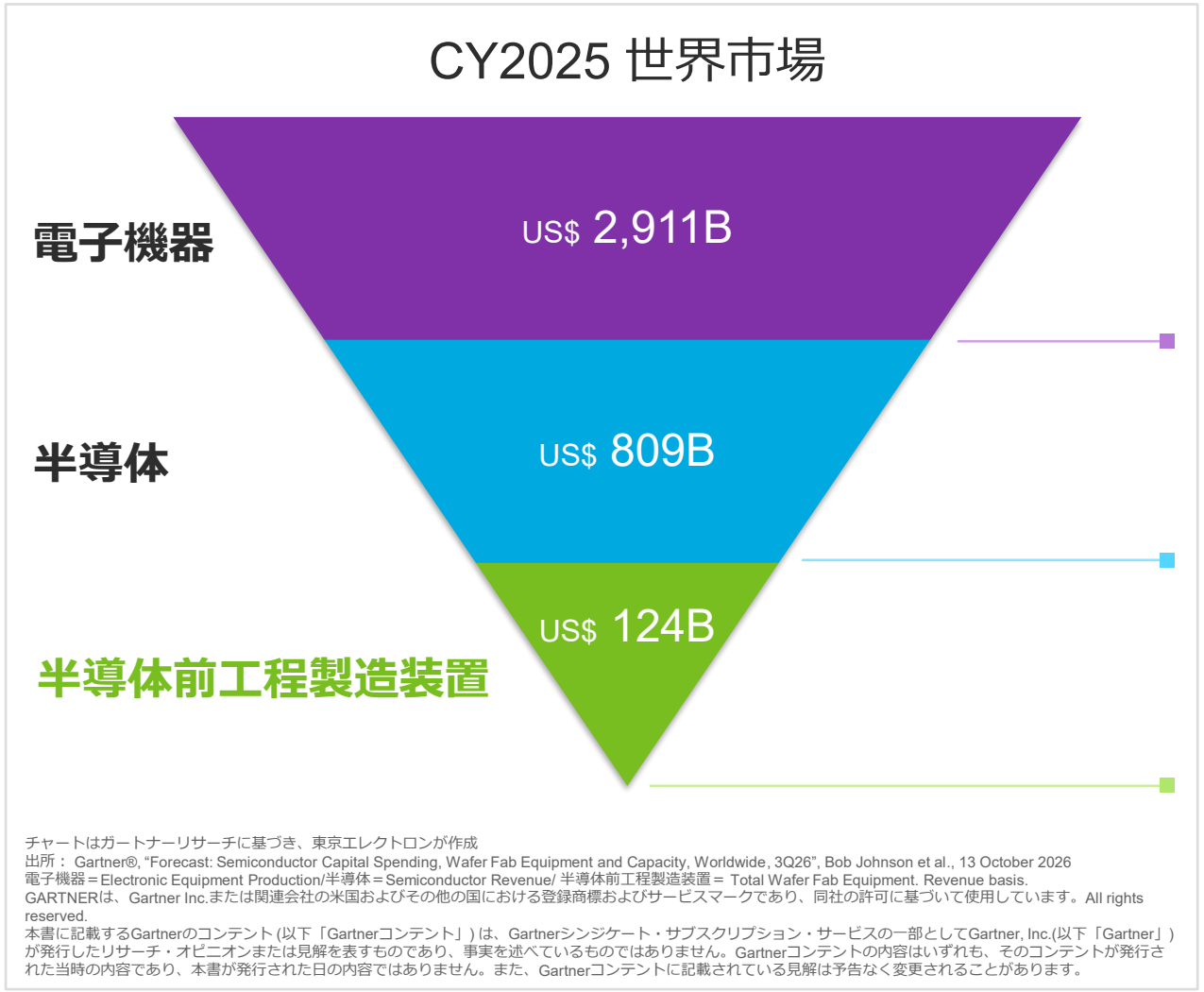
26社

18カ国・地域

102拠点

Source: TEL

電子機器関連産業　市場構造



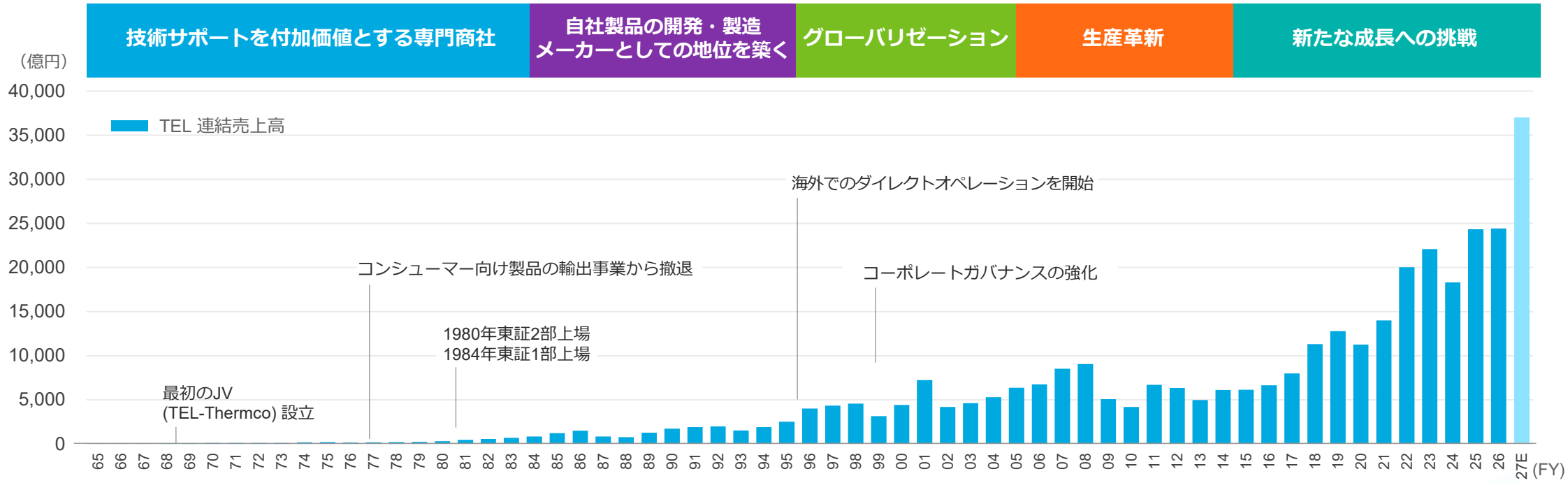
TELの参入市場



チャートはガートナーリサーチに基づき、東京エレクトロンが作成
出所： Gartner®, “Forecast: Semiconductor Capital Spending, Wafer Fab Equipment and Capacity, Worldwide, 3Q26”, Bob Johnson et al., 13 October 2026
電子機器＝Electronic Equipment Production/半導体＝Semiconductor Revenue/ 半導体前工程製造装置＝ Total Wafer Fab Equipment. Revenue basis.
GARTNERは、Gartner Inc.または関連会社の米国およびその他の国における登録商標およびサービスマークであり、同社の許可に基づいて使用しています。All rights reserved.
本書に記載するGartnerのコンテント(以下「Gartnerコンテント」)は、Gartnerシンジケート・サブスクリプション・サービスの一部としてGartner, Inc.(以下「Gartner」)が発行したリサーチ・オピニオンまたは見解を表すものであり、事実を述べているものではありません。Gartnerコンテントの内容はいずれも、そのコンテントが発行された当時の内容であり、本書が発行された日の内容ではありません。また、Gartnerコンテントに記載されている見解は予告なく変更されることがあります。

Source: Licensed Image

TELの成長の軌跡

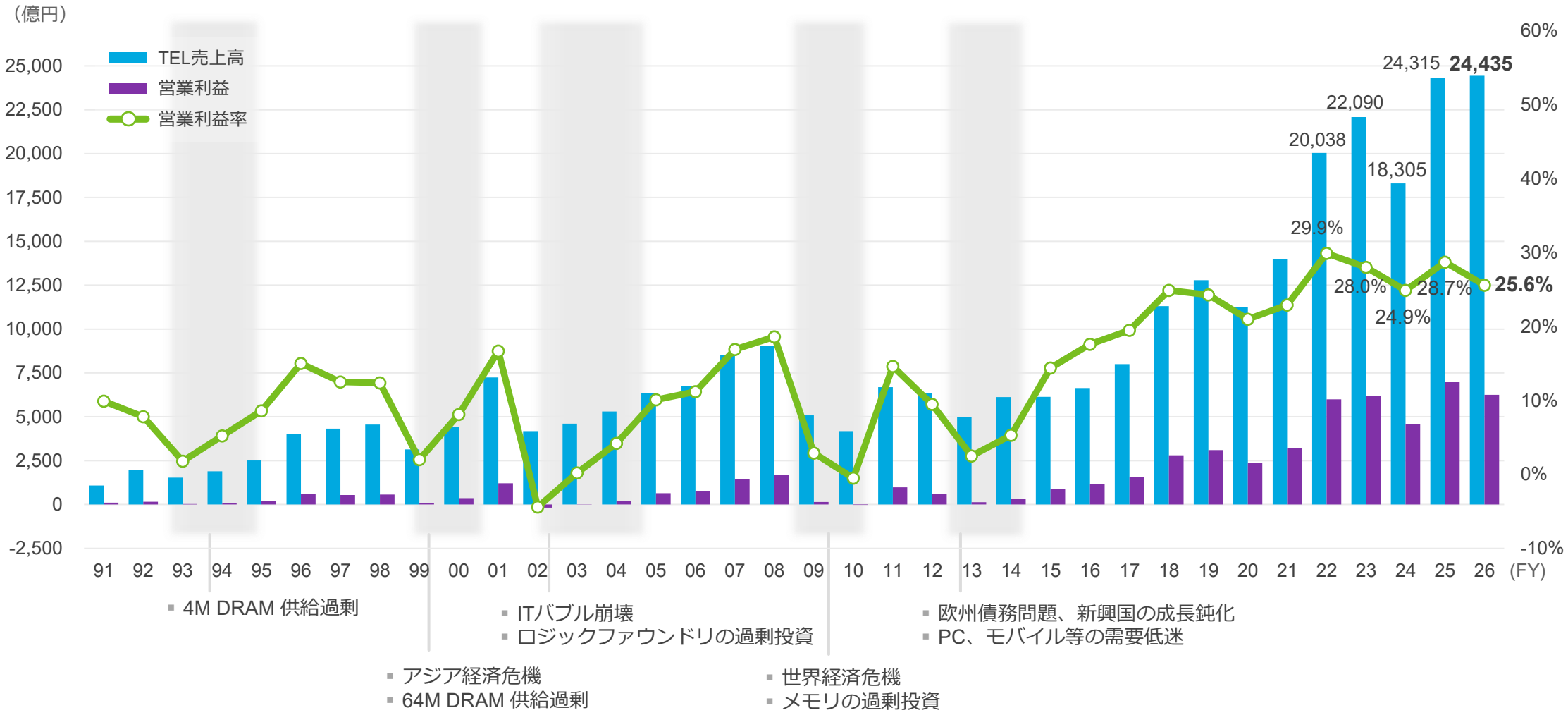


半導体用途の拡大*

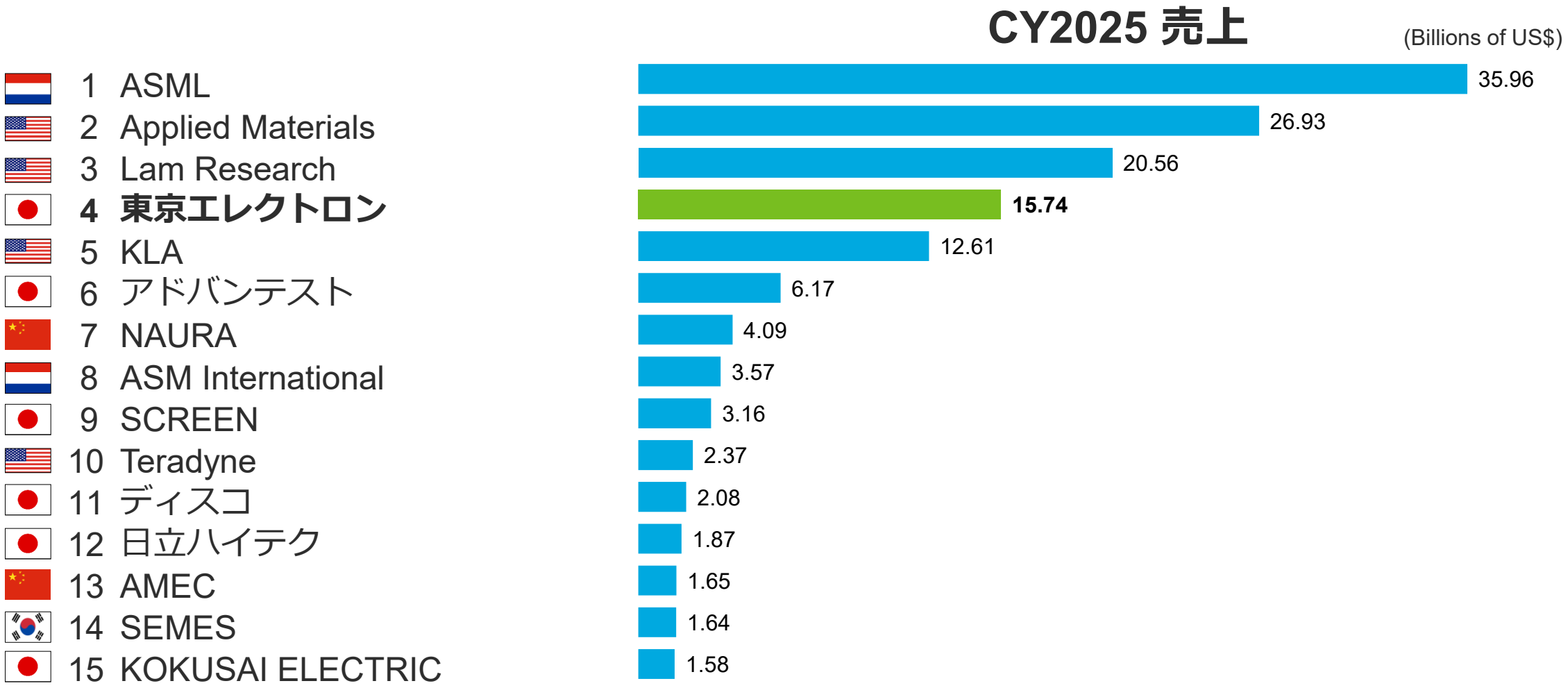


Source: Licensed Image

売上高と営業利益の推移



CY2025 半導体製造装置メーカー トップ15



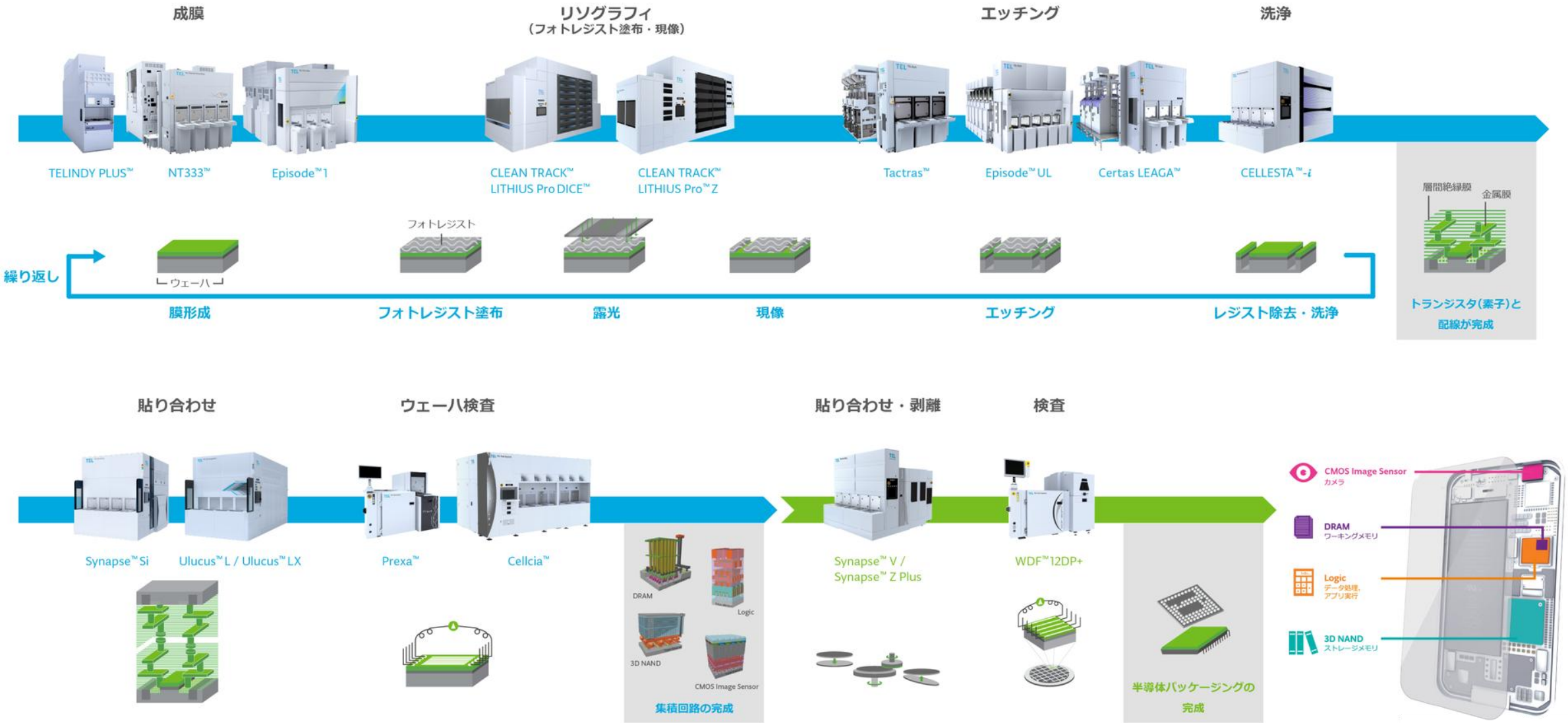
Source: Licensed Image

Source：TechInsights Inc., May 2026

半導体製造プロセス

Source: TEL TELCBC-SMP-001

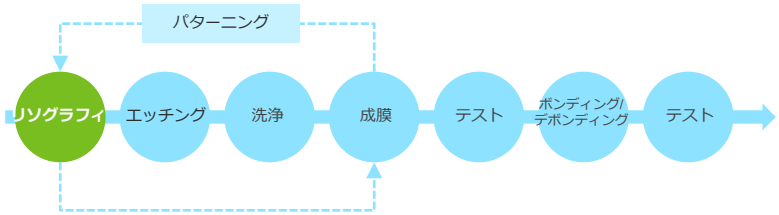
ウェーハ処理プロセス（前工程）　検査・組み立てプロセス（後工程）



リソグラフィ（塗布・現像）

素子寸法を左右するパターニングの起点に位置づけられるのがリソグラフィで、微細な回路を形成するうえで基盤となる工程。均一に塗布したフォトレジストへ、露光機を使ってフォトマスクの回路パターンを転写した後、現像液で所定部分を選択的に溶解・除去し、レジスト上にパターンを形成する。通常は塗布、露光、現像をインライン（一連の装置）で連続処理することから、本工程には高速且つ、安定した信頼性と精密な制御が求められる。

TEL's Process Coverage



主要な製造メーカー

露光機	塗布・現像（コータ/デベロッパ）
ASML	TEL
キヤノン	Kingsemi
ニコン	SCREEN
	SEMES

露光装置 主要光源

- DUV（深紫外線）
  - KrF　　：幅広いアプリケーションで使用
  - ArFドライ：ロジック、DRAM、NAND
  - ArF液浸　：ロジック、DRAM、NAND
- EUV（極紫外線）：最先端ロジック、DRAM
→最先端ロジックで広く採用され、DRAMへ拡大中

主要製品



CLEAN TRACK™ LITHIUS Pro DICE™
Coater/Developer

製造拠点：熊本



CLEAN TRACK™ LITHIUS Pro™ Z
Coater/Developer



CLEAN TRACK™ LITHIUS Pro™ AP
Coater/Developer



Coater (2025)*

FY2026
TEL新規装置売上構成比



期待項目

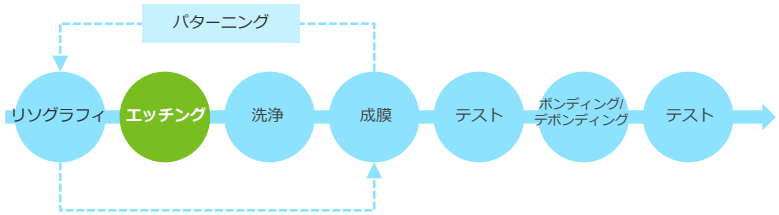
- メタルオキサイドレジスト向け究極のウェット現像技術はPORに向けて各社評価中
- CLEAN TRACK™ LITHIUS Pro DICE™ 複数顧客にてEUV/KrF POR (ロジック/メモリ)

出所
* Gartner®, Market Share: Semiconductor Wafer Fab Equipment, Worldwide, 2025, Bob Johnson and Menglin Cao, 2 April 2026, Revenue from Shipments basis.チャートはガートナーリサーチに基づき、東京エレクトロンが作成。ここに記載のある数値は、東京エレクトロンにより算出されたものです。
Coater: Photoresist Processing (Track)GARTNER社は、Gartner Inc.または関連会社の米国およびその他の国における登録商標およびサービスマークであり、同社の許可に基づいて使用しています。All rights reserved. Gartnerは、Gartnerリサーチの発行物に掲載された特定のベンダー、製品またはサービスを推奨するものではありません。また、最高のレーティング又はその他の評価を得たベンダーのみを選択するようにテクノロジーユーザーに助言するものではありません。Gartnerリサーチの発行物は、Gartnerリサーチの見解を表したものであり、事実を表現したものではありません。Gartnerは、明示または黙示を問わず、本リサーチの商品性や特定目的への適合性を含め、一切の責任を負うものではありません。
本書に記載するGartnerのコンテント(以下「Gartnerコンテント」)は、Gartnerシンジケート・サブスクリプション・サービスの一部としてGartner, Inc.(以下「Gartner」)が発行したリサーチ・オピニオンまたは見解を表すものであり、事実を述べているものではありません。Gartnerコンテントの内容はいずれも、そのコンテントが発行された当時の内容であり、本書が発行された日の内容ではありません。また、Gartnerコンテントに記載されている見解は予告なく変更されることがあります。

エッチング

エッチングは、リソグラフィによってフォトレジスト上に形成された微細な回路パターンを転写し、その下層膜を選択的に除去する工程。半導体デバイスの微細化に伴い、デバイス構造の複雑化や対象材料の多様化が進んでいる。さらに、EUVリソグラフィではフォトレジストのエッチング耐性が低いため、高い選択性に加え、加工後に残す膜の形状を精密に制御する技術が求められる。このため、半導体世代の進展とともに、エッチング装置に求められる技術水準はますます高度化している。

TEL's Process Coverage



主要な製造メーカー

- **TEL**
- Lam Research
- Applied Materials
- NAURA
- AMEC

基本方式

- ドライエッチング
  （プラズマエッチング）
- ガスケミカルエッチング

主なエッチング対象物

- 絶縁膜
  SiO, SiN, low-k, SiON, SiCN
- 導電膜（金属膜）
  Ti, W, Al, Co, Mo, Ta, Ru
- シリコン系
  Si, Poly-Si, SiGe
- 有機膜
  Spin on carbon, amorphous carbon

主要製品



Episode™ UL
Plasma Etch System

製造拠点：宮城・山梨



Tactras™
Plasma Etch System



Certas LEAGA™
Gas Chemical Etch System



Dry Etch (2025)*

FY2026
TEL新規装置売上構成比



期待項目

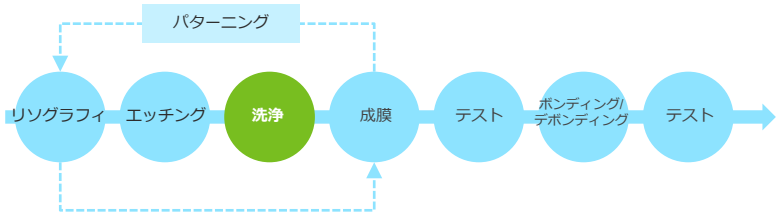
- マーケットシェア50%以上（絶縁膜エッチング）
- HBM 配線工程POR、キャパシタ工程 大手POR専有 (DRAM)
- Slit工程、チャネルホール工程 POR（NAND）
- アドバンストパッケージ向けTDV工程 POR (ロジック)

出所
* Gartner®, Market Share: Semiconductor Wafer Fab Equipment, Worldwide, 2025, Bob Johnson and Menglin Cao, 2 April 2026, Revenue from Shipments basis. チャートはガートナーリサーチに基づき、東京エレクトロンが作成。ここに記載のある数値は、東京エレクトロンにより算出されたものです。
ドライエッチング装置: Dry Etch
GARTNERは、Gartner Inc.または関連会社の米国およびその他の国における登録商標およびサービスマークであり、同社の許可に基づいて使用しています。All rights reserved. Gartnerは、Gartnerリサーチの発行物に掲載された特定のベンダー、製品またはサービスを推奨するものではありません。また、最高のレーティング又はその他の評価を得たベンダーのみを選択するようにテクノロジーユーザーに助言するものではありません。Gartnerリサーチの発行物は、Gartnerリサーチの見解を表したものであり、事実を表現したものではありません。Gartnerは、明示または黙示を問わず、本リサーチの商品性や特定目的への適合性を含め、一切の責任を負うものではありません。
本書に記載するGartnerのコンテント(以下「Gartnerコンテント」)は、Gartnerシンジケート・サブスクリプション・サービスの一部としてGartner, Inc.(以下「Gartner」)が発行したリサーチ・オピニオンまたは見解を表すものであり、事実を述べているものではありません。Gartnerコンテントの内容はいずれも、そのコンテントが発行された当時の内容であり、本書が発行された日の内容ではありません。また、Gartnerコンテントに記載されている見解は予告なく変更されることがあります。

洗浄

各プロセスの合間に配置される重要な工程の一つが洗浄。回路へ飛来した異物に加え、エッチング工程で表面に付着した副生成物などを取り除き、欠陥の発生を抑制する。さらに、エッチングで形成された微細構造がある場合には、洗浄液を除去するときの表面張力によるパターン倒壊を防ぐ必要があり、そのため洗浄後の乾燥技術も同等に重要となる。

TEL's Process Coverage



主要な製造メーカー

- **TEL**
- SCREEN
- Lam Research
- ACM Research
- SEMES

基本方式

- ウェット：薬液・純水

主な洗浄・乾燥技術

- スクラバー洗浄
  →ブラシで異物・残渣を除去
- ベベル洗浄
  →ウェーハ外周部の汚染を除去
- 超臨界乾燥
  →微細パターンの倒壊を防ぐ乾燥技術

主要製品



CELLESTA™ -i MD
Single Wafer
Cleaning System



EXPEDIUS™ -i
Auto Wet Station



NS300Z
Scrubber System

製造拠点：熊本



Clean Equipment(2025)*

FY2026
TEL新規装置売上構成比



期待項目

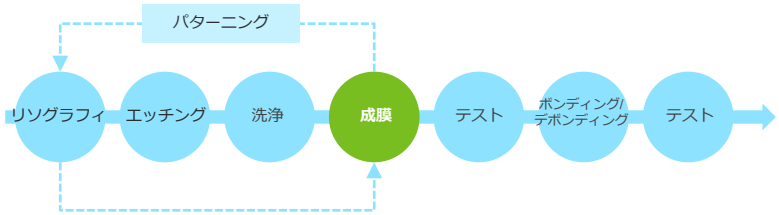
- 次世代超臨界乾燥技術
  →複数顧客において評価開始（DRAM）
- レジスト剥離
  →複数顧客で評価中、1社POR獲得済（ロジック/メモリ）
- バッチ＋枚葉のハイブリッド装置
  →評価開始（メモリ）

出所
* Gartner®, Market Share: Semiconductor Wafer Fab Equipment, Worldwide, 2025, Bob Johnson and Menglin Cao, 2 April 2026, Revenue from Shipments basis. チャートはガートナーリサーチに基づき、東京エレクトロンが作成。ここに記載のある数値は、東京エレクトロンにより算出されたものです。
Clean Equipment: Single Wafer Processors + Wet Stations + Batch Spray Processors + Scrubbers + Other Clean Equipment
GARTNERは、Gartner Inc.または関連会社の米国およびその他の国における登録商標およびサービスマークであり、同社の許可に基づいて使用しています。All rights reserved. Gartnerは、Gartnerリサーチの発行物に掲載された特定のベンダー、製品またはサービスを推奨するものではありません。また、最高のレーティング又はその他の評価を得たベンダーのみを選択するようにテクノロジーユーザーに助言するものではありません。Gartnerリサーチの発行物は、Gartnerリサーチの見解を表したものであり、事実を表現したものではありません。Gartnerは、明示または黙示を問わず、本リサーチの商品性や特定目的への適合性を含め、一切の責任を負うものではありません。
本書に記載するGartnerのコンテント(以下「Gartnerコンテント」)は、Gartnerシンジケート・サブスクリプション・サービスの一部としてGartner, Inc.(以下「Gartner」)が発行したリサーチ・オピニオンまたは見解を表すものであり、事実を述べているものではありません。Gartnerコンテントの内容はいずれも、そのコンテントが発行された当時の内容であり、本書が発行された日の内容ではありません。また、Gartnerコンテントに記載されている見解は予告なく変更されることがあります。

成膜

成膜は、ウェーハ上で素子同士を電気的につなぐ導電材料や、素子を隔離する絶縁材料を形成する基幹工程。対象となる膜厚は数ミクロンから数ナノメートルに及び、求められる仕様も幅広い。近年は、微細な三次元構造を持つ素子の表面に、1~10ナノメートル単位で所定の電気特性を備えた材料を均一に形成することに加え、ドライエッチングのガスやウェットエッチング用薬液に対して高い耐性を持つ材料を成膜する技術も求められている。

TEL's Process Coverage



主要な製造メーカー

- TEL
- ASM International
- Lam Research
- KOKUSAI ELECTRIC
- Applied Materials
- NAURA

基本方式

- CVD（化学気相成長法）
- PVD（スパッタリング）
- ALD（原子層堆積法）
- Oxide/Anneal（酸化・熱処理）

成膜材料・技術

- 絶縁膜
  例：SiO_2, Si_3N_4 ,SiOC (low-k), HfO_2 (high-k)
  主な技術：CVD, PECVD, ALD
- 半導体膜
  例：Si, SiC, GaN
  主な技術：CVD, Epitaxy
- 金属膜
  例：W, Ti, TiN, Al, Cu, Ta, TaN, Co, Ru, Mo
  主な技術：CVD, PVD, ALD, ECD*

*ECD：電解めっき

主要製品



NT333™
Atomic Layer Deposition System

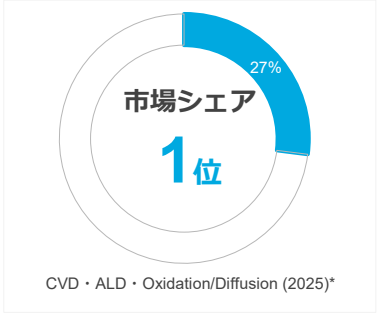


Episode™
Chemical Vapor Deposition



EVAROS™
Thermal processing System

製造拠点：山梨・岩手



CVD・ALD・Oxidation/Diffusion (2025)*

FY2026
TEL新規装置売上構成比



期待項目

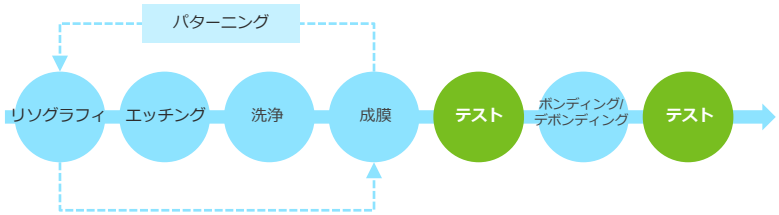
- アドバンストパッケージ向けキャパシタHigh-k POR（ロジック）
- 埋め込み膜用 枚葉プラズマCVD 評価開始（ロジック）
- メタル ワードライン工程POR（NAND）

出所
* Gartner®, Market Share: Semiconductor Wafer Fab Equipment, Worldwide, 2025, Bob Johnson and Menglin Cao, 2 April 2026, Revenue from Shipments basis.チャートはガートナーリサーチに基づき、東京エレクトロンが作成。ここに記載のある数値は、東京エレクトロンにより算出されたものです。
CVD・ALD・Oxidation/Diffusion：CVD (Tube CVD + Nontube LPCVD) + ALD (Atomic Layer Deposition Tools) + Oxidation/Diffusion (Oxidation/Diffusion Furnaces)
GARTNERは、Gartner Inc.または関連会社の米国およびその他の国における登録商標およびサービスマークであり、同社の許可に基づいて使用しています。All rights reserved. Gartnerは、Gartnerリサーチの発行物に掲載された特定のベンダー、製品またはサービスを推奨するものではありません。また、最高のレーティング又はその他の評価を得たベンダーのみを選択するようにテクノロジーユーザーに助言するものではありません。Gartnerリサーチの発行物は、Gartnerリサーチの見解を表したものであり、事実を表現したものではありません。Gartnerは、明示または黙示を問わず、本リサーチの商品性や特定目的への適合性を含め、一切の責任を負うものではありません。
本書に記載するGartnerのコンテント(以下「Gartnerコンテント」)は、Gartnerシンジケート・サブスクリプション・サービスの一部としてGartner, Inc.(以下「Gartner」)が発行したリサーチ・オピニオンまたは見解を表すものであり、事実を述べているものではありません。Gartnerコンテントの内容はいずれも、そのコンテントが発行された当時の内容であり、本書が発行された日の内容ではありません。また、Gartnerコンテントに記載されている見解は予告なく変更されることがあります。

テスト

半導体性能の向上に伴い、テスト内容の高度化・拡充が求められている。また、複数の半導体チップを組み合わせる先進パッケージングにおいては、最終歩留まりの向上が不可欠であり、その実現には実装前の半導体チップに対して高精度なテストを実施し、KGD（Known Good Die）を確保することが重要となっている。さらに、先進パッケージング後の工程においても、サブストレート実装前の個片化パッケージを対象としたテスト需要があり、従来のウェーハテストに加え、新たな検査市場が期待される。

TEL's Process Coverage



主要な製造メーカー

プローバ
- TEL
- 東京精密

テスター
- アドバンテスト
- Teradyne

テストシステム

- プローバ
  ウェーハやデバイス基板とプローブカードを高精度に接触させるとともに、
  測定環境の温度を精密に制御することで、電気特性検査を高精度に実現する装置
- テスター
  プローブカードを通じて電気信号を入出力し、チップの性能・良否を判定する装置

主要製品



Prexa™
Wafer Prober

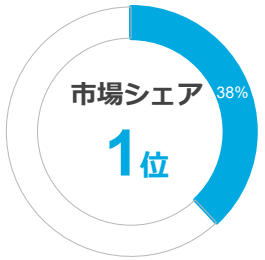
製造拠点：山梨・台湾



Prexa™ SDP*
*Singulated Device Prober



CelIcia™
Multi-Cell Test System



Wafer Prober(2025)*

FY2026
TEL新規装置売上構成比



期待項目

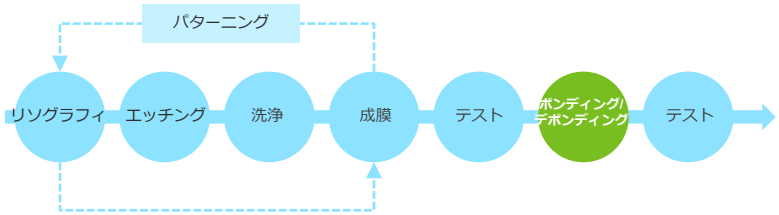
- 測定環境の温度を精密に制御する技術により、AI/HPC向け先端ロジック市場で高い競争力を発揮
  プローバ全体でFY2027の売上1,000億円超を見込む
- デバイスプローバ、複数顧客で評価開始
- 先端ロジック向けプローバ占有

出所
* 半導体製造装置（ウェーハプローバ）：Auto Probers.; TechInsights Inc., April 2026版はTechInsights Inc.に基づき、東京エレクトロンが作成。

ボンディング/デボンディング

半導体の性能を向上するために、デバイスを三次元に積層する構造の採用が広がっている。こうした積層構造を製造する手法として、ウェーハのボンディング・デボンディングに対する需要が拡大しているほか、経済性および環境負荷低減の観点から、レーザーを活用する従来手法からの置き換え技術への関心も高まっている。

TEL's Process Coverage



主要な製造メーカー

ウェーハボンダー	ダイボンダー
TEL	Besi
EV Group	ASMPT
SUSS	

接合技術・レーザー技術

仮接合/剥離
- Temporary Bonding（仮接合）
- Debonding（剥離）

永久接合
- Fusion Bonding（酸化膜同士の接合）
- Hybrid Bonding（酸化膜＋Cu配線の同時接合）

レーザー関連装置
- Laser Trimming（レーザートリミング）
- Laser Lift Off（レーザーリフトオフ）

主要製品



Synapse™ V/ Synapse™ Z Plus
Temporary Bonder/ Temporary Debonder System

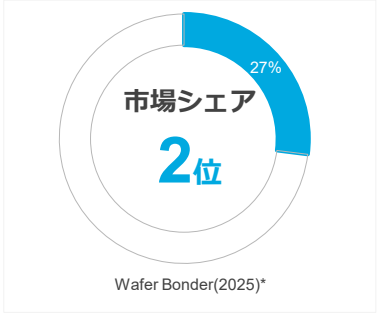
製造拠点：熊本



Synapse™ Si
Wafer Bonder



Ulucus™ LX
Laser Lift Off System



FY2026 TEL新規装置売上構成比

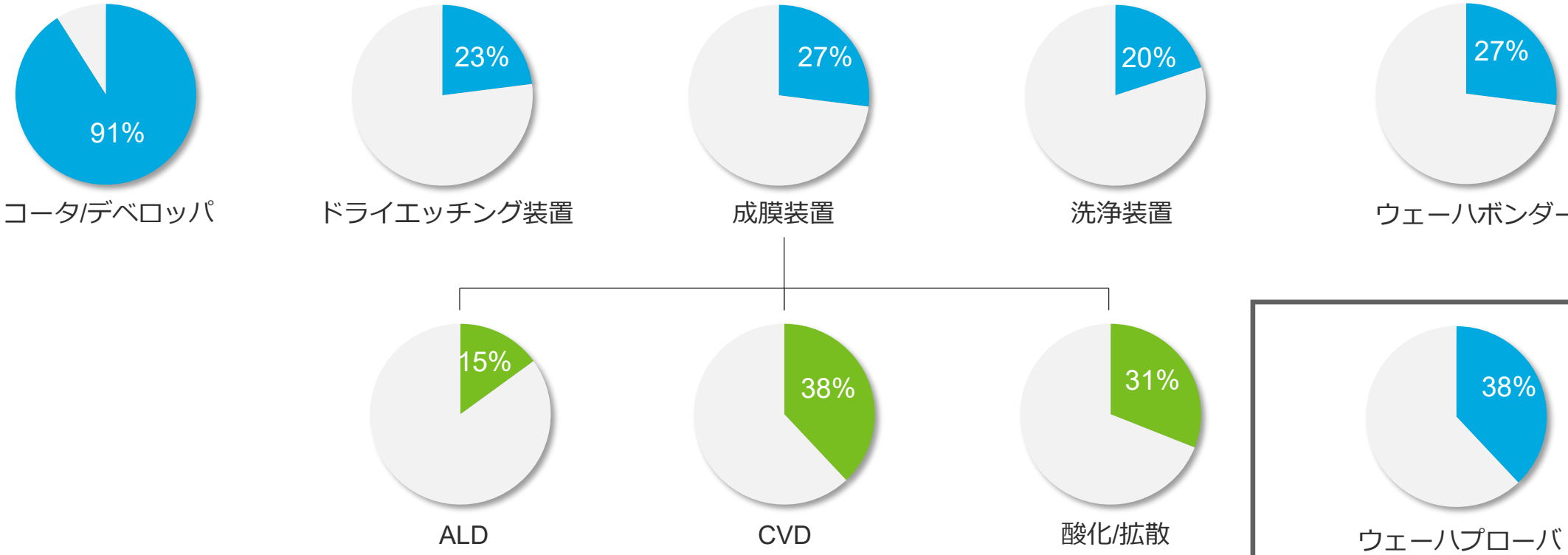


期待項目

- ボンダー
  →仮接合/剥離：HBM薄化向け POR
  →永久接合：CMOSイメージセンサー、NANDメモリセル＋周辺回路、ロジック裏面配線向け POR
- レーザートリミング・リフトオフ
  →複数顧客にてプロセス評価進捗
- ボンダー/レーザー売上
  →2030年までの5年間累計5,000億円以上を見込む

出所
* Gartner®, Market Share: Semiconductor Wafer Fab Equipment, Worldwide, 2025, Bob Johnson and Menglin Cao, 2 April 2026, Revenue from Shipments basis. チャートはガートナーリサーチに基づき、東京エレクトロンが作成。ここに記載のある数値は、東京エレクトロンにより算出されたものです。
ウェーハボンダー：Wafer Bonder
GARTNERは、Gartner Inc.または関連会社の米国およびその他の国における登録商標およびサービスマークであり、同社の許可に基づいて使用しています。All rights reserved. Gartnerは、Gartnerリサーチの発行物に掲載された特定のベンダー、製品またはサービスを推奨するものではありません。また、最高のレーティング又はその他の評価を得たベンダーのみを選択するようにテクノロジーユーザーに助言するものではありません。Gartnerリサーチの発行物は、Gartnerリサーチの見解を表したものであり、事実を表現したものではありません。Gartnerは、明示または黙示を問わず、本リサーチの商品性や特定目的への適合性を含め、一切の責任を負うものではありません。
本書に記載するGartnerのコンテント(以下「Gartnerコンテント」)は、Gartnerシンジケート・サブスクリプション・サービスの一部としてGartner, Inc.(以下「Gartner」)が発行したリサーチ・オピニオンまたは見解を表すものであり、事実を述べているものではありません。Gartnerコンテントの内容はいずれも、そのコンテントが発行された当時の内容であり、本書が発行された日の内容ではありません。また、Gartnerコンテントに記載されている見解は予告なく変更されることがあります。

主要プロダクト 世界市場シェア（CY2025）

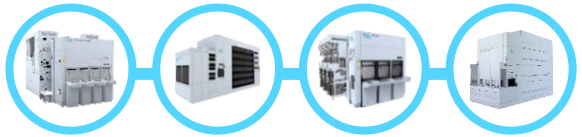


出所
Gartner®, Market Share: Semiconductor Wafer Fab Equipment, Worldwide, 2025, Bob Johnson and Menglin Cao, 2 April 2026, Revenue from Shipments basis.
チャートはガートナーリサーチに基づき、東京エレクトロンが作成。ここに記載のある数値は、東京エレクトロンにより算出されたものです。
コータ/デベロッパ: Photoresist Processing (Track), ドライエッチング装置: Dry Etch, 成膜装置: Tube CVD + Atomic Layer Deposition Tools + Oxidation/ Diffusion Furnaces + Nontube LPCVD, ALD: Atomic Layer Deposition Tools, CVD: Tube CVD + Nontube LPCVD, 酸化/拡散: Oxidation/Diffusion Furnaces, 洗浄装置: Single Wafer Processors + Wet Stations + Batch Spray Processors + Scrubbers + Other Clean Equipment　ウェーハボンダー: Wafer Bonder
GARTNERは、Gartner Inc.または関連会社の米国およびその他の国における登録商標およびサービスマークであり、同社の許可に基づいて使用しています。All rights reserved. Gartnerは、Gartnerリサーチの発行物に掲載された特定のベンダー、製品またはサービスを推奨するものではありません。また、最高のレーティング又はその他の評価を得たベンダーのみを選択するようにテクノロジーユーザーに助言するものではありません。Gartnerリサーチの発行物は、Gartnerリサーチの見解を表したものであり、事実を表現したものではありません。Gartnerは、明示または黙示を問わず、本リサーチの商品性や特定目的への適合性を含め、一切の責任を負うものではありません。
本書に記載するGartnerのコンテント (以下「Gartnerコンテント」) は、Gartnerシンジケート・サブスクリプション・サービスの一部としてGartner, Inc.(以下「Gartner」)が発行したリサーチ・オピニオンまたは見解を表すものであり、事実を述べているものではありません。Gartnerコンテントの内容はいずれも、そのコンテントが発行された当時の内容であり、本書が発行された日の内容ではありません。また、Gartnerコンテントに記載されている見解は予告なく変更されることがあります。

出所
半導体製造装置（ウェーハプローバ）: Auto Probers,:
TechInsights Inc., April 2026
図はTechInsights Inc.に基づき、東京エレクトロンが作成。

TELの強み

4つのキープロセスに先端装置をもつ



世界シェア上位

主要製品と世界シェア*

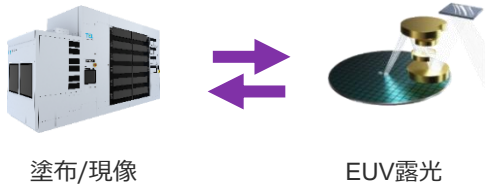


*当社推定

100%

EUV露光用
塗布/現像装置シェア

*当社推定



No.1

世界装置出荷台数

年間装置出荷台数

約4,000～6,000台*

世界装置出荷台数 業界最大の

100,000台～*



* 2026年3月末

Source: Licensed Image

グローバル開発拠点

(2026年7月1日現在)



TEL Magnetic Solutions (アイルランド)

imec (ベルギー)

CEA-Leti (フランス)



TEL Technology Center, Taiwan (台湾)

Tokyo Electron India (インド)

IME (シンガポール)



TEL Technology Center Korea (韓国)

TEL デジタル デザイン スクエア
東京エレクトロン テクノロジーソリューションズ
東京エレクトロン宮城
東京エレクトロン九州
(日本)

産業技術総合研究所 (日本)



TEL Manufacturing and Engineering of America (米国)

TEL Technology & AI Design (米国)

Tokyo Electron America (米国)

NY Creates Albany NanoTech Complex (米国)

BRIDG (米国)

Tokyo Electron America (米国)

- 東京エレクトロン開発拠点
- コンソーシアム

Source: TEL

開発体制のさらなる強化

山梨開発棟
成膜、ガスケミカルエッチ、コーポレート開発
(2023年7月 竣工)



宮城開発棟
エッチング装置
(2025年4月 竣工)



熊本開発棟
コータ/デベロッパ、洗浄装置、ボンディング装置
(2025年10月 竣工)



宮城技術革新センター
エッチング装置
(2021年9月 竣工)



TEL デジタル デザイン スクエア
DX、ソフトウエア開発
(2020年11月 開設)



Source: TEL

Best Products、 Best Serviceの継続的追求のために

Front-loading



- 顧客との複数世代にわたる技術ロードマップ共有
- Early engagementの推進
- 量産初期より顧客製品デバイスの歩留まりと装置稼働率の最大化を実現、また環境負荷も低減
- 仕事の効率化と1人当たりの生産性向上を推進し、人材・開発への投資をさらに増加

Advanced field solutions



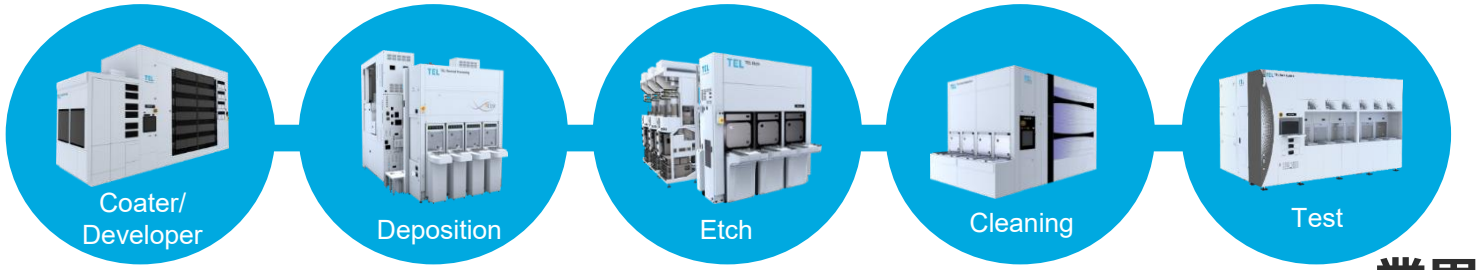
- 業界最大の出荷済装置**100,000**台～*を生かしたビジネス展開
- 遠隔保守 TELeMetrics™
- Machine learningによる予知保全

*2026年3月末時点

TELの総合力を最大限に生かす

Sales
顧客からの信頼

広い製品力バレッジ



Market-ing
高度な情報収集力と分析力

FS
- 業界最大100,000台*以上
- Advanced FS

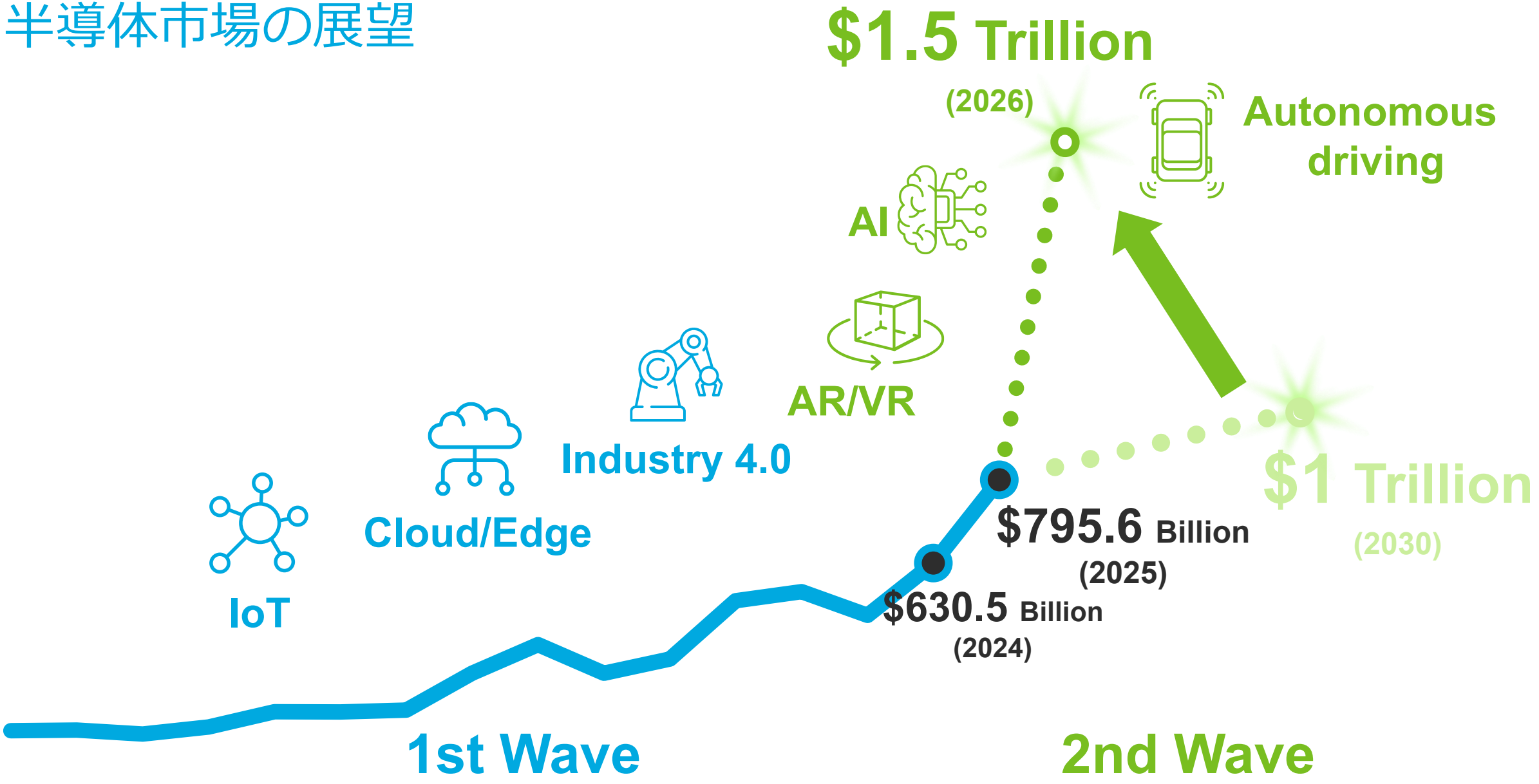
*2026年3月末時点

R&D
- 強いネクストジェネレーション プロダクト開発
- プロセスインテグレーション

Manu-facturing
- 高い品質
- 強固なサプライチェーン

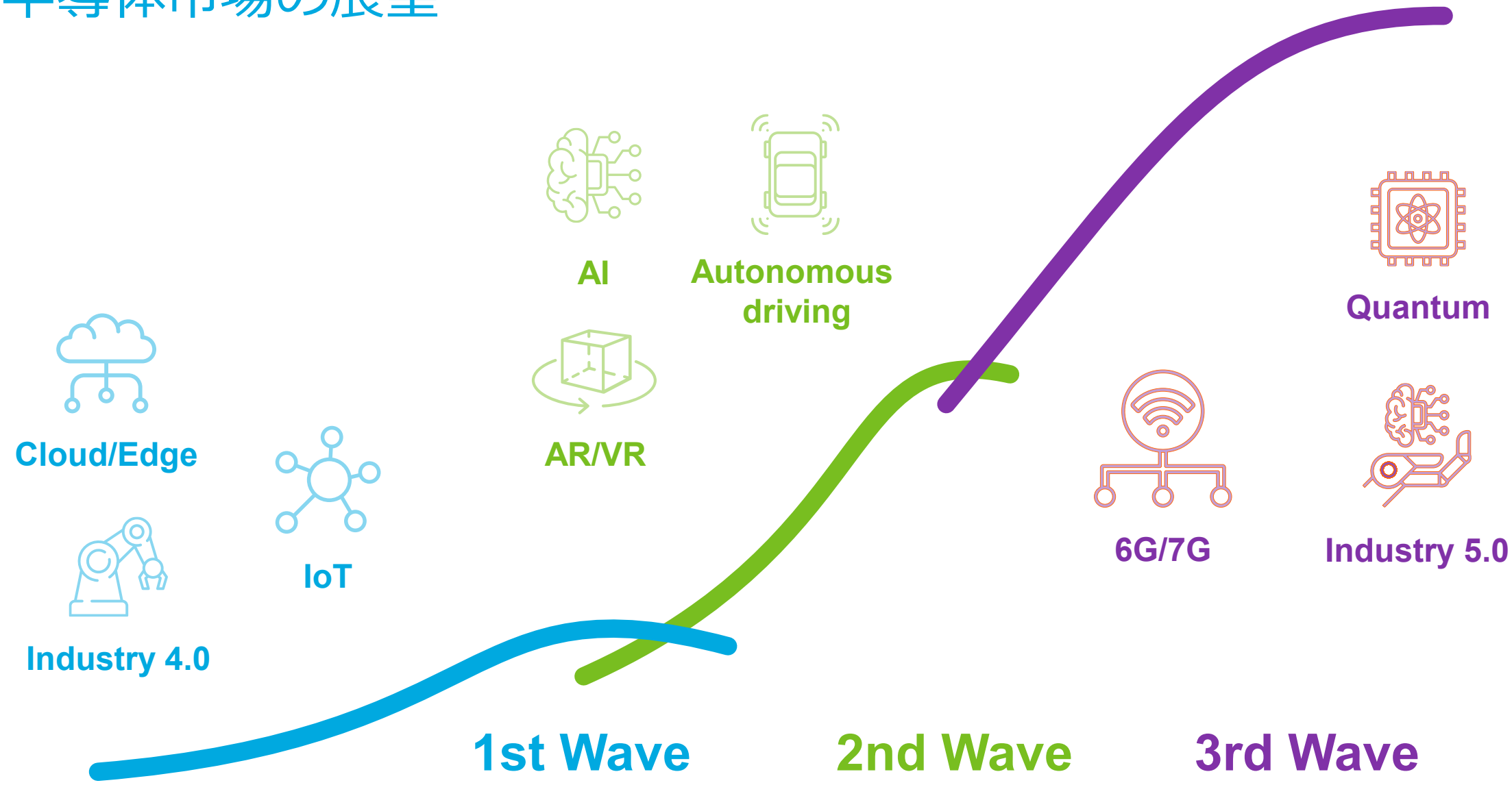
2. 半導体および半導体製造装置市場の見通し

半導体市場の展望

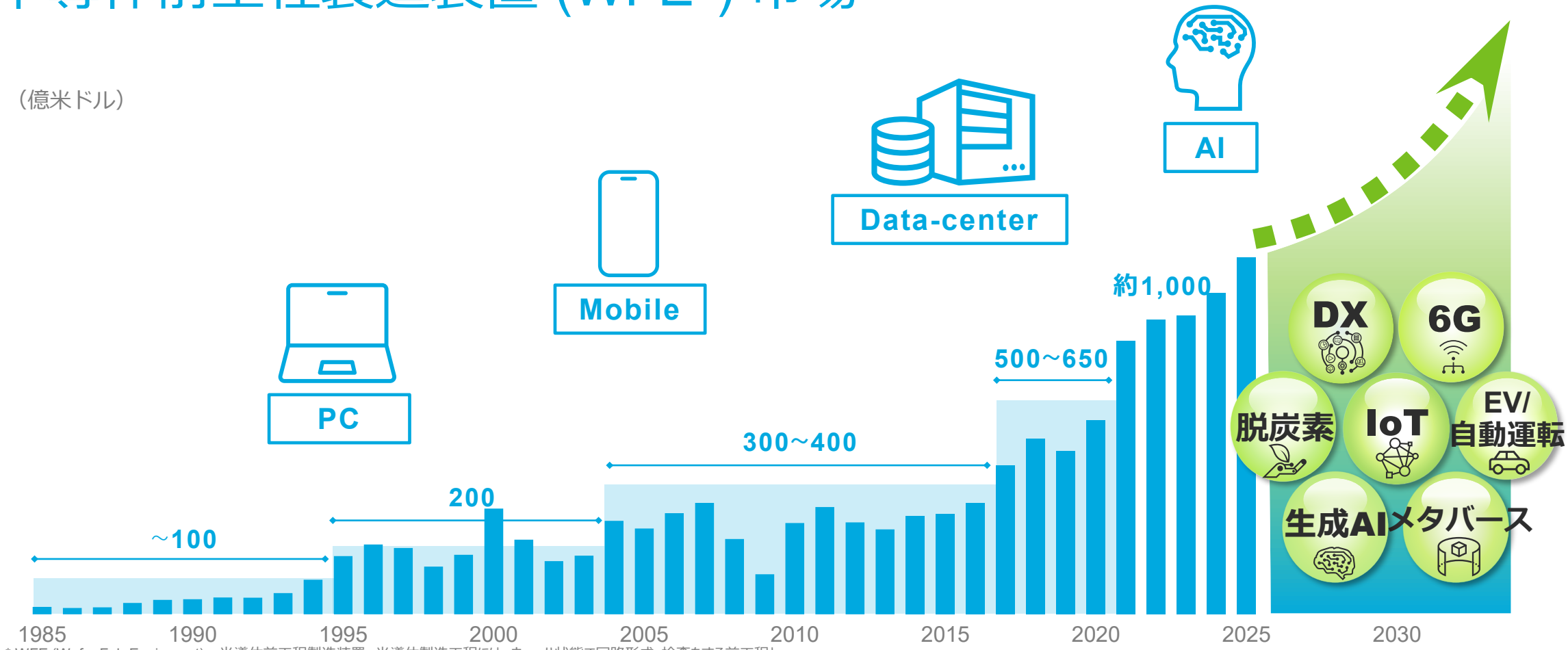


Source:2010-2026 (WSTS)

半導体市場の展望


AI
Autonomous driving
Quantum
Cloud/Edge
AR/VR
6G/7G
Industry 5.0
IoT
Industry 4.0
1st Wave
2nd Wave
3rd Wave

半導体前工程製造装置 (WFE*) 市場



* WFE (Wafer Fab Equipment)：半導体前工程製造装置。半導体製造工程には、ウェーハ状態で回路形成・検査をする前工程と、そのウェーハをチップごとに切断し、組み立て・検査をする後工程がある。半導体前工程製造装置は、この前工程で使用される製造装置。また半導体前工程製造装置は、ウェーハレベルパッケージング用の装置を含む

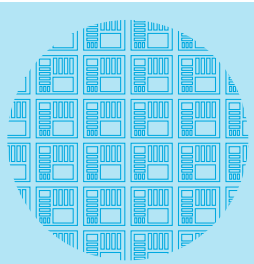
Source : TechInsights Inc. (1985~2025)

デジタル化の一層の進展とさらなる半導体の進化で 製造装置市場は一段と成長

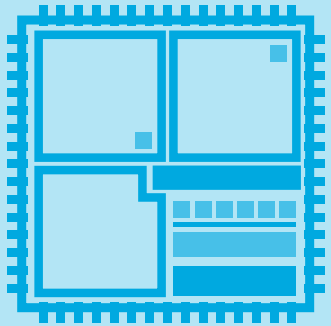
Green Future Through Semiconductor Evolution

Digital & Green

- Higher Speed
- Larger Capacity
- Superior Reliability
- Lower Power Consumption



Physical Scaling



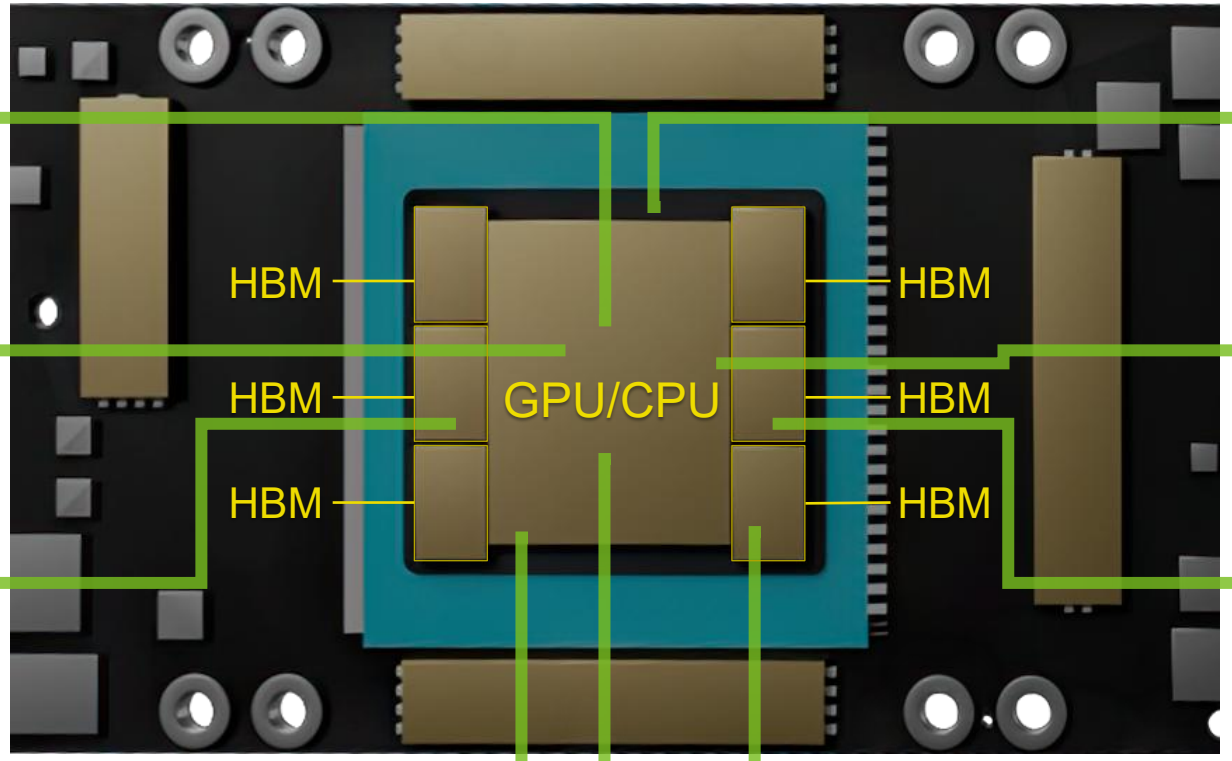
Heterogeneous Integration

Source: TEL

Physical Scaling x Heterogeneous Integration

Frontend		Advanced Packaging
Logic GAA * / CFET		**Heat Spreader**
Logic Backside PDN *		**3DIC** Chiplet Integration
DRAM 4F² VCT * / 3D DRAM		**Stack Memory** HBM, etc.
Super Flat Wafer		**Known Good Die**

AI半導体



Source: TEL

* GAA : Gate All Around
* Backside PDN : Backside Power Delivery Network
* VCT : Vertical Channel Transistor

拡大する事業機会：豊富な製品ラインアップ

Frontend

Advanced Packaging

Deposition | Lithography | Etch | Cleaning | Testing | Bonding / Debonding



Batch Deposition



Semi-batch Deposition



Single Deposition



Coater/ Developer



Plasma Etch



Gas Chemical Etch



Cleaning



Prober



Wafer Bonder/ Debonder



Wafer Edge Trimming/ XLO*

*XLO: Extreme Laser Lift Off

今後の成長を見据えた注力技術

Frontend

Logic : GAA, BSPDN

- EUV Coater/Developer
- Gas Chemical Etch
- Conductor Etch
- PVD Metal Overburden
- CFET/Inner Spacer Plasma CVD for filling film
- Double-sided scrubber
- Backside/bevel cleaning
- Pattern Shaping
- Wafer Bonder
- Laser Tool

DRAM: 2D & 3D DRAM

- EUV Coater/Developer
- Capacitor Mold Etch
- Batch High-k Capacitor deposition
- PVD Metal Hardmask
- Supercritical Cleaning
- Backside/bevel Cleaning
- Wafer Bonder
- Laser Tool

NAND: Beyond 4xx

- Slit Etch
- Channel Hole Etch (Plug)
- Batch low-resistance metallization
- Batch Cleaning WL Separation
- Wafer Bonder
- Laser Tool

Advanced Packaging

Logic Packaging

- Interposer, Polyimide & PR Coater/Developer
- TDV Etch
- Batch High-k Capacitor depo
- Wafer Bonder
- Laser Tool

HBM Packaging

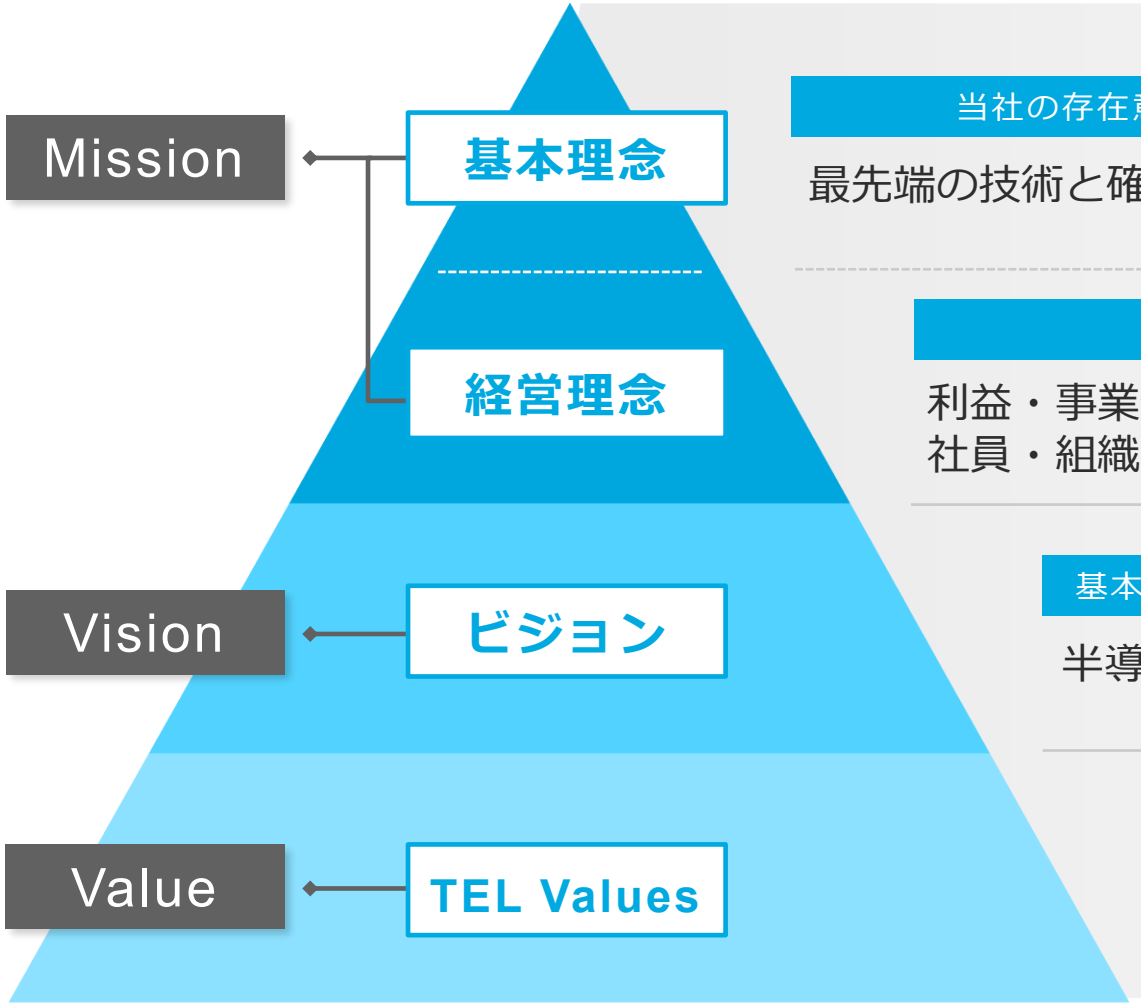
- Polyimide & PR Coater/Developer
- Metal Etch for HBM
- Aerosol Cleaning
- Temporary Bonder/Debonder

Advanced Logic / Memory Test

- Prober

3. 企業理念体系と中期経営計画

企業理念体系



当社の存在意義（Purpose）や社会的使命

最先端の技術と確かなサービスで、夢のある社会の発展に貢献します

大切にすべき経営の規範

利益・事業分野・成長・品質とサービス・
社員・組織・安全と健康と環境・企業の社会的責任

基本理念と経営理念に基づき中長期的に実現したい事業像

半導体の技術革新に貢献する夢と活力のある会社

社員一人ひとりが遵守すべき心構えや行動規範、価値観

誇り・チャレンジ・オーナーシップ・チームワーク・自覚

ビジョン

半導体の技術革新に貢献する夢と活力のある会社

東京エレクトロンは、世の中の持続的な発展を支える半導体の技術革新を追求します。

当社の専門性を生かし、付加価値の高い最先端の装置と技術サービスを継続的に創出することで、中長期的な利益の拡大と継続的な企業価値の向上を目指していきます。

そして、企業の成長は人、社員は価値創出の源泉と位置づけ、ステークホルダーとのエンゲージメントを通じて、このビジョンの実現に向けて活動してまいります。

Technology Enabling Life

Technology Enabling Lifeは
企業理念 (基本理念、経営理念、ビジョン、TEL Values) を表現したコーポレートメッセージです。

CSV
（Creating Shared Value：共有価値の創造）

企業の専門性を活用して社会課題を解決することで社会的価値と経済的価値を創出
それにより企業価値の向上と持続的な成長を実現するという考え

▶

TSV
TEL's Shared Value

=

- 世の中の持続的な発展を支える半導体の技術革新を追求
- 付加価値の高い最先端の装置と技術サービスを継続的に創出
- 中長期的な利益の拡大と継続的な企業価値の向上
- ステークホルダーとのエンゲージメント

ビジョンの実現＝TELにおける共有価値の創造

社会課題に対する当社のアプローチ

世の中の持続的な発展 / 価値観や幸せの多様化

ソリューション

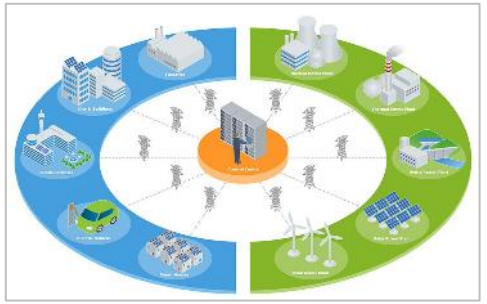
オンライン化/メタバース



AI診断/予防/ロボット



Smart化



EV/自動運転/MaaS



テクノロジー

高速通信 (5G/6G)	Cloud/Edge Computing	AI	IoT	AR/VR/MR

半導体

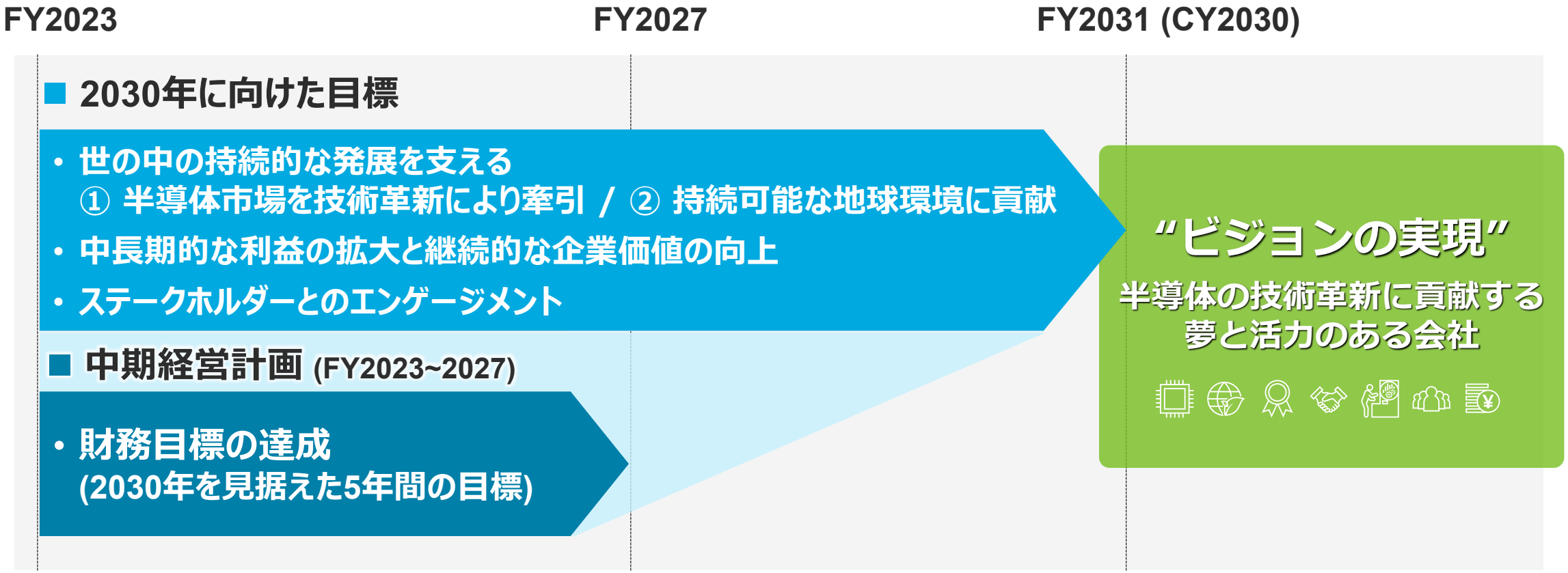
Logic	Memory	Power	Analog	Sensor	Display

半導体の技術革新の追求：大容量・高速・高信頼性・低消費電力

高精細・フレキシブル・低消費電力

Source: Licensed Image

ビジョンと中期経営計画のつながり

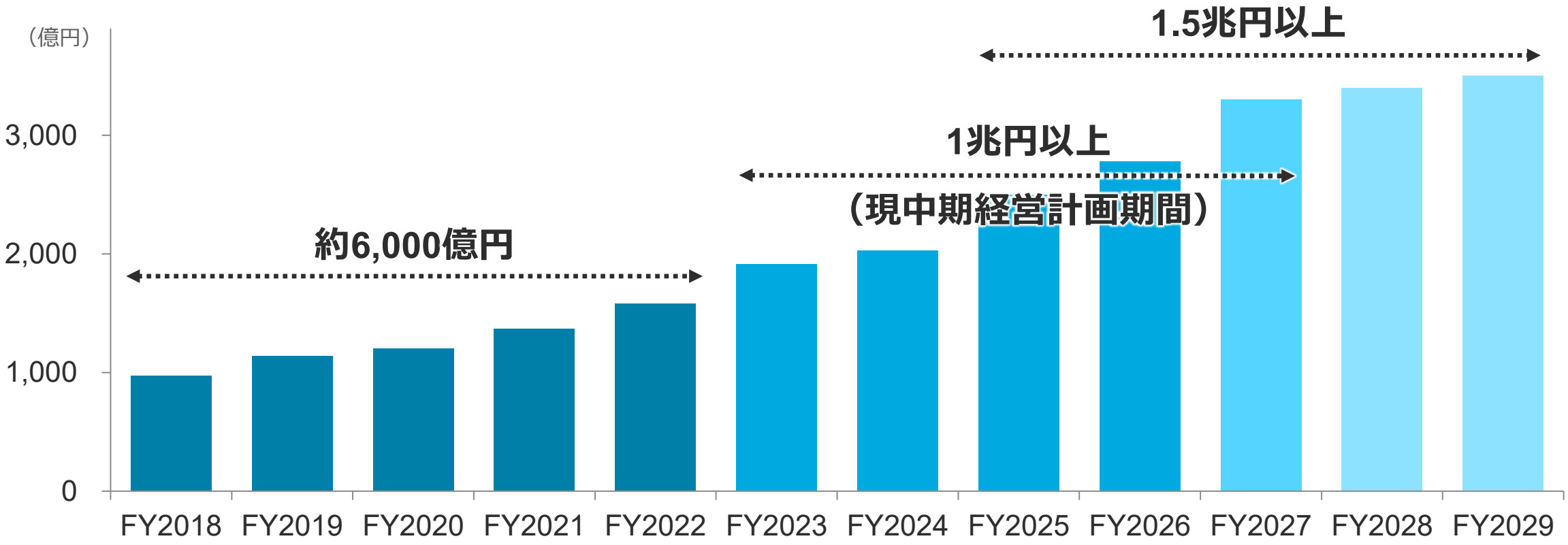


2030年でのビジョンの実現を視野に
FY2027までに中期経営計画の達成を目指す

中期経営計画 財務目標

財務目標（FY2023~FY2027）	
売上高	≥ 3兆円
営業利益率	≥ 35%
ROE	≥ 30%

積極的な研究開発投資

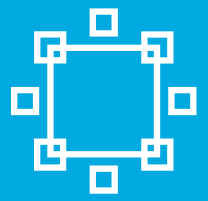


付加価値の高いnext-generation productsの創出へ
さらなる成長投資を実施

未来に向けた成長投資（FY2025～FY2029）

研究開発費

1.5兆円



設備投資

7,000億円



人材採用

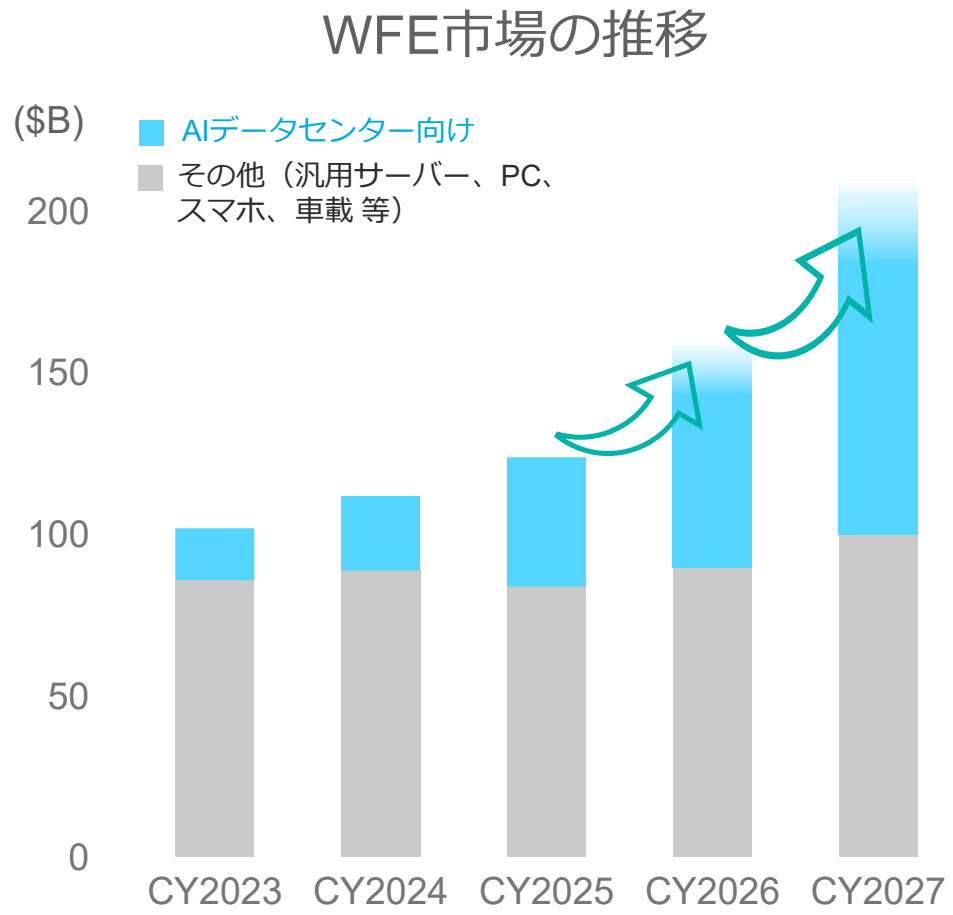
10,000人

毎年2,000人



4. 事業環境と業績予想

事業環境（2026年10月時点でのWFE市場の見方）



WFE市場の見通し

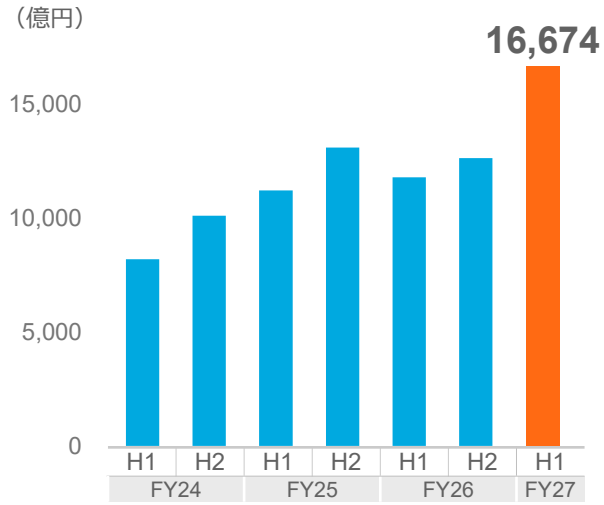
- CY2026：$160B程度
- CY2027：$210B以上
- 生成AIに加え、エージェント型AIの普及が、**先端半導体の需要拡大を加速**
  - **GPU/HBM**：演算量・データ量の増加に対応
  - **CPU**：演算の前処理やGPUへのデータ供給、周辺機器の制御などにより、必要数が増加
  - **DRAM**：CPU・GPU周辺で一時保存するデータの増加に伴い、必要容量が拡大
  - **NAND**：AIモデルや大規模データの保存により、サーバー当たりのストレージ容量が拡大

トークン量の増加・演算の複雑化が、AIインフラ全体の半導体需要を牽引

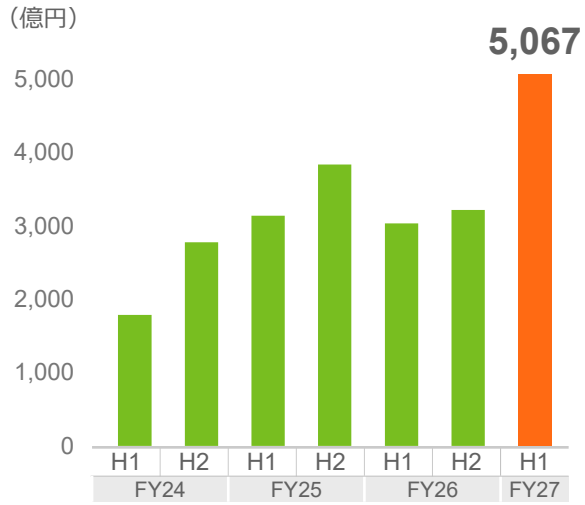
2027年3月期上期 事業概況

- 旺盛な需要を背景に、
  半期で過去最高の業績を達成

売上高 1.6兆円



営業利益 5,067億円



- 塗布現像装置・洗浄装置ビジネスユニット：
  熊本地方の震災影響に迅速に対応し、
  上期売上高は前下期比 +50%超を達成



2027年3月期上期 事業進捗・製品展開

エッチング	**DRAMキャパシタ マスク工程（コンダクタエッチング）** DRAM現行世代で広く採用されているキャパシタモールド（絶縁膜エッチング）に加え、 先端世代でマスク工程のPOR[*1]を1社で獲得 **NANDチャネルホール（絶縁膜エッチング）** 極低温エッチング装置の量産受注が順調に進捗
成膜	**コンタクトメタル（枚葉CVD）** 最先端ロジックにおける新工程の開発POR獲得に成功 **Deep Trench Capacitor High-k（バッチALD）** 先端パッケージング向けで需要拡大。今期・来期とも200台以上の出荷を見込む
プローバ	**先端ロジックシェアNo.1** 増加するテスト需要を取り込み、**前期比約60%増**の記録的な**出荷台数**を見込む **PIC**[*2]における、**光・電気統合テスト**も**量産拡大**

*1 POR: Process of Record
*2 PIC: Photonic Integrated Circuit



2027年3月期 業績予想

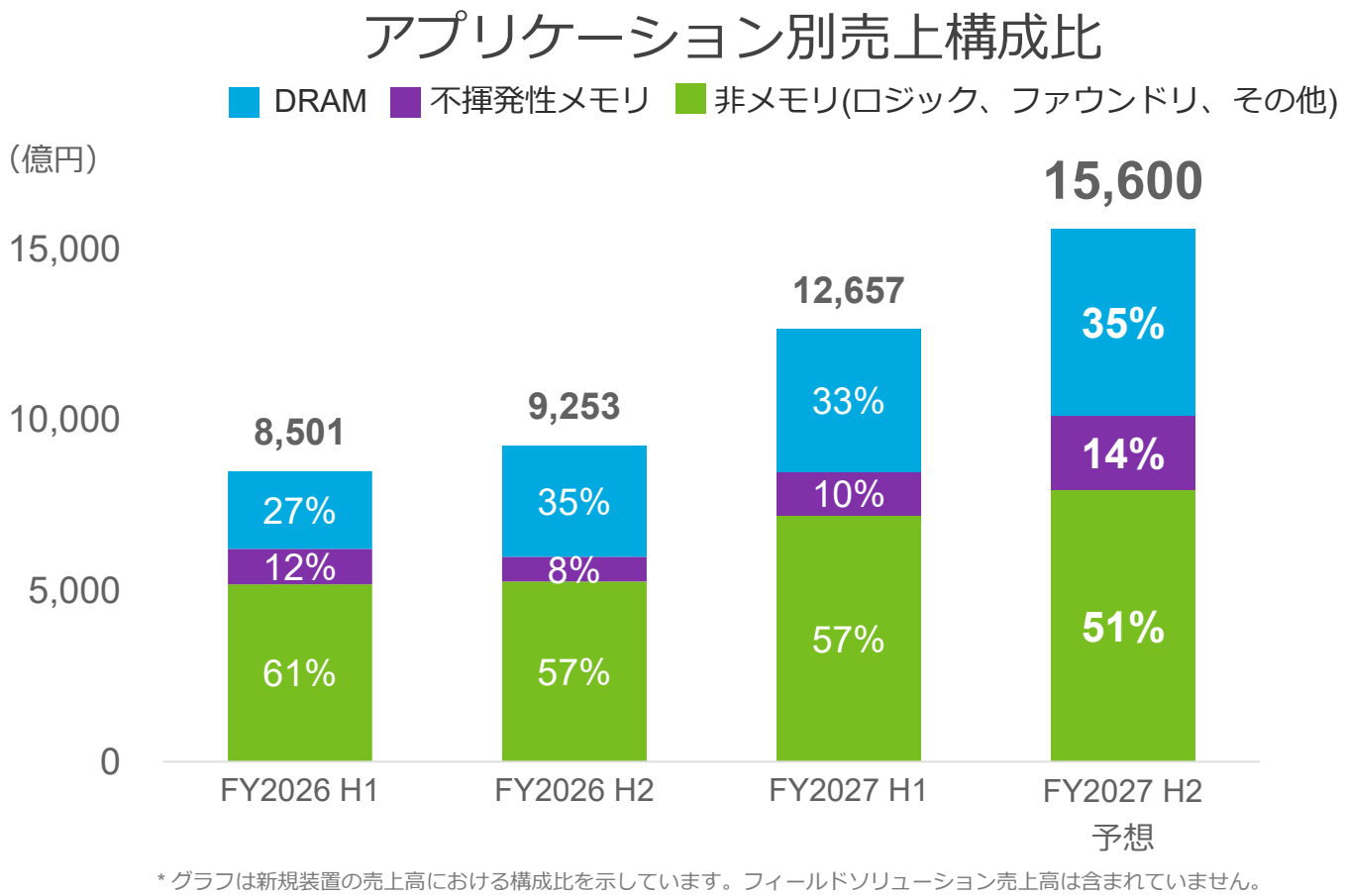
（億円）

	FY2026（実績）	FY2027			
		H1（実績）	H2（予想）	通期（予想）	vs FY2026
売上高	24,435	16,674	20,325	**37,000**	+51.4%
売上総利益	11,078	7,901	9,818	**17,720**	+59.9%
売上総利益率	45.3%	47.4%	48.3%	**47.9%**	+2.6pts
販管費	4,829	2,833	3,196	**6,030**	+24.9%
研究開発費	2,778	1,573	1,776	**3,350**	+20.6%
研究開発費以外の販管費	2,050	1,259	1,420	**2,680**	+30.7%
営業利益	6,249	5,067	6,622	**11,690**	+87.1%
営業利益率	25.6%	30.4%	32.6%	**31.6%**	+6.0pts
税金等調整前当期純利益	7,481	5,077	6,642	**11,720**	+56.6%
親会社株主に帰属する当期純利益	5,744	3,769	4,880	**8,650**	+50.6%
1株当たり当期純利益（円）	250.91	166.13		**381.69**	+130.78

- 当社は2026年10月1日を効力発生日として1株を5株に株式分割しております。
- 1株当たり当期純利益は、FY2026の期首に株式分割がおこなわれたと仮定した金額を記載しています。

FY2027通期予想は売上高・利益のすべてで過去最高を見込む

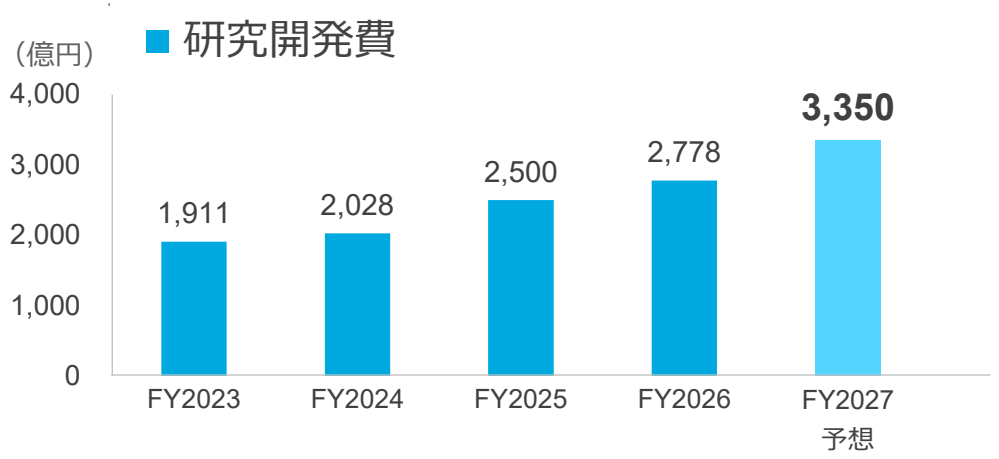
2027年3月期 SPE新規装置売上予想

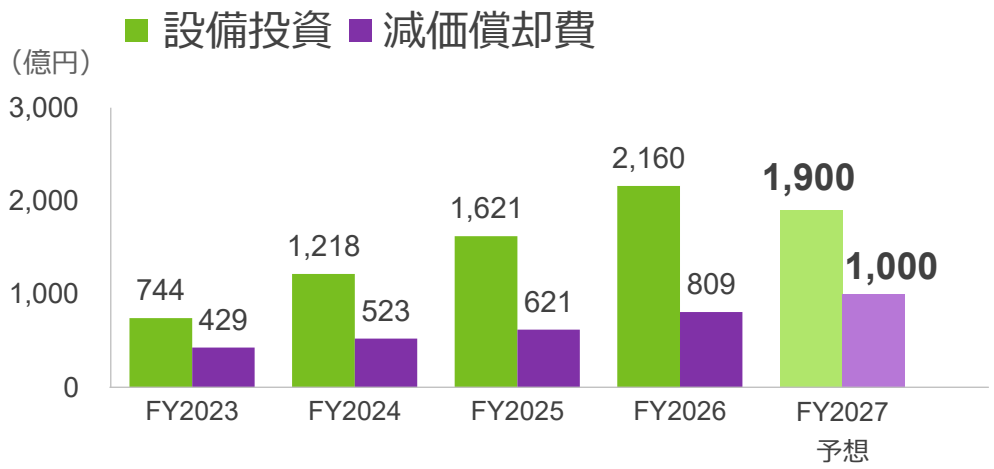


* グラフは新規装置の売上高における構成比を示しています。フィールドソリューション売上高は含まれていません。

下期のSPE新規装置売上は1兆5,600億円を見込む
FY2027通期のSPE新規装置売上は前期比 +59%成長

2027年3月期 研究開発費・設備投資計画

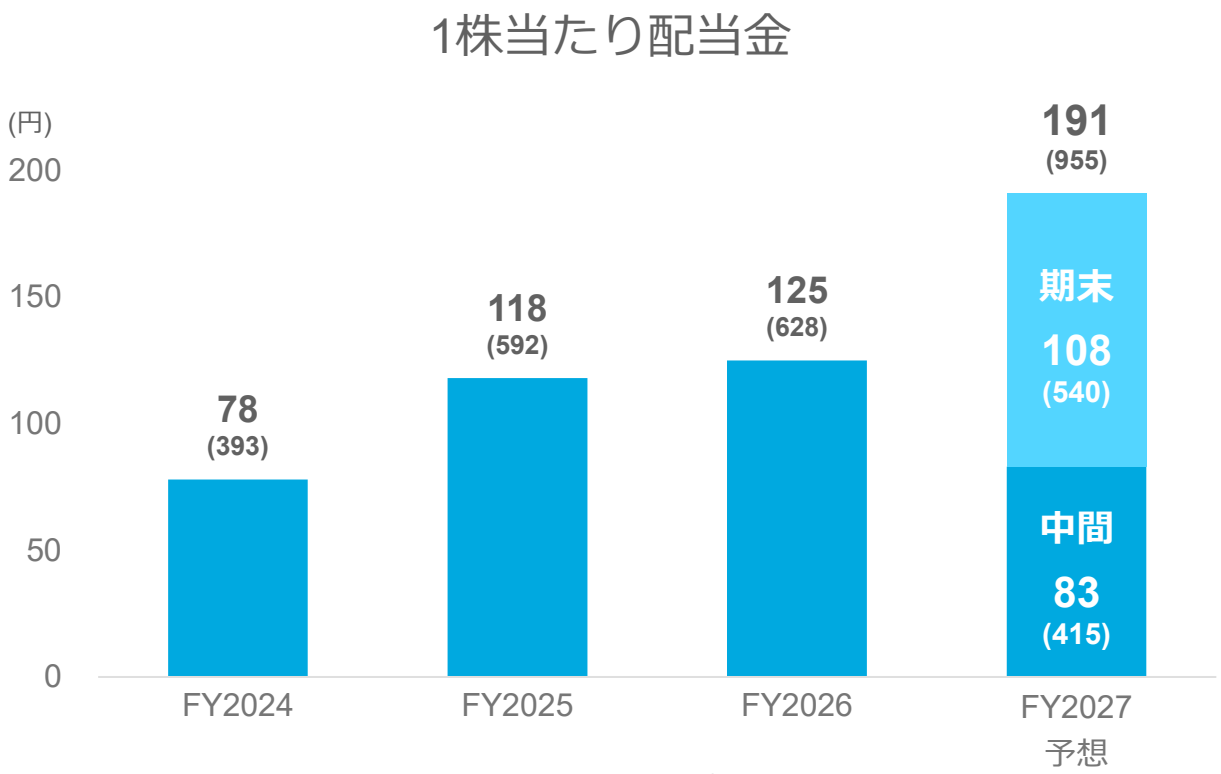






宮城県黒川郡大和町（2027年夏竣工予定）

2027年3月期 配当予想



当社の株主還元策

連結配当性向： 50%

但し、1株当たり年間配当金10円*を下回らない

2期連続して当期利益を生まなかった場合は、配当金の見直しを検討する

自己株式の取得：機動的に実施を検討

*2026年10月1日付の株式分割により、従来の50円から変更しています。

- 当社は2026年10月1日を効力発生日として1株を5株に株式分割しております。
- FY2024～2026の年間配当およびFY2027の中間配当の1株当たり配当金は、FY2024の期首に株式分割がおこなわれたと仮定した金額を記載しています。
- 株式分割を考慮しない金額を（ ）内で記載しています。

1株当たり通期配当予想は過去最高の191円

自己株式の取得について

最大1,500億円の自己株式取得枠を設定

■ 取得対象株式の種類	当社普通株式
■ 取得し得る株式の総数	2,500万株（上限） （自己株式を除く発行済株式総数に対する割合 1.1%）
■ 株式の取得価額の総額	1,500億円（上限）
■ 取得する期間	2026年11月1日～2027年3月31日

拡大する当社の事業機会とキャッシュ創出力、資本効率の向上を考慮し、
適切なバランスシート・マネジメントを実施

5. サステナビリティ

サステナビリティの取り組み

重要かつ優先的に取り組むべき14のマテリアリティ(重要分野)を特定し、
事業を通じたサステナビリティ活動を展開して産業や社会の課題解決と発展に貢献します。

SUSTAINABLE DEVELOPMENT GOALS

Respect for Human Rights
人権の尊重

Employee Engagement
従業員のエンゲージメント

Climate Change and Net Zero
気候変動とネットゼロ

Safety First Operation
安全第一のオペレーション

Product Energy Efficiency
製品の環境性能

Quality Management
品質マネジメント

Best Products with Innovative Technology
革新的な技術をもつBest Products

Compliance
コンプライアンス

Best Technical Service with High Added Value
付加価値の高いBest Technical Service

Ethical Behavior
高い倫理観に基づく行動

Customer Satisfaction and Trust
顧客満足と信頼

Information Security
情報セキュリティ

Supplier Relationship
サプライヤーリレーションシップ

Enterprise Risk Management
エンタープライズリスクマネジメント

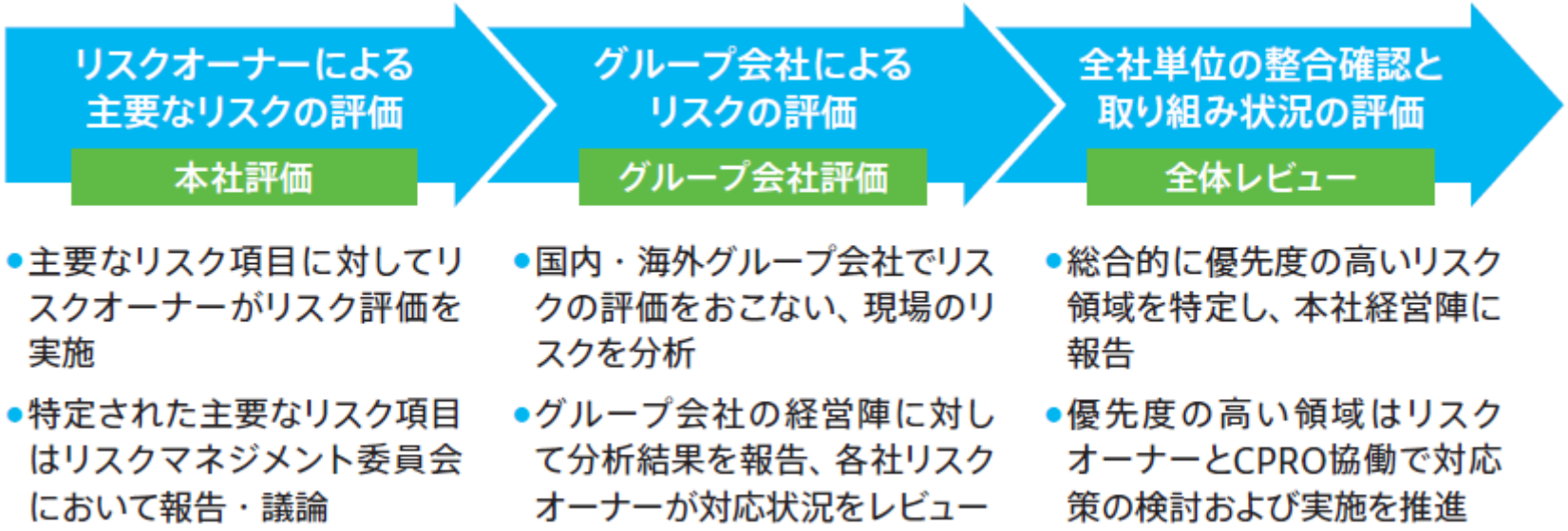


Source: TEL

リスクマネジメント

リスクマネジメントの体制と実行

- グループ全体としてより実効的な活動を推進するため、コーポレートリスクマネジメント推進室（CPRO）を本社のコーポレート企画本部に設置。エンタープライズ・リスクマネジメント*をさらに推進
- 当社グループにおけるリスクマネジメントに関する活動については定期的に監査役および取締役会に報告。また、取締役会による監督に加え、当社グループはRBAが認定する第三者機関による VAP(Validated Assessment Program) 監査を定期的に受審



Source: TEL

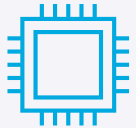
* エンタープライズ・リスクマネジメント：リスクマネジメント活動に関する全社的な仕組みやプロセス
URL： https://www.tel.co.jp/about/riskmanagement/index.html

環境へのアプローチ

E-COMPASS

Environmental Co-Creation by Material, Process and Subcomponent Solutions

半導体	製造装置	事業活動
デバイスの高性能化と低消費電力化	装置のプロセス性能と環境性能の両立	事業活動全体におけるCO_2排出量削減







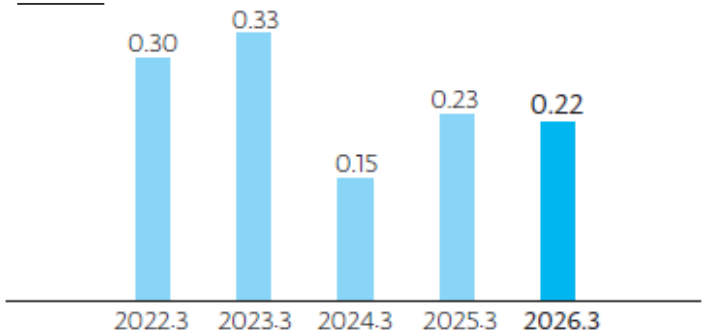
サプライチェーン全体で半導体の技術革新と環境負荷低減を推進

安全・品質

安全

当社では「Safety First」のスローガンのもと、開発・製造・輸送・据付・メンテナンスなどの各種業務遂行において、トップマネジメントから現場担当者まで、全ての人が安全と健康を最優先とし、安全性向上および健康推進に向けて、積極的かつ継続的な改善に努めています。

TCIR



TCIR: Total Case Incident Rate（労働時間20万時間当たりの人身事故発生率）

安全に関する目標
(~FY2027)
TCIR ≦ 0.1

事故防止への取り組み
- 体感教育とVR（Virtual Reality）
- 安全総点検
- 安全使用のフィードバック
- お取引様に対する安全活動



Source: TEL

2026年3月期は、安全キャンペーンの実施による安全意識の向上や装置安全設計に関する継続的な取り組みなどにより、0.22を達成。「Safety First」をスローガンに、中期経営計画の目標である0.10未満に向けたさまざまな活動を実施

品質

当社は、提供する製品およびサービスが高い品質であることを目指します。それは開発に始まり製造・据付・保守すべての工程を含む、また営業活動の顧客対応業務も品質とみなします。わたしたちは、お客さまの成功を支える高品質の製品とサービスおよび革新的なソリューションを提供し続けます。

品質方針

1　「品質優先」
2　フロントローディングと自工程保証
3　品質と信頼
4　継続的改善活動
5 ステークホルダーとのコミュニケーション

行動規範としての
TEL Values



エンゲージメント



キャリア



企業の成長は人
社員は価値創出の源泉

リテンション



ワークライフバランス



ダイバーシティ
エクイティ&インクルージョン



3G
Global・Generation・Gender

人権への取り組み

人権に関する5つの重要項目（東京エレクトロングループ人権方針）

- 自由・平等・非差別
- 雇用の自主性
- 製品安全と職場の安全衛生
- 結社の自由
- 適切な労働時間と休憩・休日・休暇の確保

人権デューデリジェンス



コミットメント
Commitment

人権尊重のコミットメント

- 「東京エレクトロングループ人権方針」改定
- 周知と徹底
- 教育



評価
Assessment

事業およびサプライチェーン上の人権リスクの評価

- 人権リスクアセスメント
- 人権インパクトアセスメント



是正
Remediation

評価の結果に基づくリスク軽減に向けた行動

- フィートバックシートの発行
- 課題に応じたプログラムの構築とレビュー



報告
Report

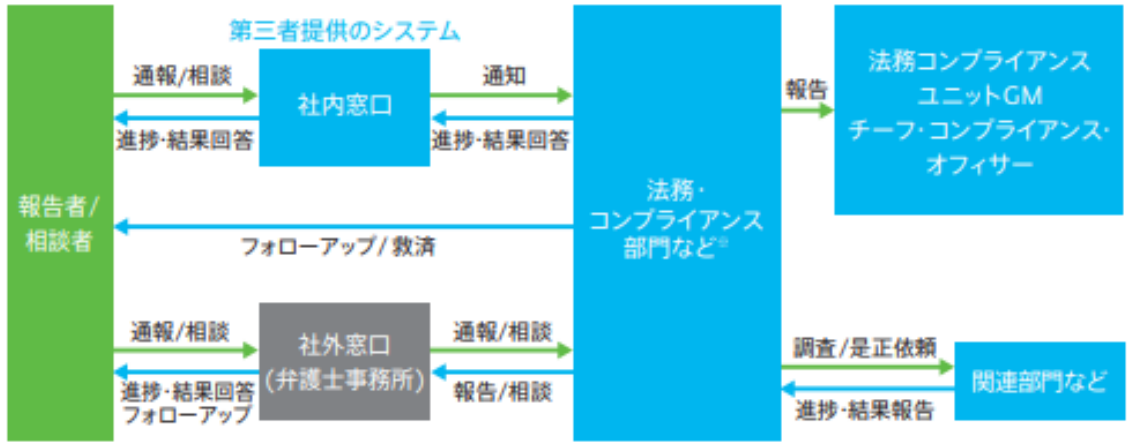
定期的な情報の開示

- 統合報告書の発行
- ウェブサイトへ掲載

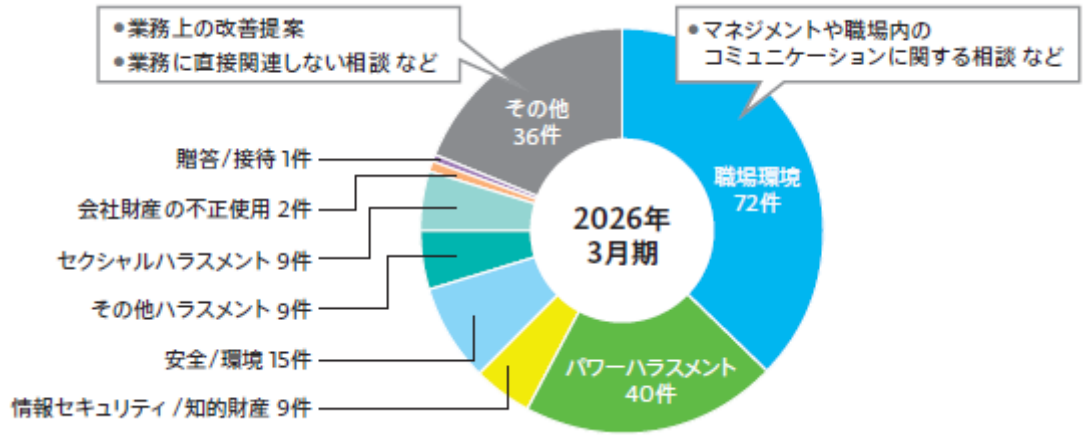
内部通報制度

当社は、従業員が安心、安全に職制以外のルートで情報提供および救済を求められるよう、法令または企業倫理に反する行為もしくはその可能性のある行為について通報・相談できる内部通報制度を確立

グローバル内部通報の対応基本フロー



※ 会社から指定された通報対応従事者



人権を尊重し、真摯な姿勢で対応

Source: TEL

サプライチェーンマネジメント

- 調達方針

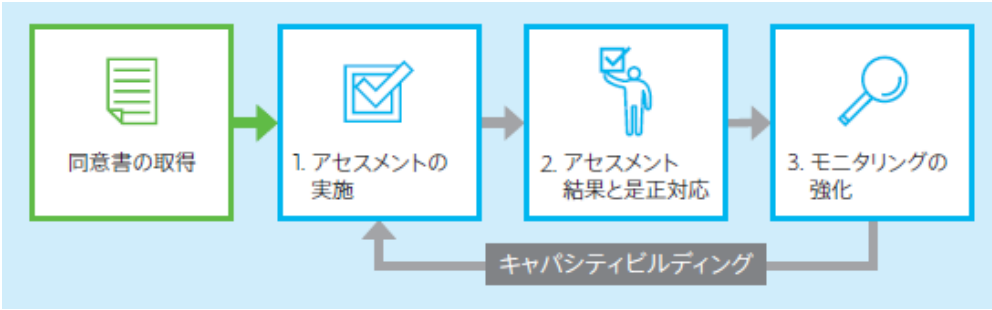
  健全で持続可能なサプライチェーンを構築するため、お取引先さまとともに
  調達方針に基づいた活動を実施

- サプライチェーンに関する取り組み
  - 地政学リスクなど、各種リスクに対応するために安定調達、リスク部品管理を強化
  - サプライチェーンの可視化の推進

- お取引先さまとのコミュニケーション
  - TELパートナーズデイをはじめとしたコミュニケーション機会の創出
  - パートナーシップ構築宣言の公表

- サプライチェーンにおけるRBAの取り組み
  - RBA同意書の取得
  - TELサプライチェーンサステナビリティアセスメント（TSSA）の実施と是正対応





サプライチェーン全体でサステナビリティを意識したオペレーションを追求

RBAの展開

- 2015年6月　RBA（Responsible Business Alliance）に加盟

  RBA：エレクトロニクス業界を中心としたサプライチェーンサステナビリティを推進する国際的なイニシアティブ

- 「RBA行動規範」遵守にむけた取り組みを自社・サプライチェーン全体で展開

  RBA行動規範：労働・安全衛生・環境・倫理・マネジメントシステムで構成

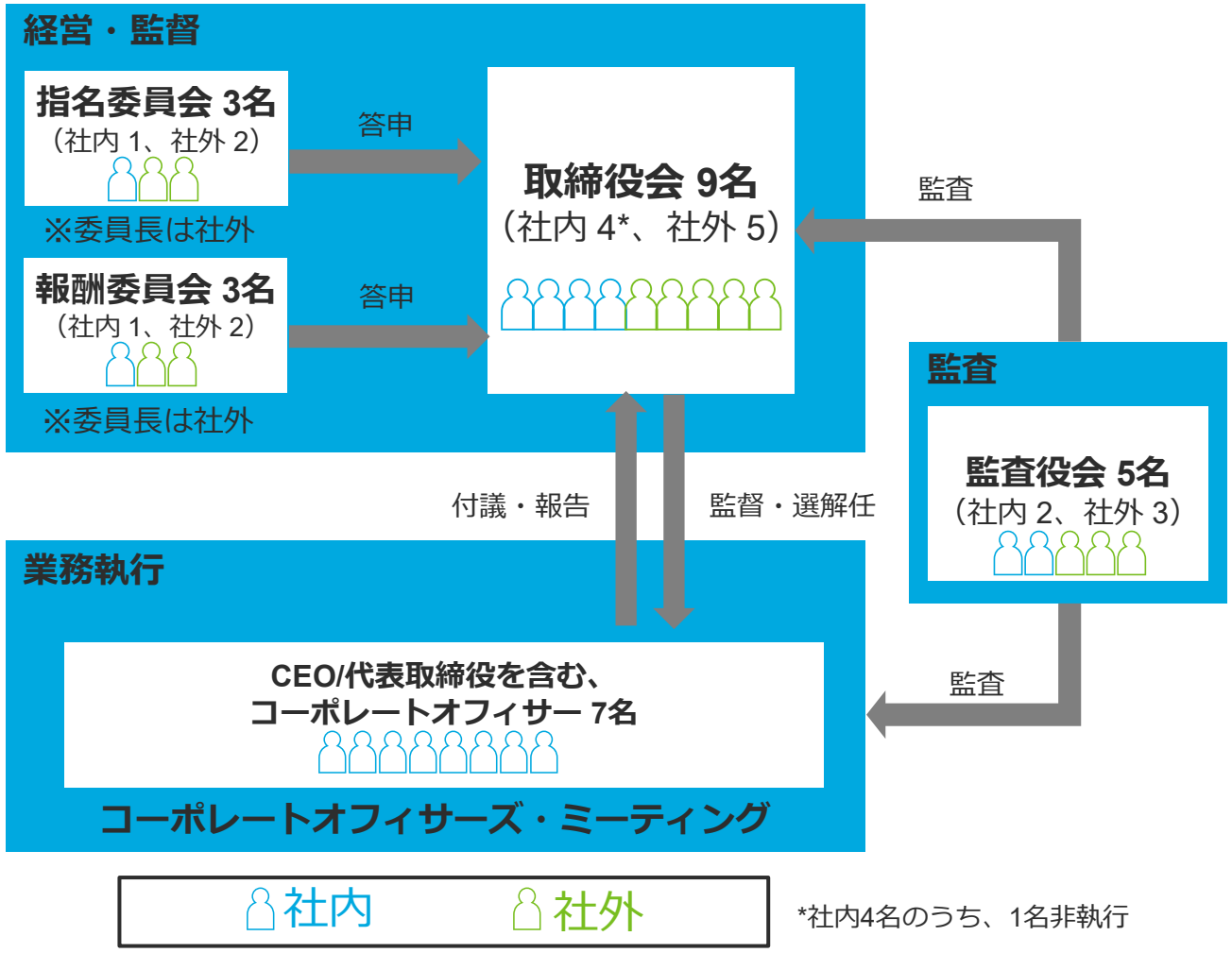
- TELグループの主要製造拠点でRBAの第三者監査 (RBA VAP) を継続的に受審

会社名	事業所	スコア・ステータス
東京エレクトロン テクノロジーソリューションズ	本社・穂坂	200点・プラチナ*
	東北	200点・プラチナ
東京エレクトロン九州	本社	200点・プラチナ
東京エレクトロン宮城	本社	200点・プラチナ

*プラチナ: 200点満点、ゴールド:180～199点、シルバー: 160～179点、それ以下は認定対象外

コーポレート・ガバナンス体制（監査役会設置会社）

＜体制図一部抜粋＞



*社内4名のうち、1名非執行

超VUCA時代

↓

半導体市場の急速な成長

↓

「経営・監督」、「業務執行」の両方で
判断のクオリティとスピードを
上げることが必要

↓

３つの機能の強化・最適化

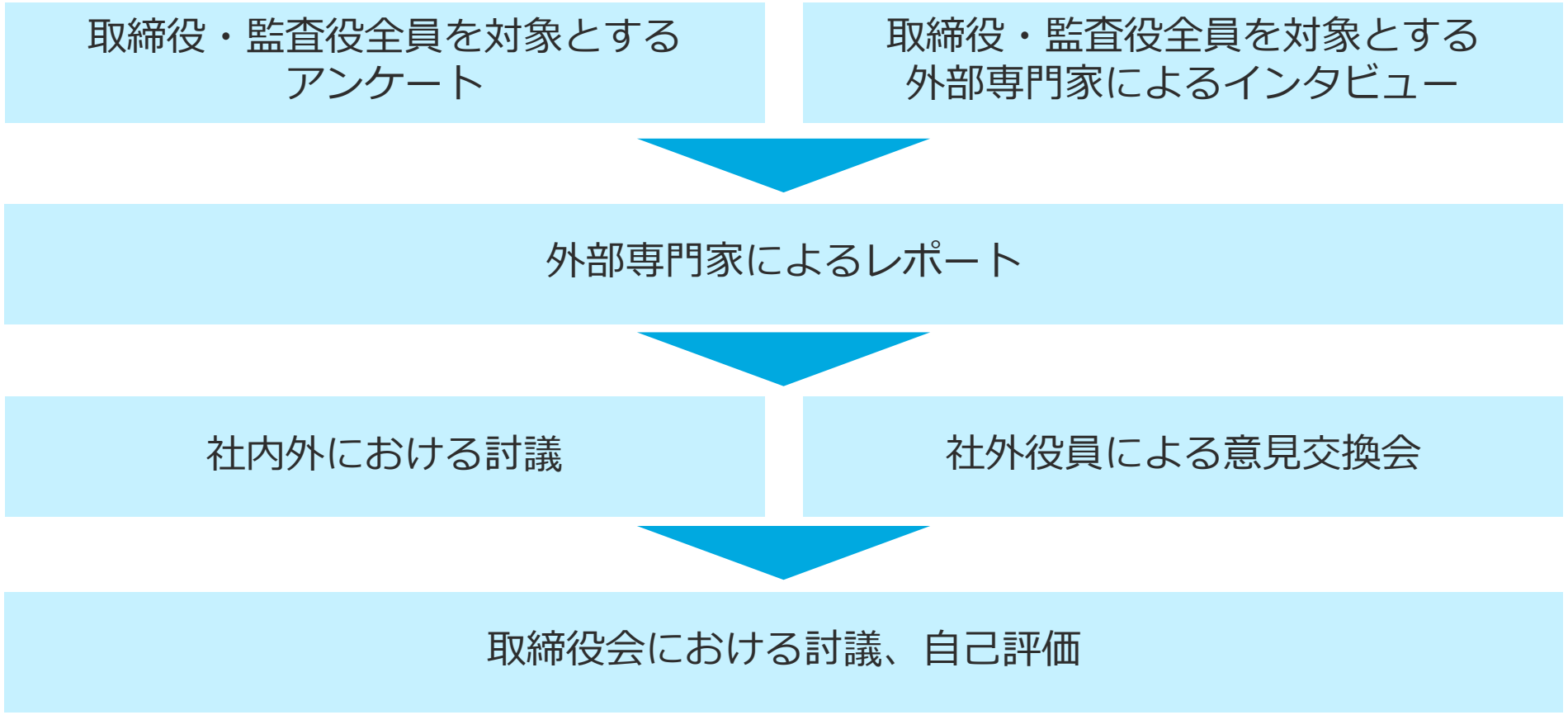
①中長期の成長戦略の深い議論
②業務の監督機能の強化
③業務執行上の意思決定

「攻めの経営」
を加速

短期～長期に渡る利益の拡大

継続的な企業価値の向上

取締役会の実効性評価



社内および外部専門家が分析し、取締役会の実効性を評価

グローバル・イニシアティブ

SDGs(持続可能な開発目標)

事業を通じた取り組みをマテリアリティごとに明確にし、グループ全体に展開



Source:国際連合広報センター（https://www.unic.or.jp/）

東京エレクトロンはSDGsを支援しています

国際的なイニシアティブへの参画

国連グローバル・コンパクトに署名、Responsible Business Alliance (RBA)に参画、SBTiに認定

WE SUPPORT UN GLOBAL COMPACT

Source: https://unglobalcompact.org/

Responsible Business Alliance
Affiliate Member

Source: https://www.responsiblebusiness.org/

SCIENCE BASED TARGETS
DRIVING AMBITIOUS CORPORATE CLIMATE ACTION

Source: https://sciencebasedtargets.org/

当社のESGに関する外部評価

Source:
・国際連合広報センター（https://www.unic.or.jp/）

世界各国の評価機関より高い評価を獲得

Dow Jones Best-in-Class Asia Pacific Index

FTSE4Good

Source:
https://www.lseg.com/en/ftse-russell/indices/ftse4good

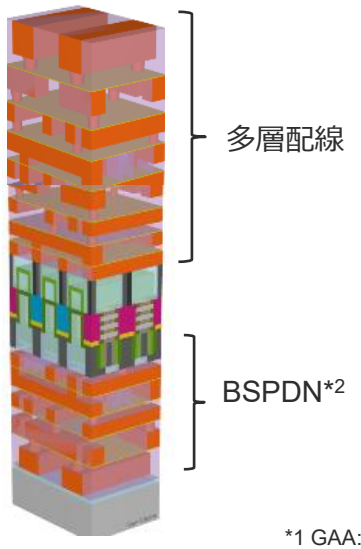
MSCI
Selection Indexes Constituents
2025

Source: https://www.msci.com/indexes/group/selection-indexes
東京エレクトロン株式会社のMSCI指数への組み入れ、およびMSCIのロゴ、商標、サービスマークまたは指数名の使用は、MSCIまたはその関係者による東京エレクトロン株式会社の後援、推薦またはプロモーションではありません。MSCI指数はMSCIの独占的財産です。MSCI指数の名前およびロゴはMSCIまたはその関係会社の商標またはサービスマークです。

6. 多様化する半導体技術 ～技術ロードマップ～

半導体デバイス：開発の方向

Logic



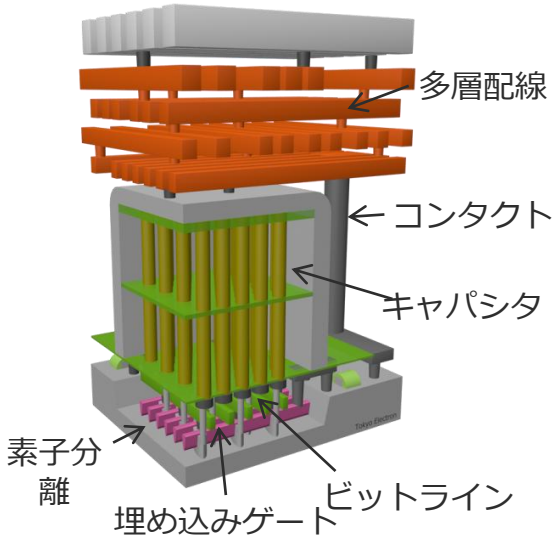

GAA*1 / Nanosheet


CFET

*1 GAA: Gate All Around
*2 BSPDN: Backside Power Delivery Network

構造変化を伴う微細化による
- トランジスタ当たりのコスト低減
- 低消費電力化
- 高速化

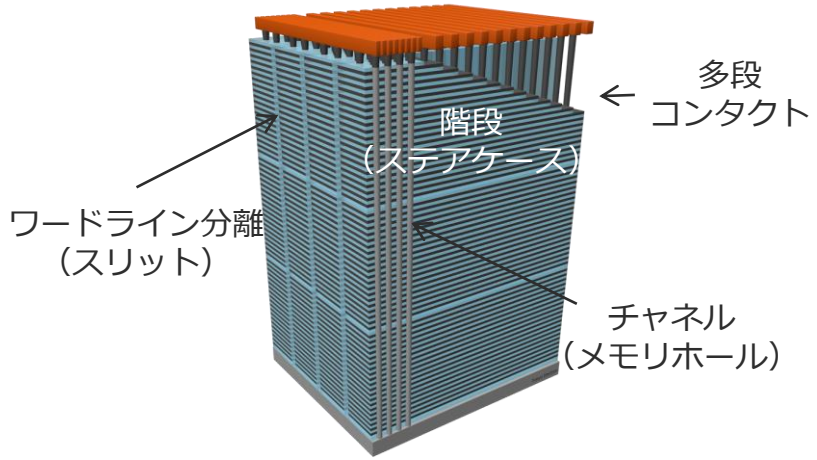
DRAM



微細化による
- ビット当たりのコスト低減
- 低消費電力化
- 高速化

新構造による
- ビット当たりのコスト低減

NAND



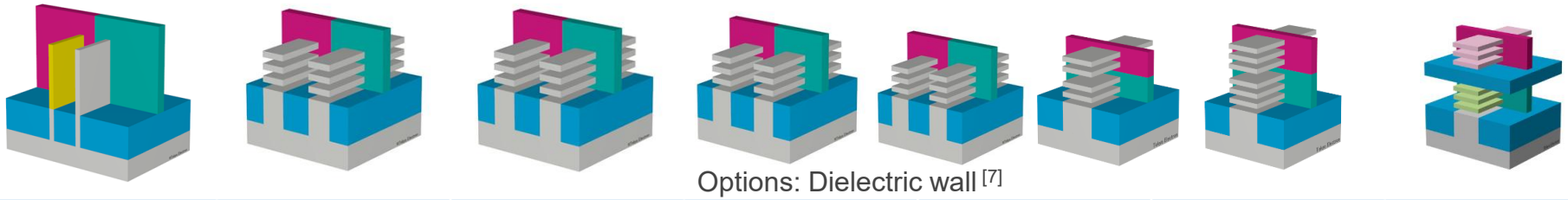
高積層化による
- ビット当たりのコスト低減

Logic技術ロードマップ(Generic)

[1] Chih-Hao Chang (TSMC) et al., IEDM 2022
[2] Shien-Yang Wu (TSMC) et al., IEDM 2022
[3] Geoffrey Yeap (TSMC) et al., IEDM 2024
[4] Kevin Fischer (intel) et al., Symp. VLSI 2025
[5] Geoffrey Yeap (TSMC) et al., Symp. VLSI 2026
[6] Sandy Liao (TSMC) et al., IEDM 2024
[7] Mertens and Horiguchi (imec), EDTM 2024

Source: TEL estimates

Year of HVM (20k/month)	2022~24	2025~2027	2028~29	2030~31	2032~33	2034~35	2036~37	2038~39
Node	3nm	2nm/18A/16A	14A/12A	10A	7A	5A	3A	2A
Transistor	2~1 Fin	GAA NS	GAA NS scaling	GAA NS extension	NS or CFET	CFET	CFET extension	2D material stack
Poly Pitch [nm]	48~45 [1]		45~42		48 [6] ~39	45~39		36
Min. Metal Pitch [nm]	23 [2]		20	18	18~16	16	14	12
Interconnect booster	Cu Barrier/Seed CIP Backside PDN (HPC) [4,5]			Cu CIP or Ru subtractive	Ru subtractive AR>3, Airgap	New alloy AR>5, Airgap, BEOL Transistor (OS*5, 2D material)		
EUV Patterning Technology	EUV MP*1, SE*2			EUV MP, SE High-NA SE		High-NA MP, SE EUV MP, SE		
Resist	CAR*3			CAR (+MOR*4)	CAR+MOR			



*1 MP: Multi-Patterning, *2 SE: Single-Exposure, *3 CAR: Chemically Amplified Resist, *4 MOR: Metal Oxide Resist, *5 OS: Oxide Semiconductor

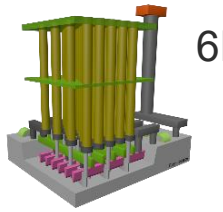
Logicの微細化は、トランジスタの構造と材料を変えながら続いていく

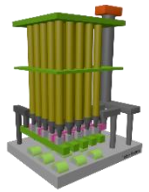
DRAM 技術ロードマップ(Generic)

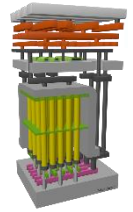
[1] S. Park (Samsung) et al., IEDM 2023
[2] D. Ha (Samsung) et al., IEDM 2023
[3] J. Park (SK hynix) et al., VLSI 2025
[4] K. Lee (Samsung) et al., VLSI 2024
[5] D. Biswas (imec) IMW26
[6] D. Ha (Samsung) et al., VLSI 2023
[7] J. Park(SK hynix) et al., VLSI 2024
[8] V. Tuong Pham et al., SPIE2026
[9] A. C. Marwitz et al., SPIE2026
[10] S. Kawakami (TEL Kyushu Ltd.) et al., SPIE 2022

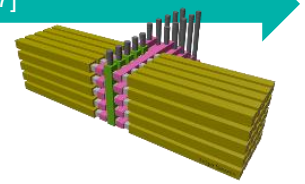
Source: TEL estimates

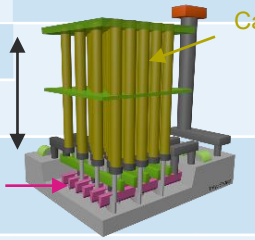
Year of HVM (20k/month)	2025	2026	2027	2028	2029	2030	2031	2032	2033	2034	2035	2036
Node	1c		1d		0a	0b		0c	0d		0e	
Cell layout / Structure	$6F^2$			$4F^2$ VCT		$4F^2$ VCT[1,2,3] or $6F^2$ + Peri Bonding[4,5]			3D DRAM[6,7]			
F [nm]	12~11		10	($6F^2$)	9				(3D ~1xxL)		(3D >1yyL)	
				(VCT)	15	13.5		12				
Capacitor pitch [nm]	36~33		30	($6F^2$)	27							
				(VCT)	30	27		24				
Capacitor aspect ratio	40		>40		>40	>40		>50				
EUV Patterning	EUV MP,SE						EUV MP, SE, / hNA in R&D[8,9]				(No EUV for 3D DRAM)	
Resist	CAR + MOR[10]										CAR	
Word line	TiN			Low resistance metal								
Peri. CMOS	Gate First HKMG					w/ Bonding		Gate last Planer MOS or FinFET				
HBM		HBM4		HBM4E		HBM5	HBM5E	HBM6	HBM6E	HBM7	HBM7E	







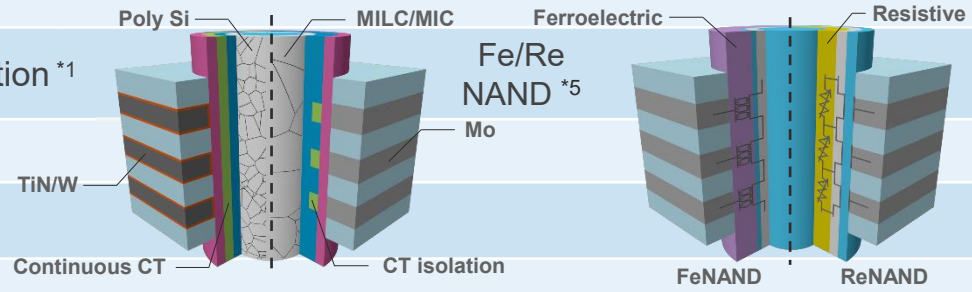


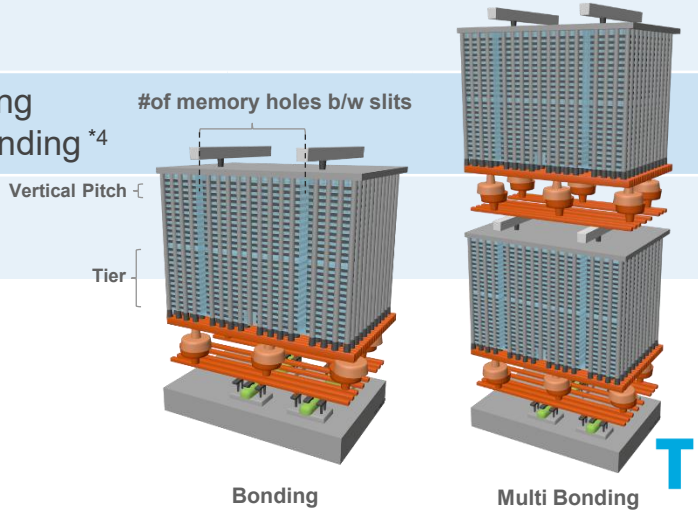


NAND 技術ロードマップ(Generic)

Source: TEL estimates

Year of HVM (20k/month)	2025	2026	2027	2028	2029	2030	2031	2032	2033	2034	2035	2036
Stack (~1.3x/1.5years)	3xxL	4xxL		5xxL		6xxL	8xxL	*1xxxL		*1yyyL	*1zzzL	
Tier	2 or 3	3		3 or 4		3 or 4	4 - 6					
Min vertical pitch	40 nm	39 nm		38 nm		37 nm	36 nm			~ 30 nm		
Max memory height	14 μm	19 μm		25 μm			40 μm	> 60 μm				
Charge trap (CT)	Continuous CT						CT isolation *1					
Channel	Poly Si grain CIP			MILC *2/MIC *3								
WL metal	W or Mo			Mo								
WL contact	Stair or Stairless					Stairless						
Layout/Structure	Under array or Bonding	Bonding					Bonding or Multi Bonding *4					
Peri. CMOS	Poly Si Gate			HKMG								

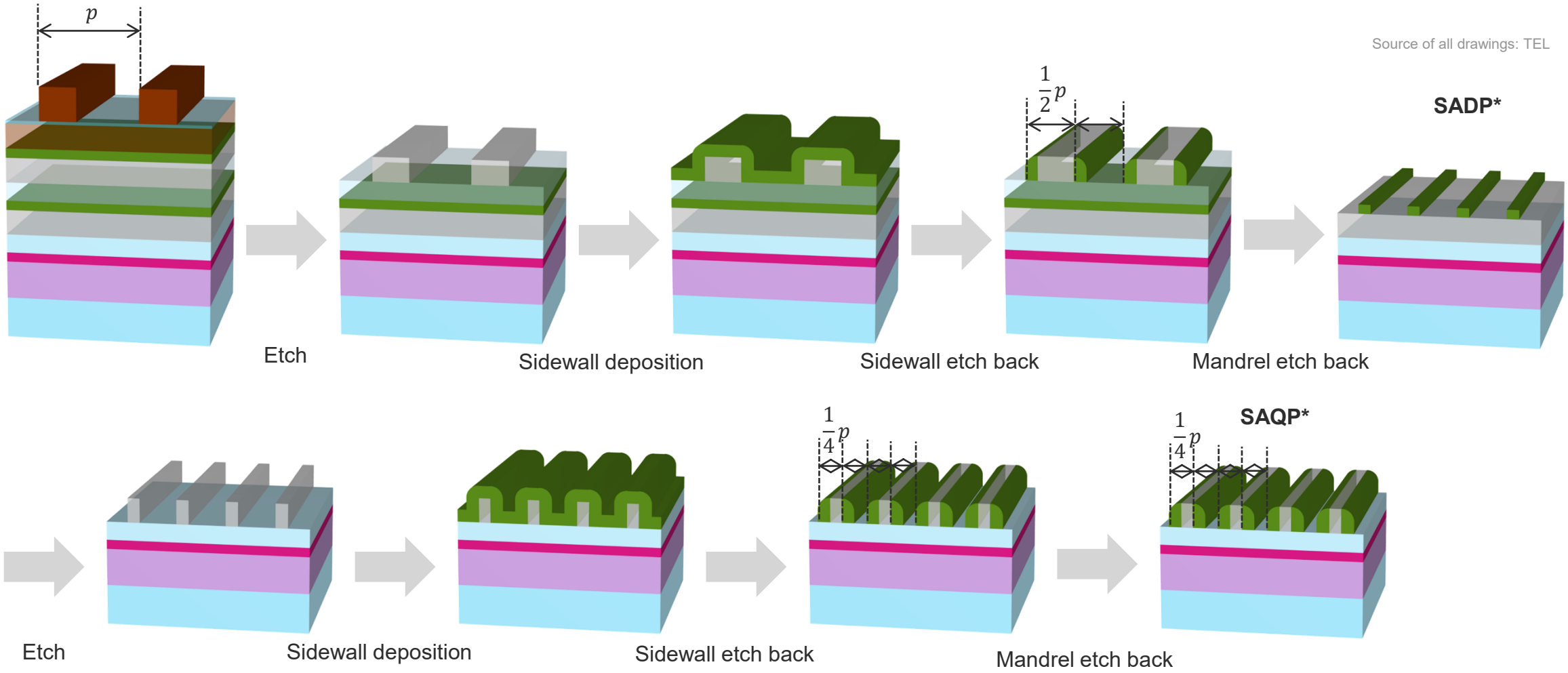




* Trend Extrapolation
[1] Sang-wan Jin (SK hynix) et al., IEDM 2025
[2] Metal Induced Lateral Crystallization
[3] Metal Induced Crystallization
[4] Mitsuhiko Noda (KIOXIA) et al., VLSI 2026
[5] Jeehoon Han (Samsung) et al., IEDM 2023

Source of all drawings: TEL

リソグラフィを補完するパターニング技術：SADP/SAQP

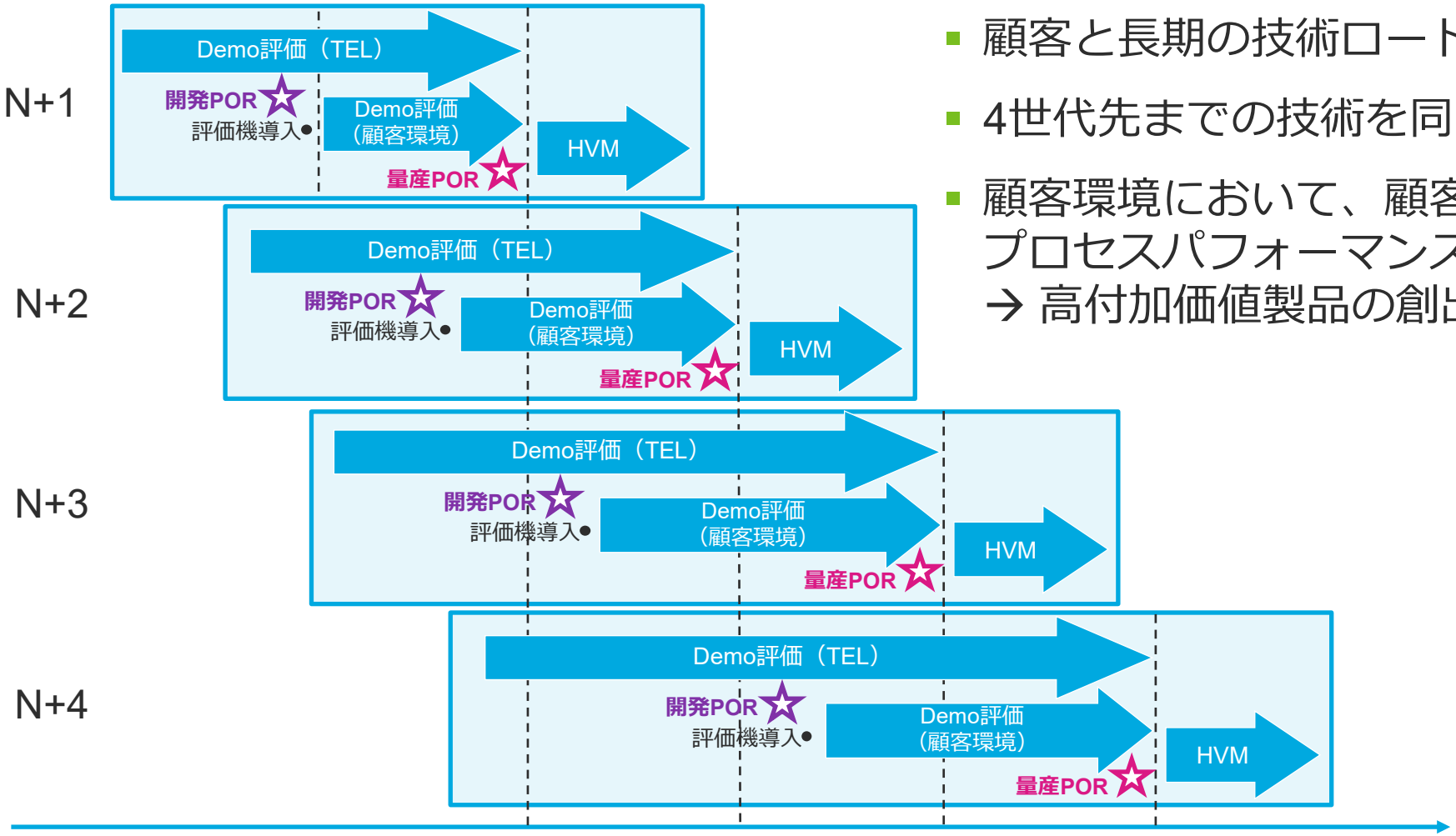


SADP: Self-aligned double patterning
SAQP: Self-aligned quadruple patterning

7. 新規装置事業の取り組み

開発の取り組み

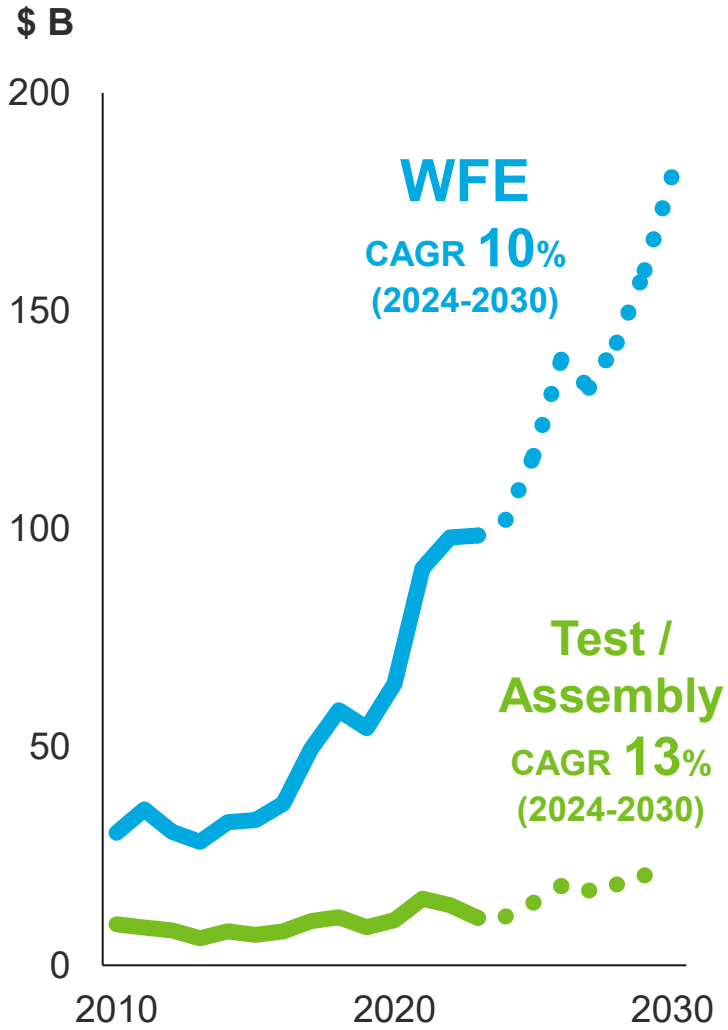
4世代同時開発



- 顧客と長期の技術ロードマップ・アライメント
- 4世代先までの技術を同時に開発、評価
- 顧客環境において、顧客の評価ウェーハ上でプロセスパフォーマンスを早期に実証
  → 高付加価値製品の創出およびPOR獲得

前工程における当社の成長機会

2025年2月IR Day資料



Source : TechInsights

- AI関連デバイスの牽引によりWFEのCAGRは引き続き高い水準で成長
- TELの強みを生かし、高い市場成長領域に対応
  - 先端ロジック：エッチングが2.7倍/成膜が2.5倍の市場成長見込む*
  - DRAM：エッチングの市場が2.3倍と、WFEのCAGRを超える成長を見込む*
- 技術変革点への対応を中心とした新製品の投入により、参入領域をさらに拡大

* TEL Estimates

前工程の技術変革点における成長機会

- Logic : GAA[*1], Backside PDN[*2], CFET
  - リソグラフィ技術でHigh-NA化、マルチパターニングとの併用、MOR化が進み、新技術Acrevia™に機会
  - マルチパターニングにより成膜、エッチング、洗浄などの工程数増加
  - GAA、CFETトランジスタによりガスケミカルエッチングの工程数増加
  - Ruなど新材料、Airgapのような構造変更も新機会となる
- DRAM：HBM, VCT[*3], 3D DRAM
  - マルチパターニング採用で成膜、エッチング工程数増加
  - キャパシタ形成の重要性継続し、エッチング、成膜に強い技術ニーズ継続
  - 3D DRAMで成膜、エッチング、ガスケミカルエッチング工程数増加
- NAND：Beyond 4xx
  - 層数増による成膜、エッチング工程の投資増加
  - 高アスペクト比エッチングがより重要に
  - 新材料、チャネルSi低抵抗化

*1 GAA: Gate All Around
*2 Backside PDN: Backside Power Delivery Network
*3 VCT: Vertical Channel Transistor

7-1. 前工程 ユニットプロセス

7-1-1. 塗布・現像装置

塗布現像装置 CLEAN TRACK™ LITHIUS Pro™ Z EUV

2012年 LITHIUS Pro™ Zリリース（累計＞3000台出荷）　EUV CAR/MOR対応新機能を順次リリース

高信頼性
EUV市場での高シェア

高生産性
EUV露光機の性能を最大限発揮、薬液消費量低減

高汎用性
化学増幅型レジスト(CAR)に加え、
メタルオキサイドレジスト(MOR)や下層膜にも対応



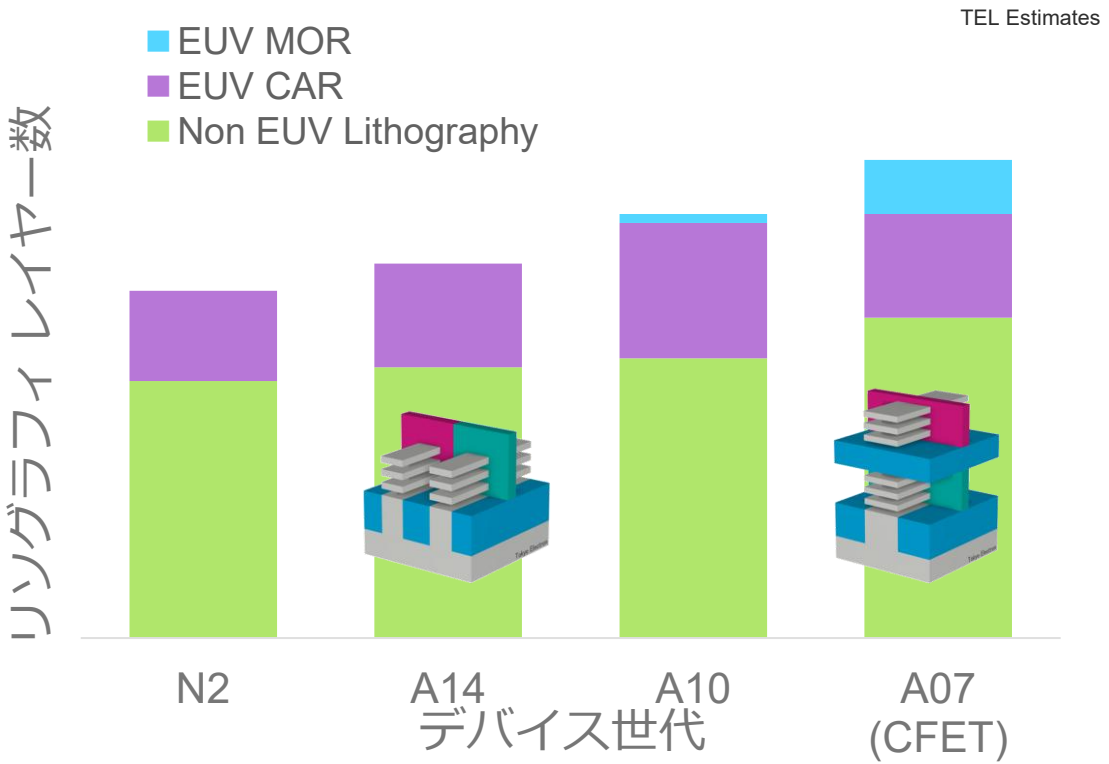
*1 CAR: Chemically Amplified Resist
*2 MOR: Metal Oxide Resist

さまざまな光源の露光機向けに長年の量産実績のあるLITHIUS Pro™ Z プラットフォームで、
EUV露光機向けにも高信頼性、高生産性を担保。次世代EUV向け高汎用性も実現

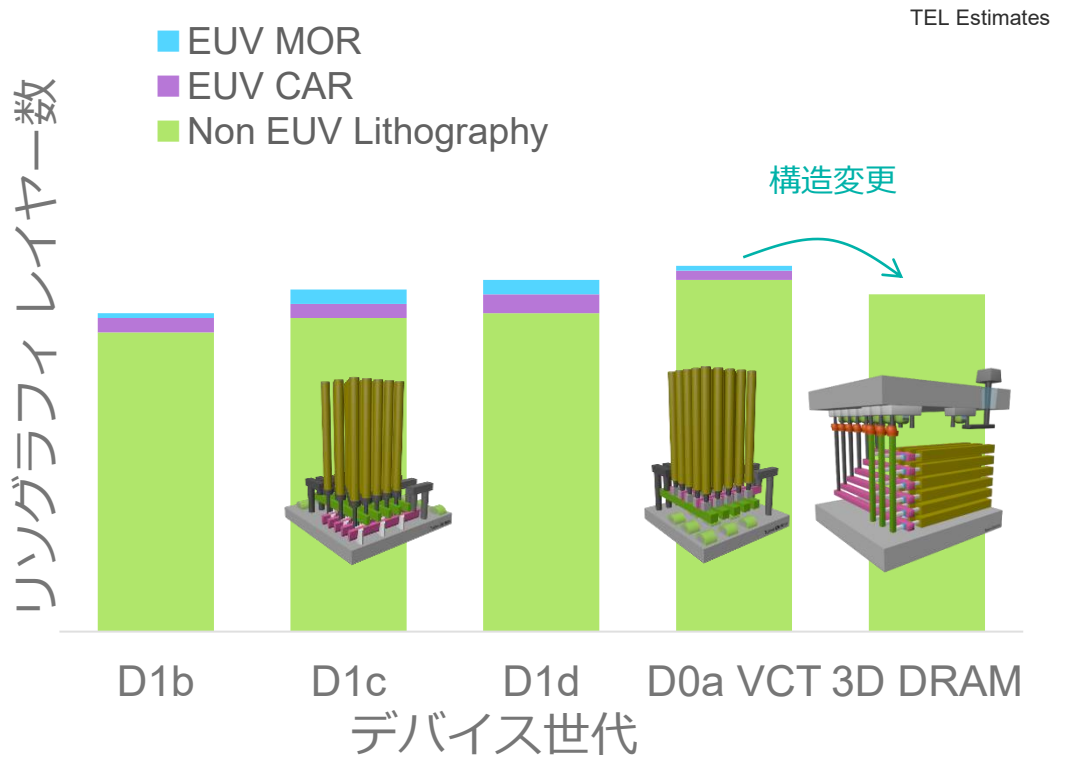
リソグラフィレイヤー数の見通し

Source of all drawings: TEL

Logic

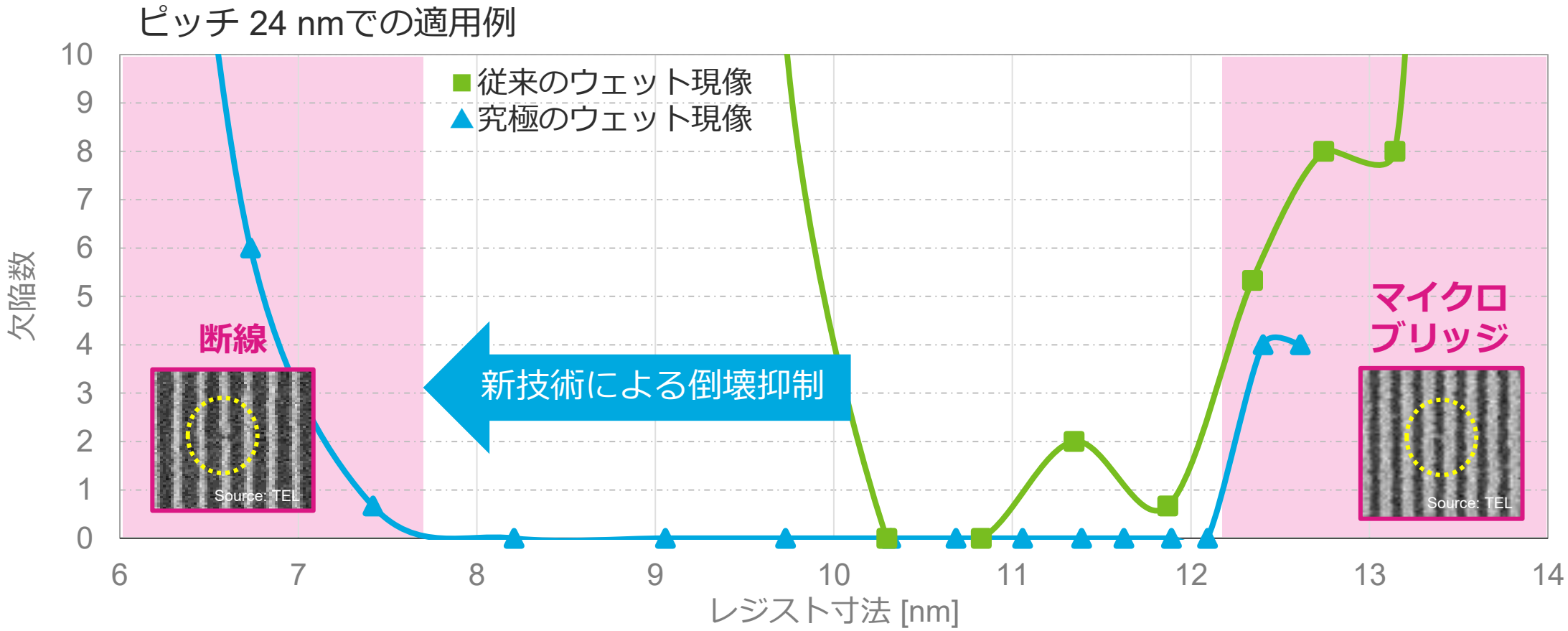


DRAM



MORは Logic 10A、DRAM D1b世代に適用見込みにつき、MOR対応技術開発中

MORソリューション：究極のウェット現像技術



究極のウェット現像技術を適用することで従来ウェット現像の課題であった
パターン倒壊の抑制を実現

MORソリューション：究極のウェット現像技術開発

*1 当社認識および開発ターゲットに基づく特徴づけ
*2 ピッチ 24 nm ライン形成時の実施例に基づく特徴づけ

	究極のウェット現像技術	従来のウェット現像技術	代替技術
ベース技術	コータ/デベロッパ	コータ/デベロッパ	エッチング装置
環境	大気	大気	減圧
反応	薬液	薬液	腐食性ガス
スループット*1	x 4	x 4	x 1
薬液使用量*1	50% (従来比)	100 %	N/A (ガス使用) 使用後は燃焼除害処理
パターン倒壊性能*1	< 8 nm*2	> 10 nm*2	< 8 nm*1
追加スペース*1	インライン組み込み可能	インライン組み込み可能	必要

量産性（スループット・フットプリント・メンテナンス性・既存設備使用）を考慮した
究極のウェット現像技術を主要顧客と評価中

Acrevia™

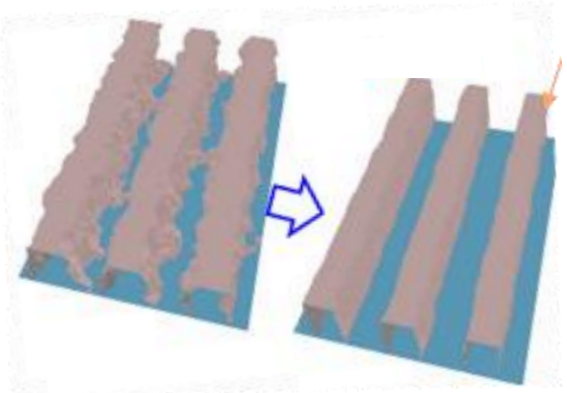
TEL独自のGas Cluster Beam (GCB) System

- ビーム入射角を自由に調整可能
- LSP（Location Specific Processing）ウェーハスキャン
  → 縦・横・高さのエッチング制御が可能

✓ 微細パターンにおけるEUV露光回数削減
EUV装置の生産性を大幅に向上

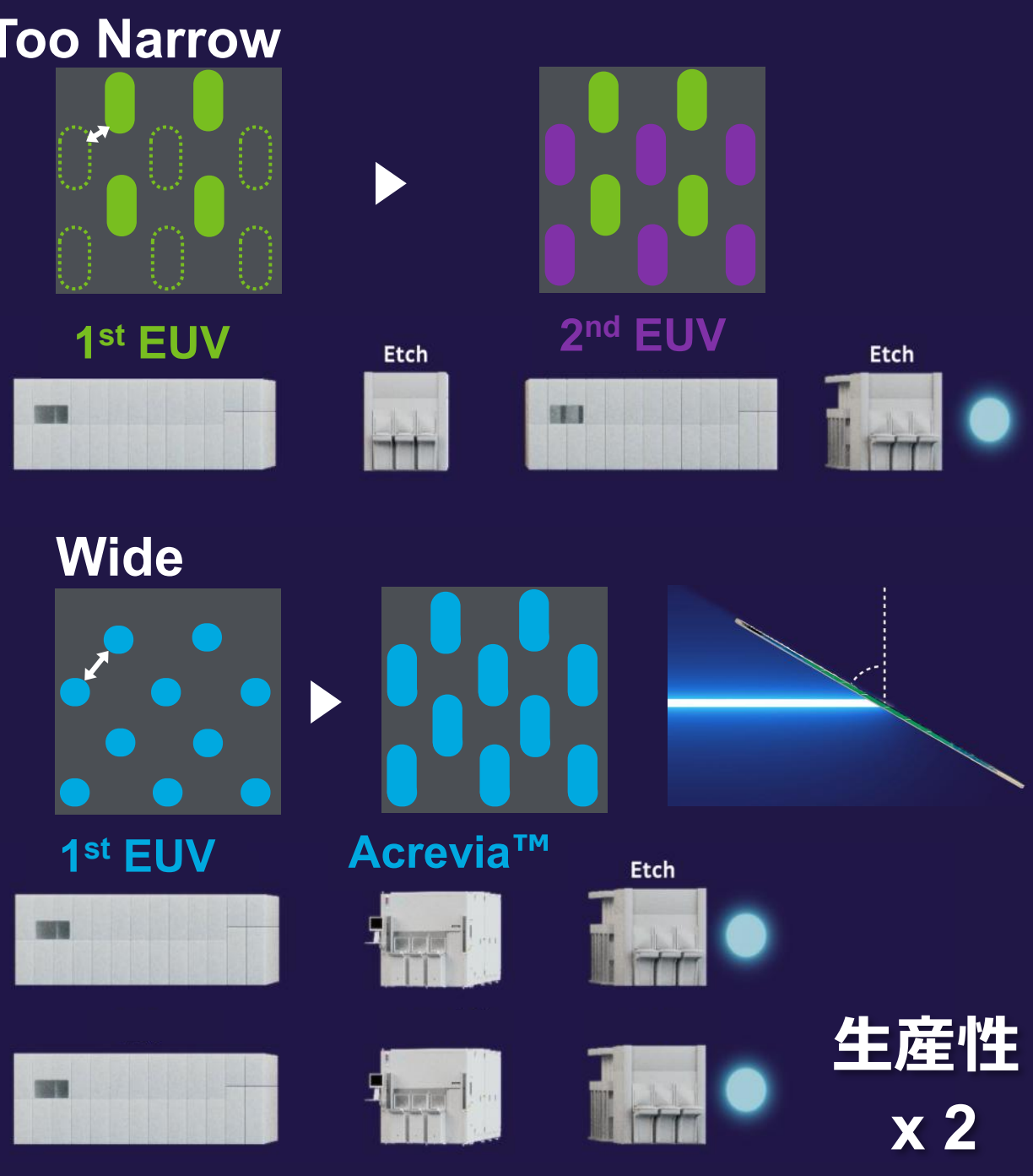
✓ 微細パターン間の欠陥除去、LER/LWR* 改善
歩留まり向上を実現

Before



After

* LER/LWR: Line Edge Roughness / Line Width Roughness

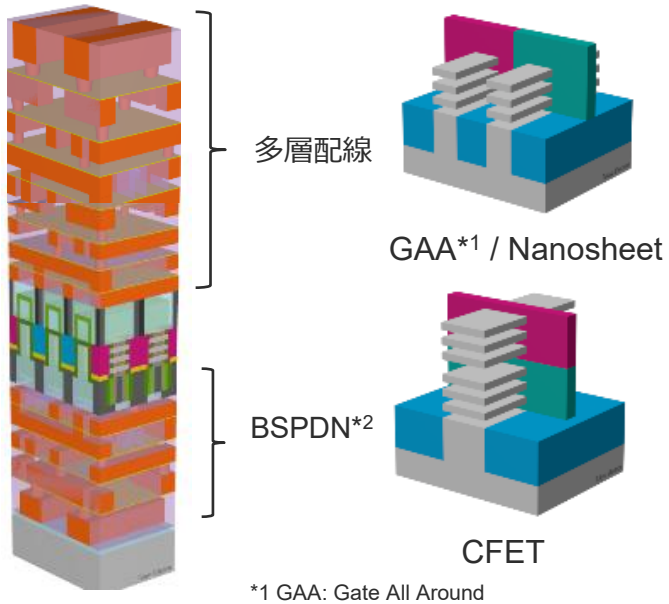


Source of all drawings: TEL

7-1-2. エッチング装置

多様なエッチングと求められる技術

Logic

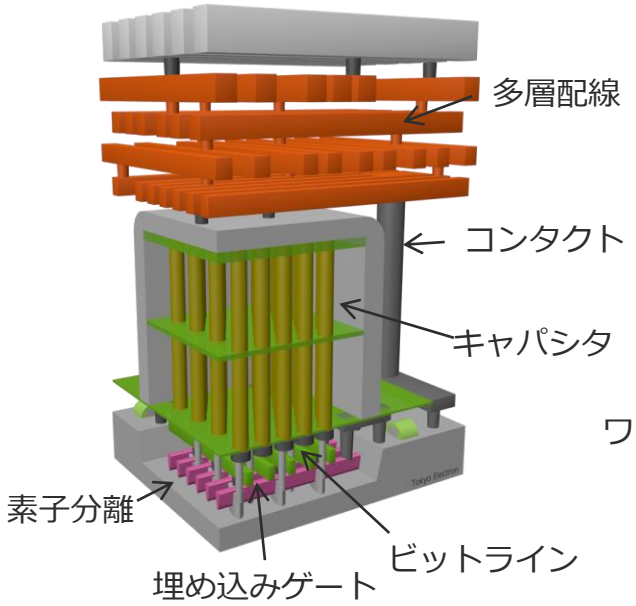


GAA*1 / Nanosheet

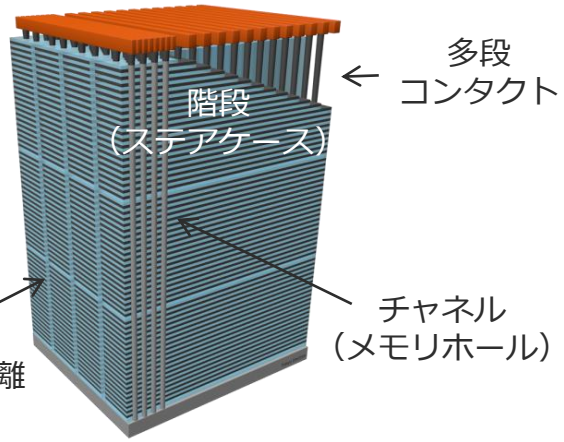
CFET

*1 GAA: Gate All Around
*2 BSPDN: Backside Power Delivery Network
*3 CD: Critical Dimension

DRAM



3D NAND

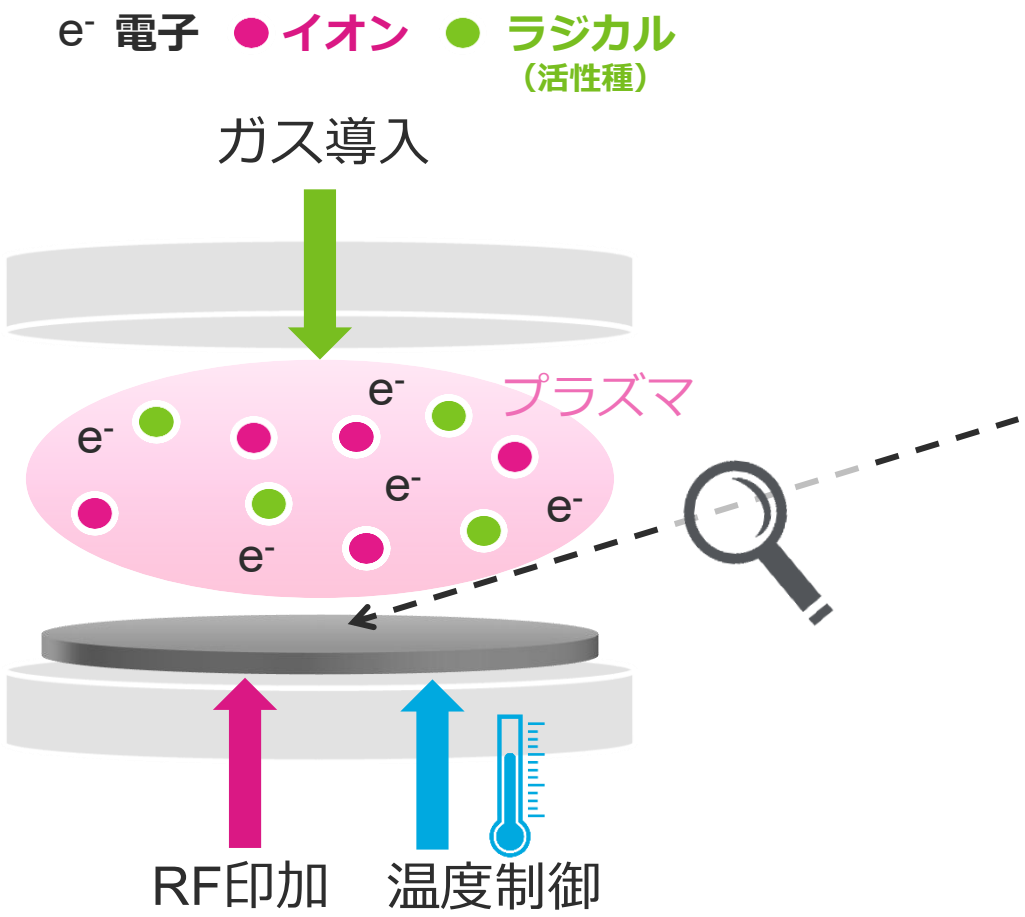


デバイストレンド	微細化・新構造	微細化・新構造	高積層化
必要技術	緻密なイオン制御による、高選択比 低ダメージプロセス エッチング形状コントロール、垂直形状	小CD*3、高アスペクト比のキャパシタ加工 微細なマスク加工 (EUV, マルチパターニング) HBM対応 (多層配線増加など)	高速かつ垂直な高アスペクト比エッチング Depth モニタとプロセス制御 面内均一性制御

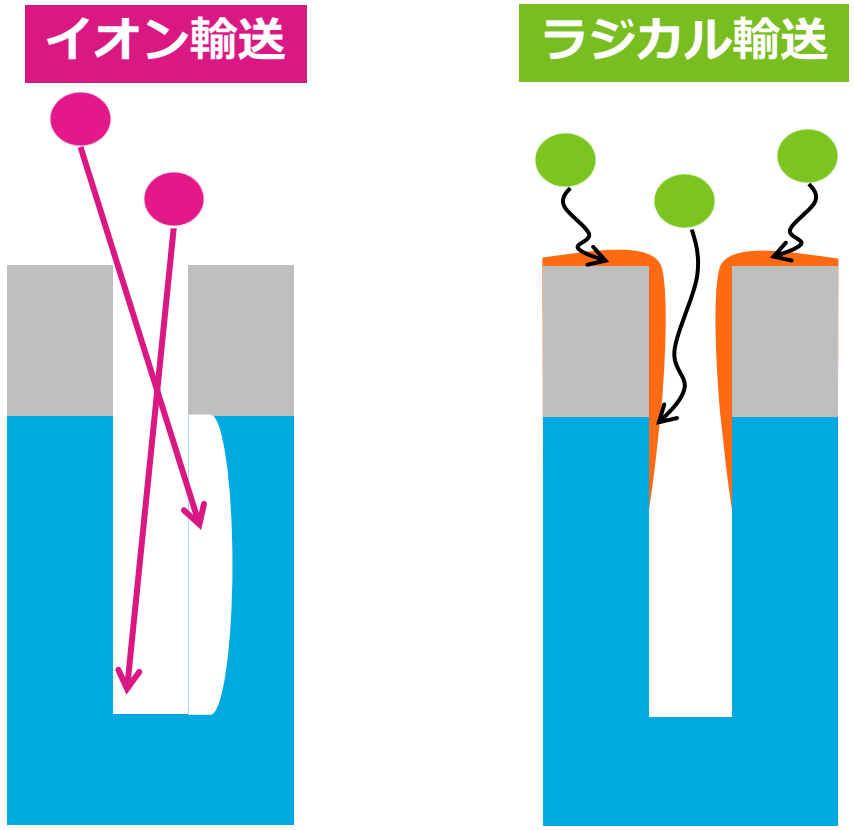
デバイスの更なる進化には、エッチングの緻密な制御技術が必要

エッチング概要とKeyとなる制御パラメーター

Source of all drawings: TEL



Key制御パラメーター



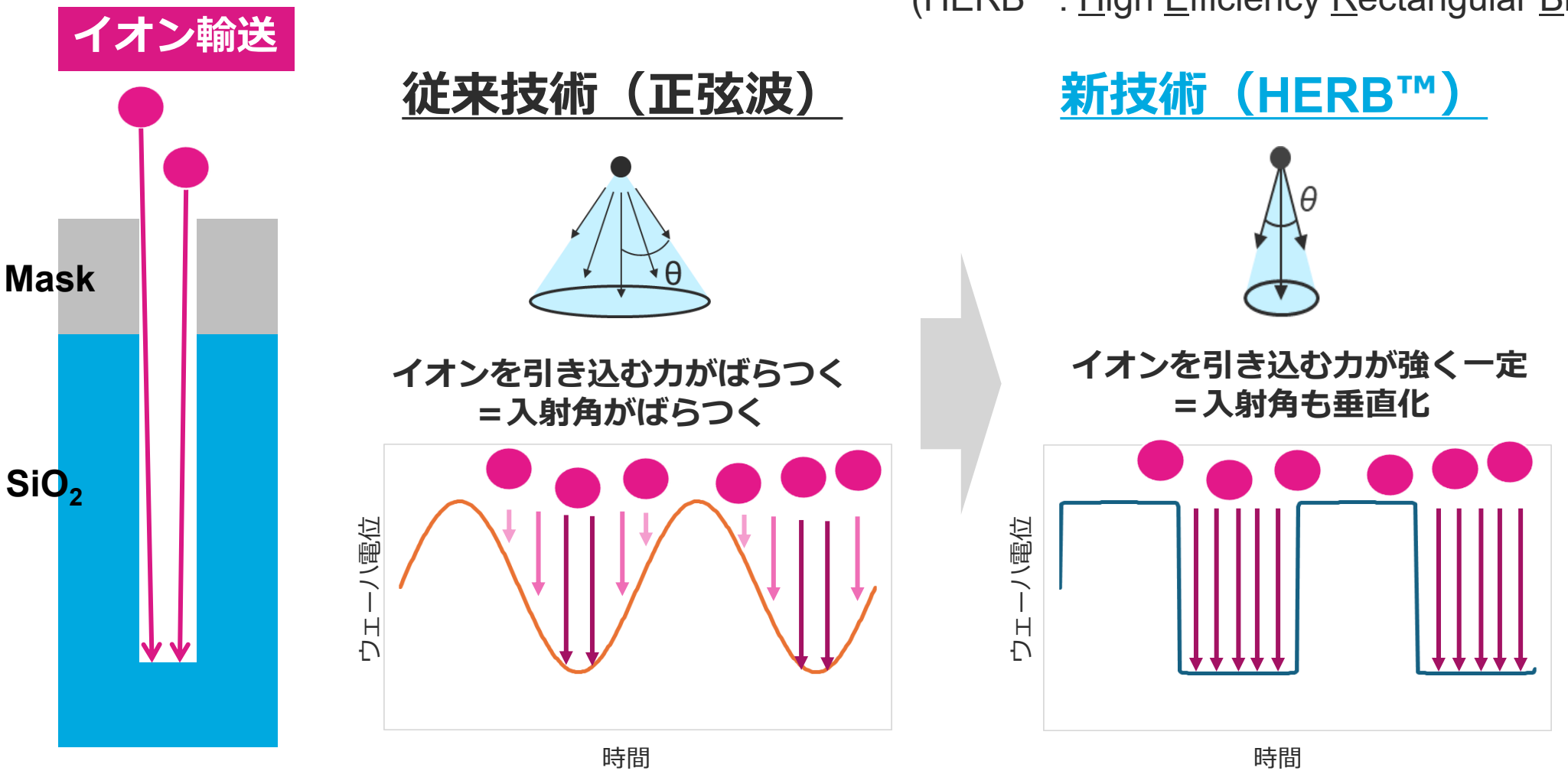
- イオンエネルギー
- イオン入射角

- ガス種
- ウェーハ温度

TEL独自技術によるソリューション 1: HERB™

Source of all drawings: TEL

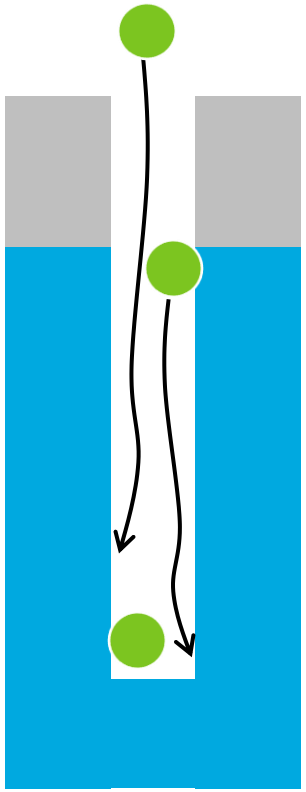
(HERB™: High Efficiency Rectangular Bias™)



TEL独自技術によるソリューション 2: PHastIE™

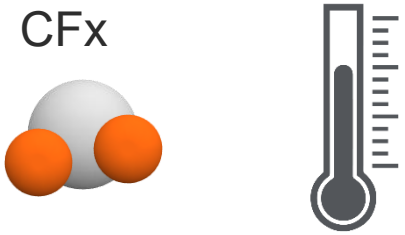
Source of all drawings: TEL

ラジカル輸送



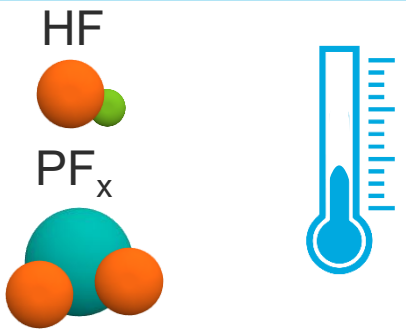
従来技術（CF_x + 常温）

(PHastIE™: Phosphorus + Hydrogen based “Fast” Ion Etch™)

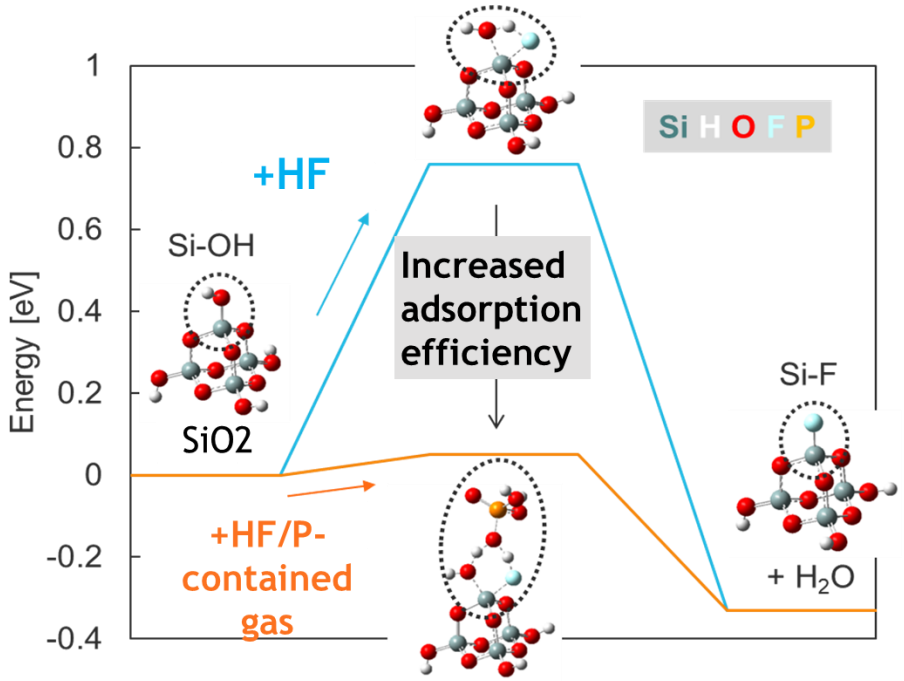


CF_xはポリマー化して吸着しやすい
間口に堆積すると輸送を阻害

新技術（PHastIE™）

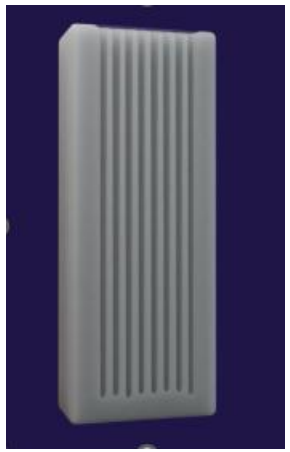


新規ガスを採用することで上記課題を克服
低温との組み合わせで高速Etchingを実現



Novel Cryogenic HARC Etch





Beyond
10μm
2.5x Faster

Source: TEL

プロセス性能

極低温プロセス
より直線的、
より深く、
より速く

プラズマ制御
深層学習を用いた最適化

環境性能

消費電力 -43%
Less Power

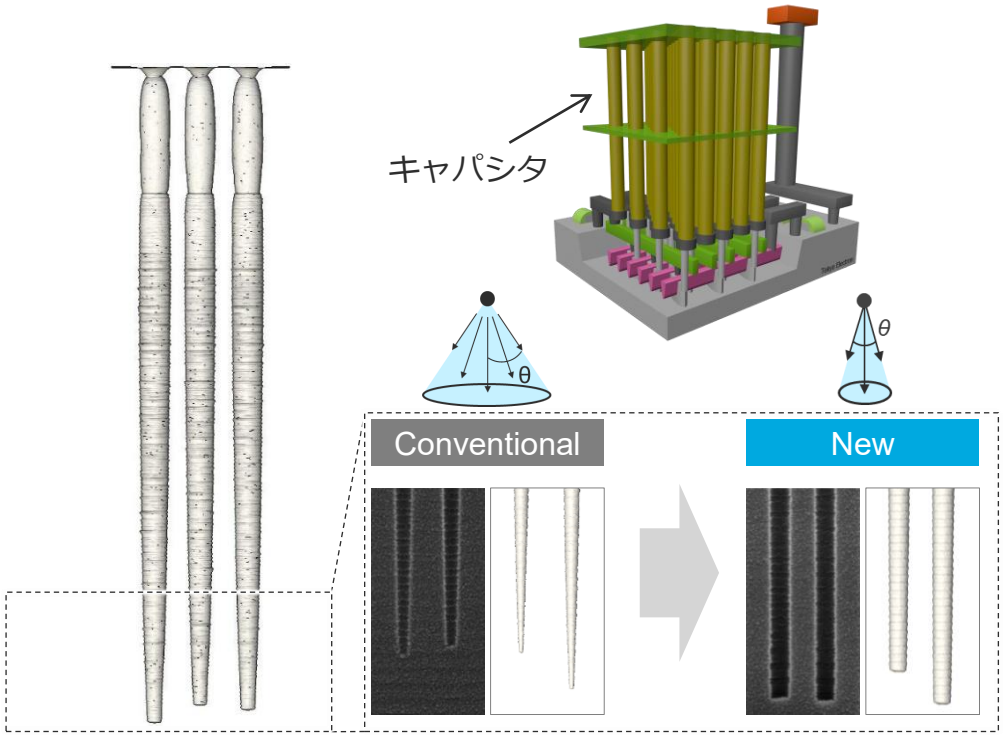
CO_2排出量 -83%
Less Carbon Footprint

世界初、新Cryogenicプロセスを2023年に発表（@VLSI 2023）
高いプロセス性能と環境性能を両立

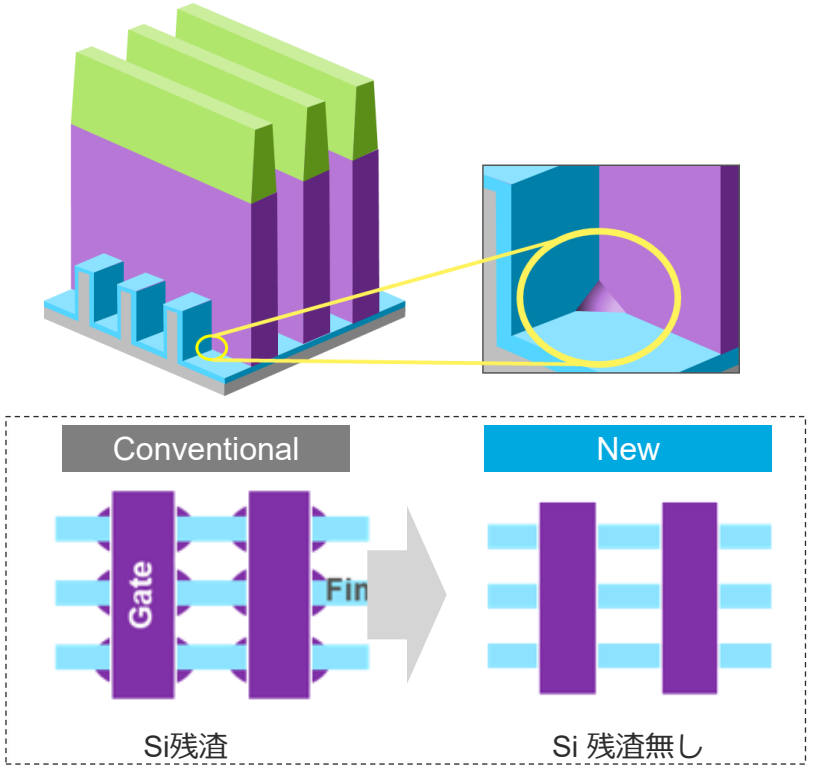
新たなエッチング技術の展開

Source of all drawings: TEL

DRAM: Capacitor SiO_2加工



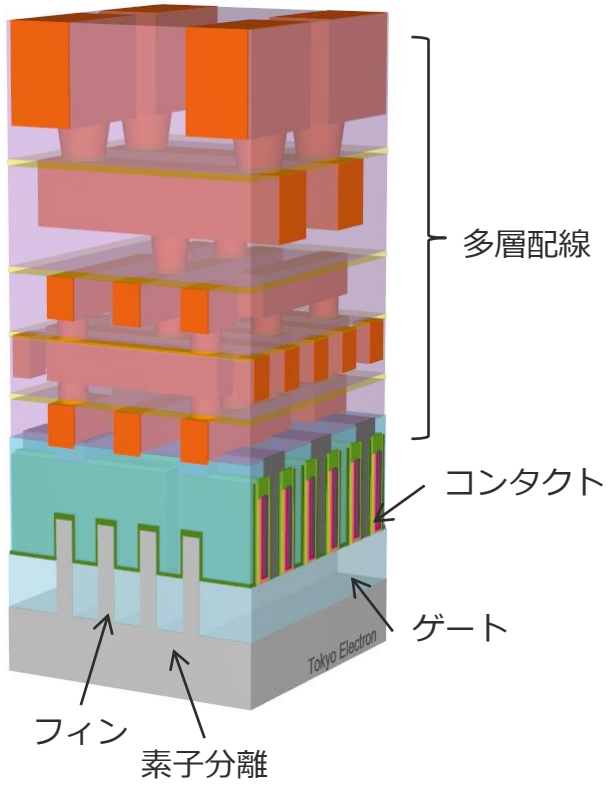
Logic: Gate Silicon加工

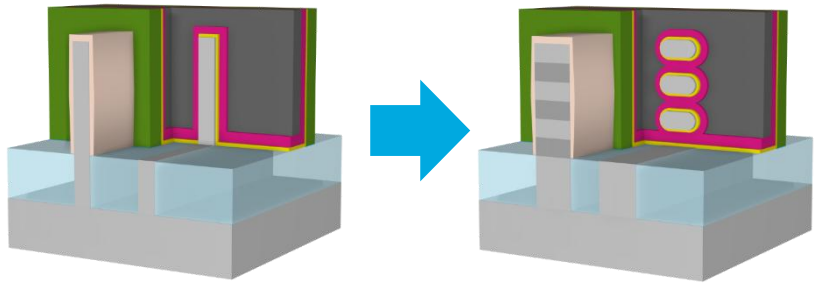


理想のエッチングプロセス開発で培った新技術を
多様なCriticalプロセスにも展開

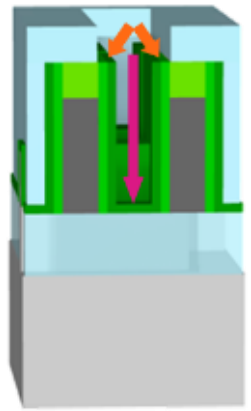
ロジックにおける事業機会

Source of all drawings: TEL

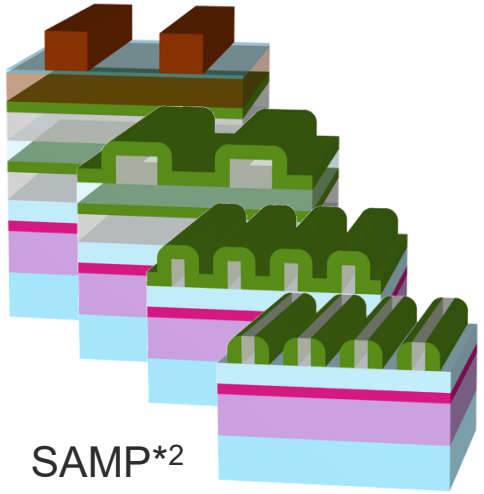




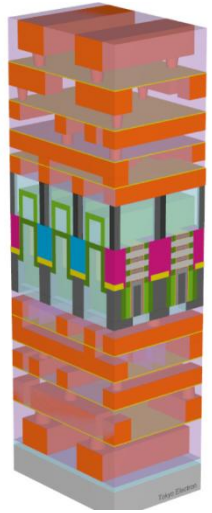
FinFET　　GAA*1 Nanosheet



Self-aligned Contact



SAMP*2



Backside PDN*3

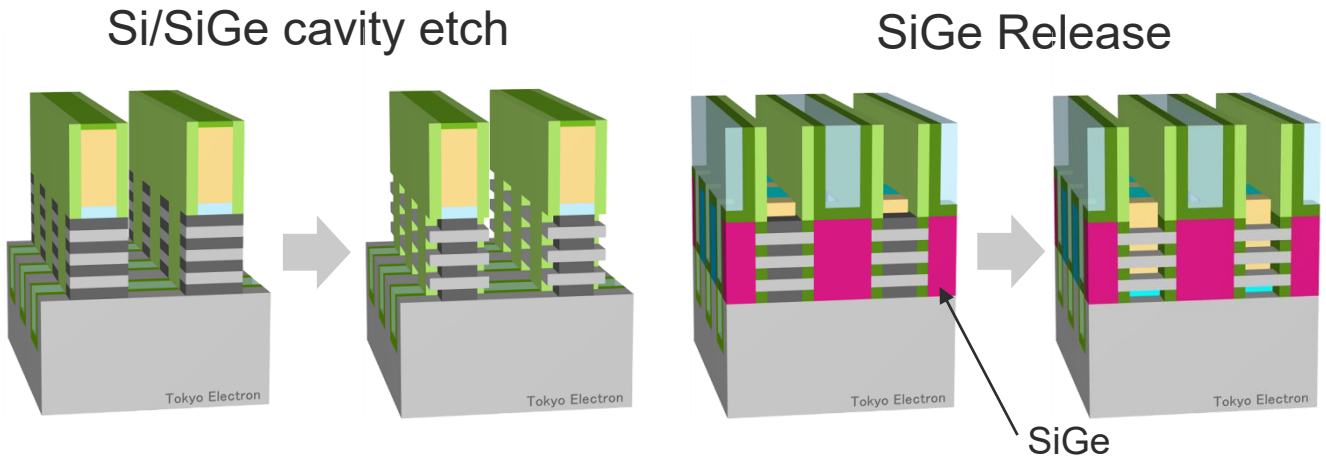
*1 GAA: Gate all around
*2 SAMP: Self-aligned multiple patterning
*3 PDN: Power delivery network

微細化が進むことによるデバイス構造の変化やEUVリソグラフィーに対応

GAA Nano Sheet FET構造への取り組み

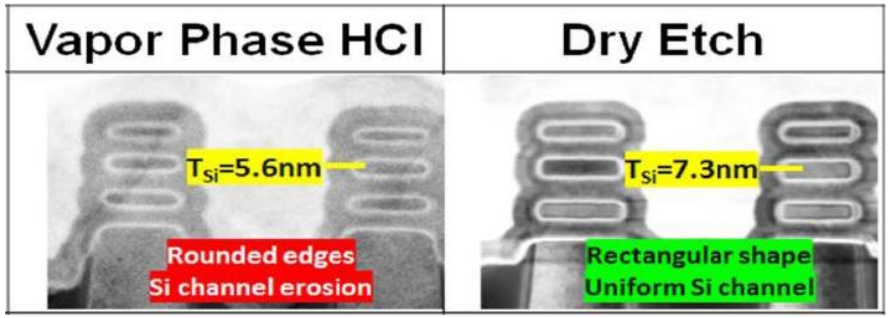
GAA Nano Sheetプロセスの課題：

- パターン形状（矩形）の均一性
- パターン表面のラフネス・残渣



TELの取り組み：ガスケミカルエッチング

- 高いエッチング選択性
- 高い均一性
- 残渣除去・ラフネス低減

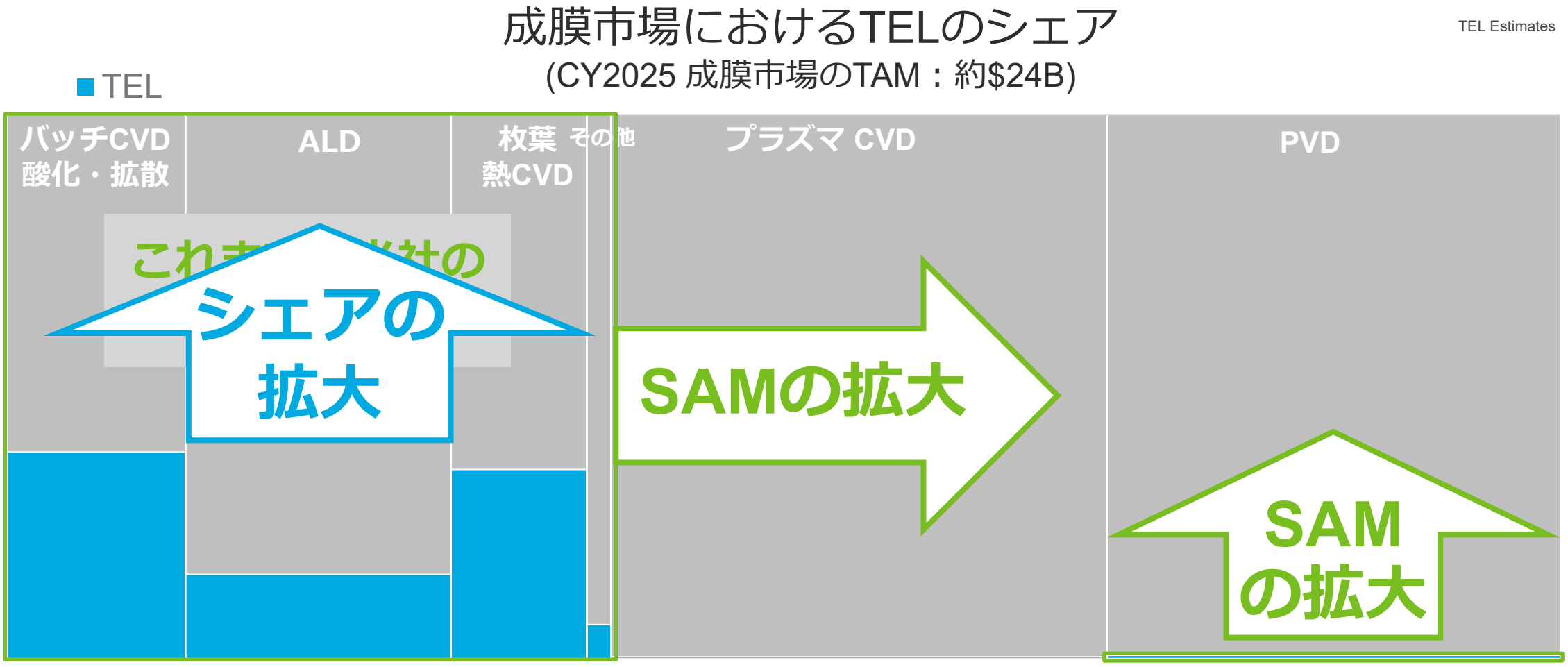


Source: N. Loubet, et al., IBM, TEL Technology Center, America (IEDM2019)

ガスケミカルエッチングのメリットを生かして先端プロセスへ貢献

7-1-3. 成膜装置

成膜における事業戦略：シェアの拡大・SAMの拡大



成膜ビジネスにおける戦略１：枚葉CVD成膜装置のSAMの拡大

Triase+™



Single Reactor
既存プラットフォーム

Episode™ 1



Single Reactor
最大8基のプロセスモジュール搭載

Episode™ 2 DMR*



***Duo Matched Reactor**
2枚葉で高い生産性を実現

Episode™ 2 QMR**



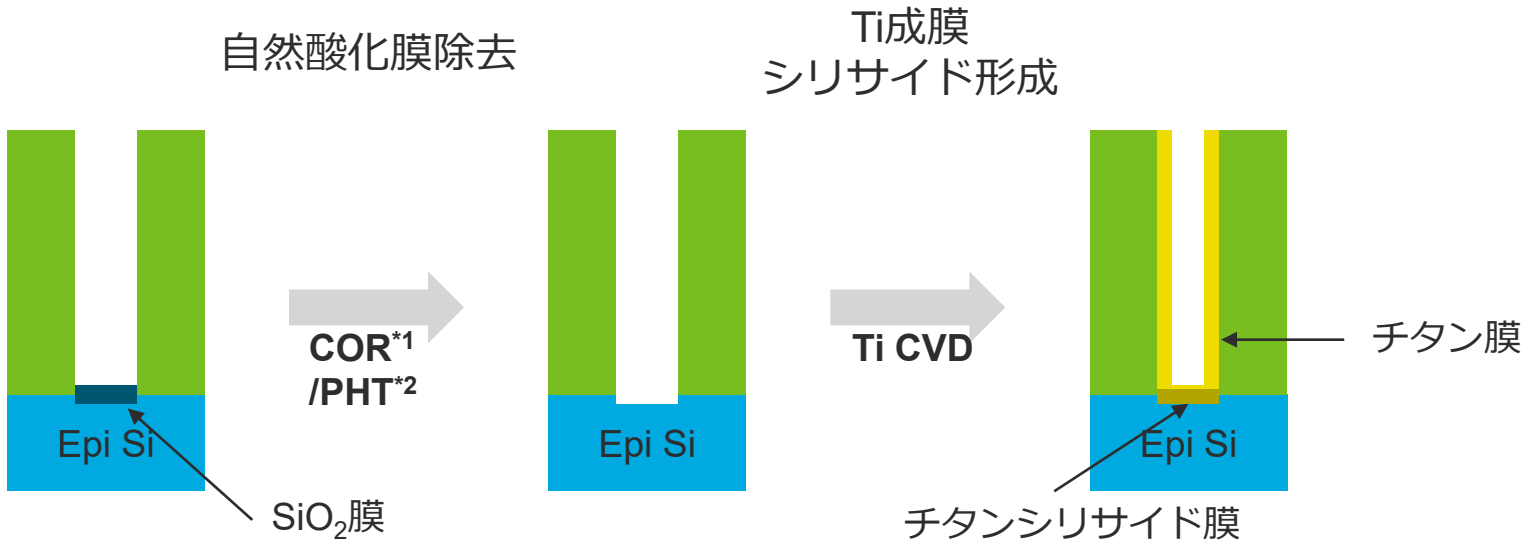
****Quad Matched Reactor**
新開発高密度プラズマ源搭載

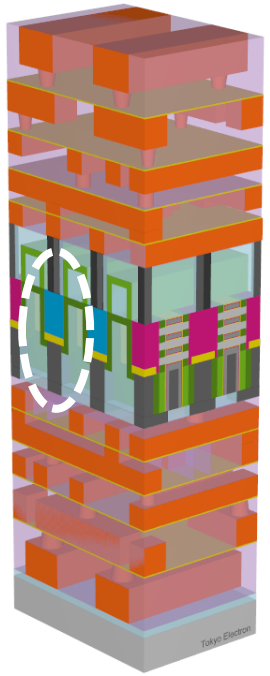
今後リリース予定

Episode™ 1：コンタクト形成工程

Source of all drawings: TEL

- プロセスフローの一例





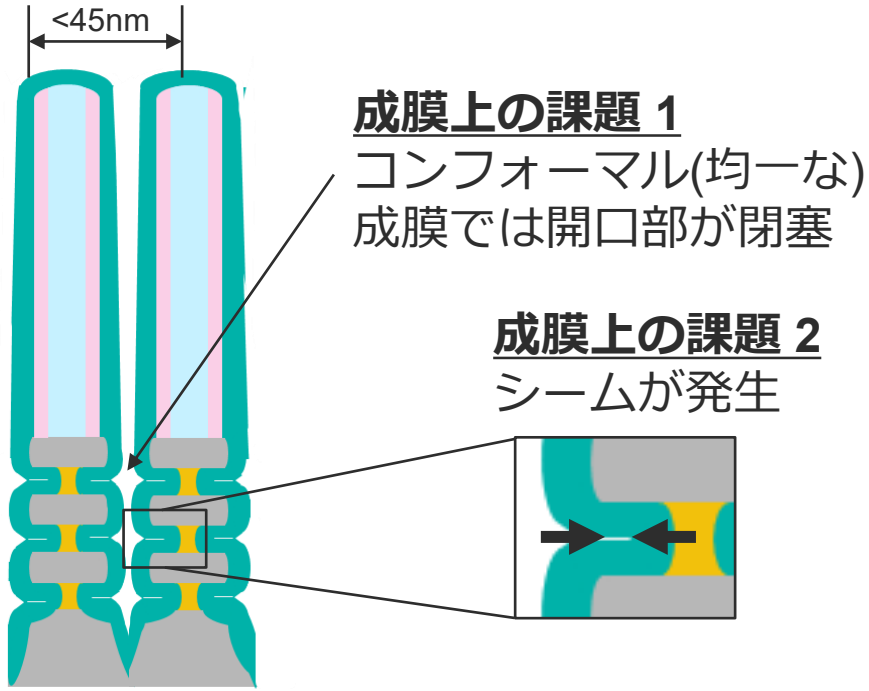
*1 COR: Chemical Oxide Removal
*2 PHT: Post Heat Treatment

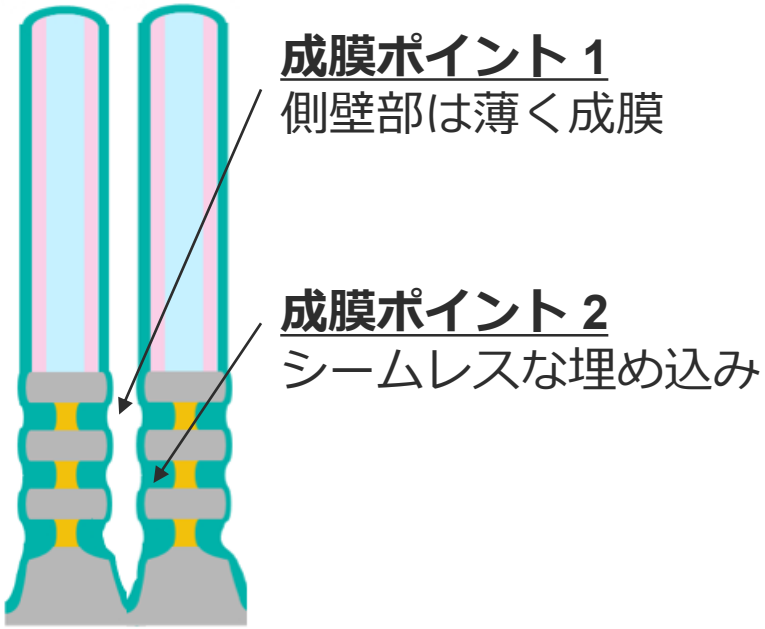
高真空度の同一プラットフォーム上で酸化膜除去工程とメタル成膜を連続処理
⇒コンタクトの低抵抗化実現に寄与

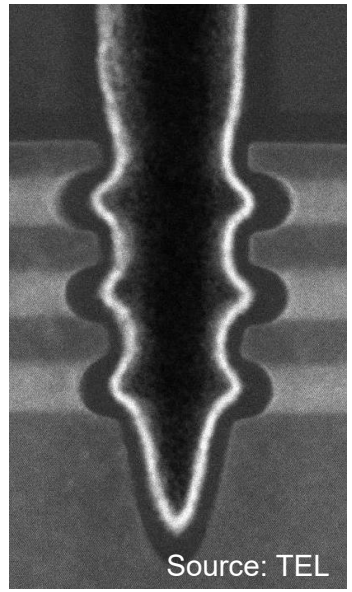
Episode™ 1：Inner Spacer工程ー横方向の埋め込み性

Source of all drawings: TEL

- 技術課題：
  成膜後のエッチングによるリーク発生懸念
- 解決策：
  埋め込み性能の改善







ユニークな成膜手法によるシームレスな埋め込みと
新開発の高密度プラズマによる横方向に均一な膜の改質を実現

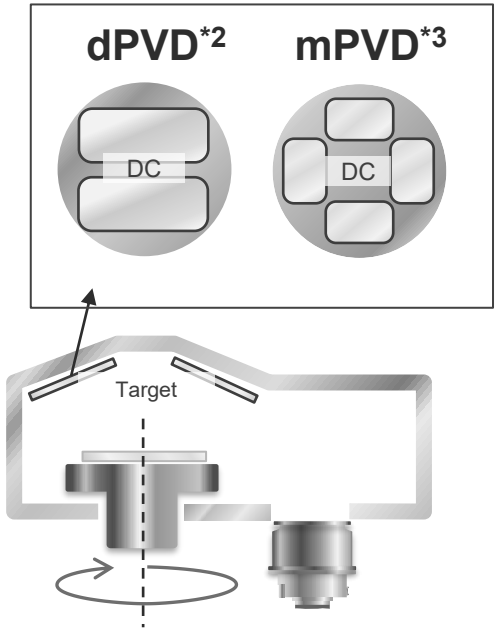
成膜ビジネスにおける戦略２：PVD装置におけるSAM拡大

Source of all drawings: TEL

LEXIA™ -EX　2024年12月リリース

- ウェーハ回転機構を備えた斜め入射PVD装置（Oblique Angle Sputtering）
  - 良好な膜厚均一性（1σ 0.5%）
- 独自のマルチカソード*1仕様
  - 高い成膜レートを実現
  - 複数材料による組成比制御が可能
- 高い生産性を実現（~100WPH）
- 従来機種から大幅な省スペース化を実現





*1 カソード: 成膜材料を取り付ける電極
*2 dPVD: Dual cathode PVD
*3 mPVD: Multiple cathode PVD

成膜ビジネスにおける戦略 3：縦型熱処理/成膜装置での成長



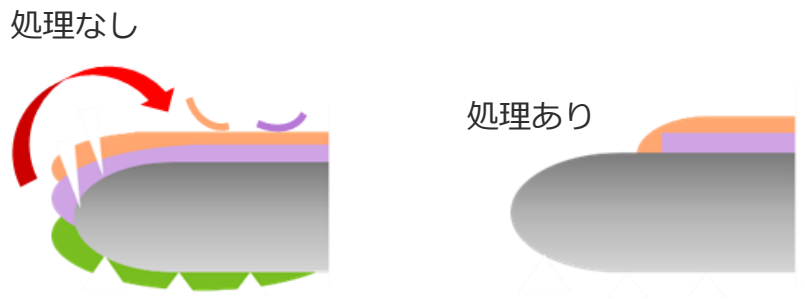
EVAROS™

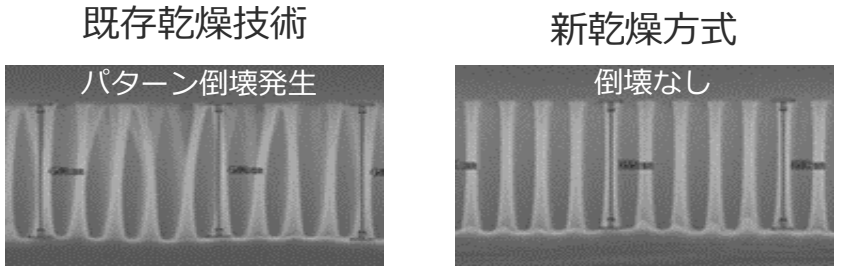
- 主要アプリケーション：ALDとCVD
  - Siプロセス全般（コンタクトSi、チャネルSi, etc.）
  - 熱ALDプロセス（SiN、SiO2）
  - プラズマALDプロセス（SiN）
  - その他プロセス（Si/SiGeエピタキシャル）
- 特徴
  - 1バッチ最大200枚処理
  - 大表面積パターンにも均一な成膜をするために、リアクタ排気口の大口径化により大変優れたコンダクタンス特性を実現
  - ウェーハ1枚あたりのCO_2排出量を約25%削減（TELINDY PLUS™比）
  - 省人化（One-Touch立上げ、セルフメンテナンス、DXの活用）

7-1-4. 洗浄装置

枚葉洗浄における戦略

- 枚葉洗浄
  - ベベルウェットエッチング
    - 市場は年率10%程度の成長見込み
    - 顧客歩留まり改善に貢献。精密な外周部の膜除去性能により差別化し、高いシェアを維持
  - パターン倒壊抑制
    高アスペクト比のパターンの倒壊を抑制する当社独自の技術により、シェアを拡大
  - メタルエッチング
    メタルとの選択比を制御する新規SPM専用チャンバーを販売開始。ドライエッチングのダメージや残渣による歩留まり低下の課題を解決



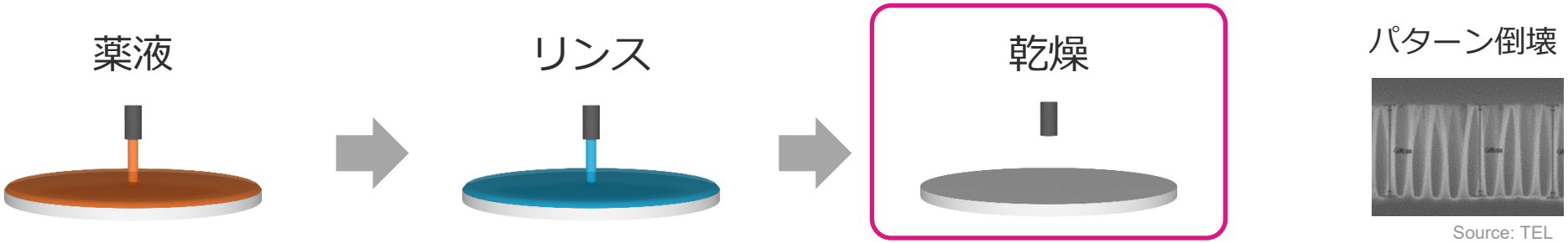


Source: TEL



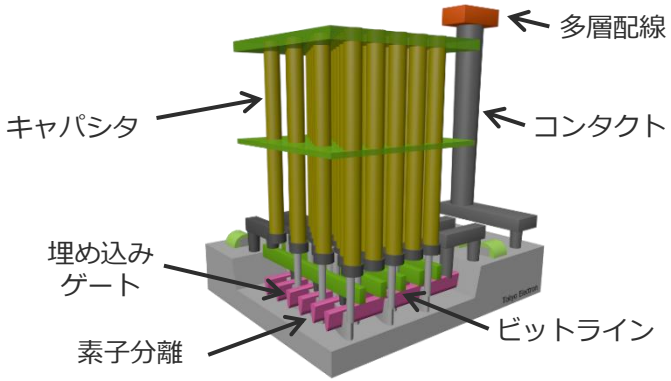
Source of all drawings: TEL

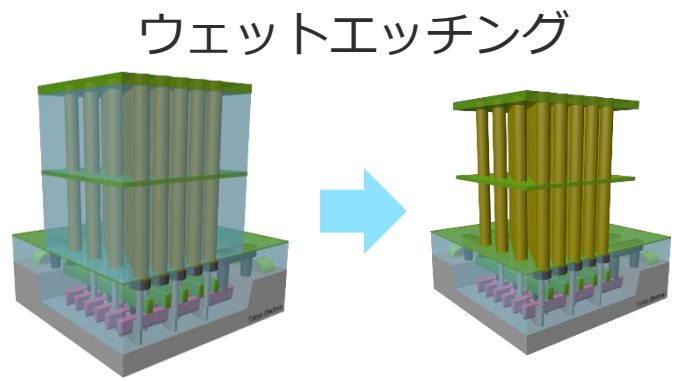
先端デバイスが抱える洗浄工程における技術課題



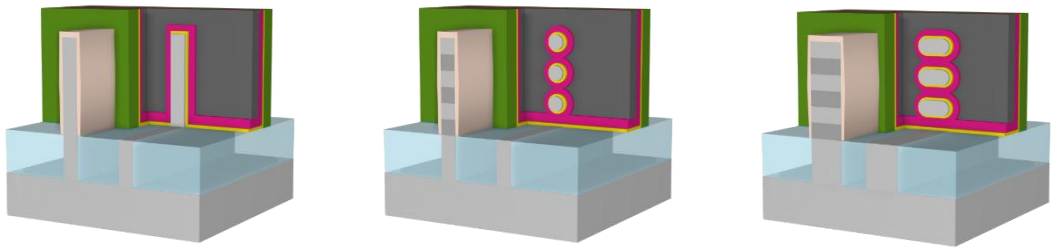
Source: TEL

- DRAM
  - 素子分離エッチング後の洗浄
  - キャパシタ電極形成後の
    モールドのウェットエッチング





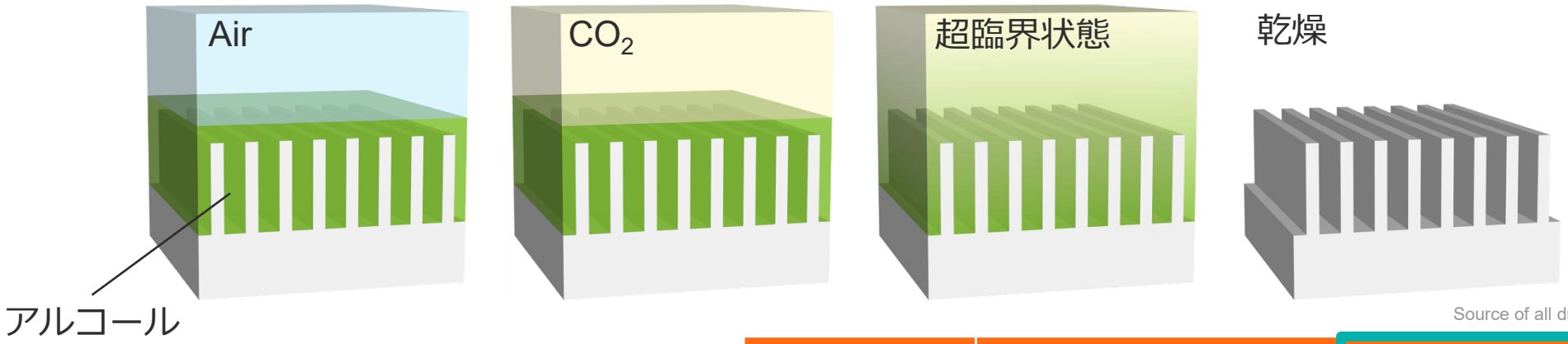
- ロジック
  - Fin エッチング後の洗浄
  - Nanowire/Nanosheet 形成後の洗浄



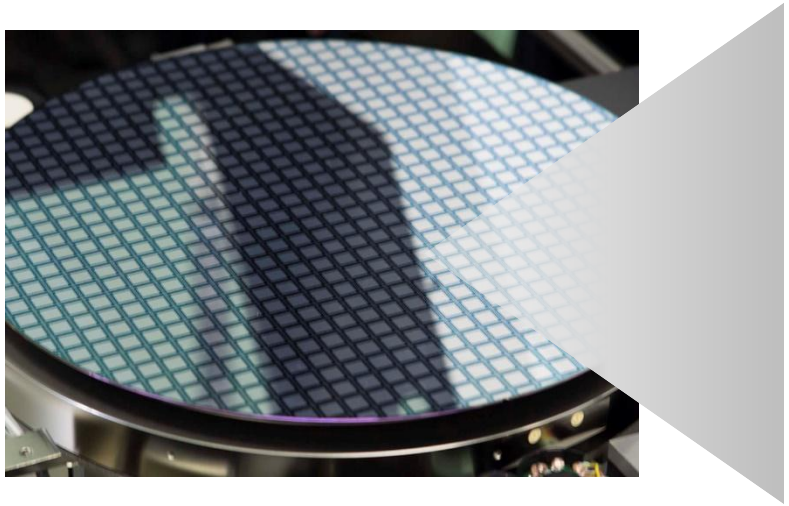
Source of all drawings: TEL

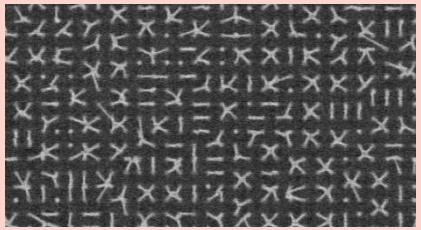
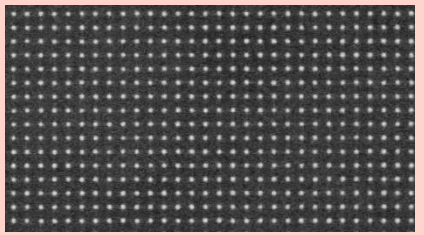
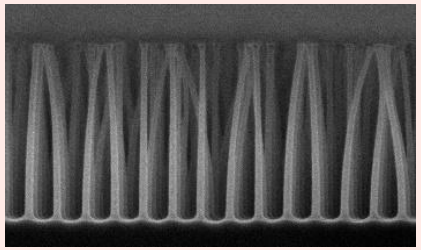
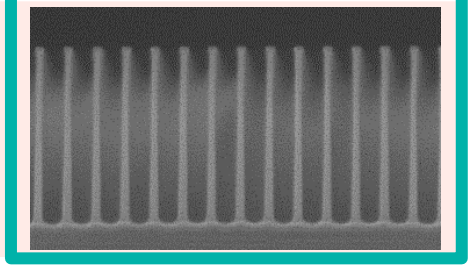
デバイス構造の微細化・高アスペクト比化により、乾燥技術の難度が増加

超臨界乾燥技術



Source of all drawings: TEL



	従来の乾燥	TELの超臨界乾燥
Top View		
Side View		

Source: TEL

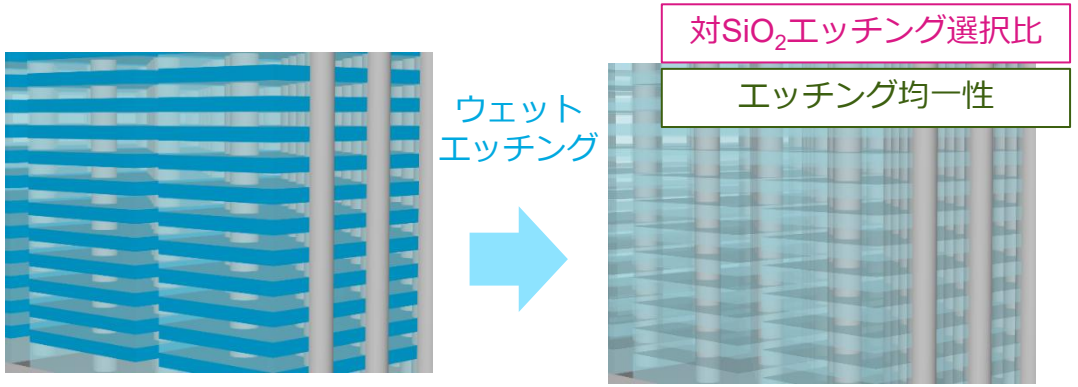
超臨界乾燥技術によりパターン倒壊を抑制

バッチ・スクラバー洗浄における戦略

Source of all drawings: TEL

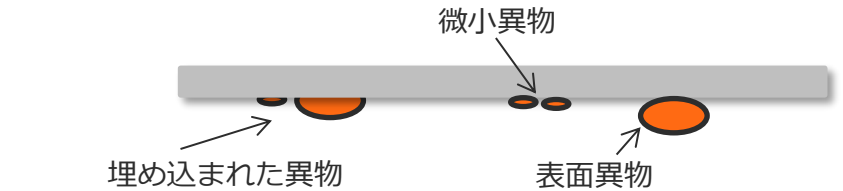
- バッチ洗浄
  - 3D NAND向けSiNエッチング、Wエッチング
    長時間かつ高いプロセス技術が要求される工程に注力。ウェットエッチングにおける高均一性、高選択性および高生産性の実現により差別化

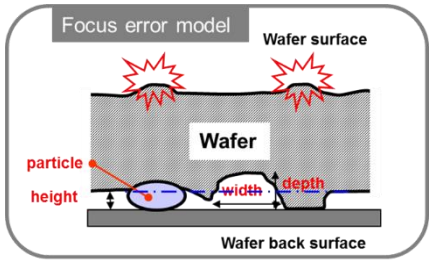
SiNエッチング工程イメージ

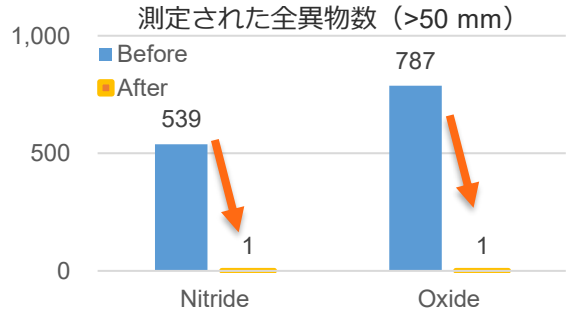


- スクラバー洗浄
  - Pre-lithography工程
    EUVの導入によってますます重要度が増す
    露光機の稼働率向上に貢献する、異物低減など、
    価値の高いソリューションを提供

ウェーハ裏面とディフォーカスのイメージ



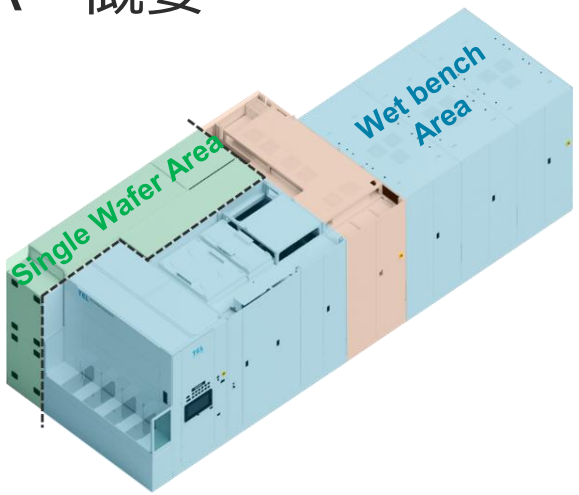




ZEXSTA™

Source of all drawings: TEL

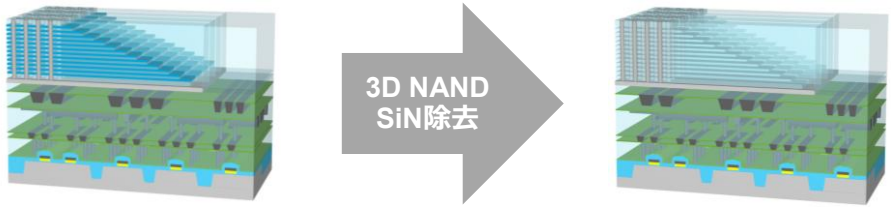
- ZEXSTA™概要



Wet Benchと枚葉洗浄の
コンビネーション処理を提案

処理手法	特色
Wet Bench	高温・長時間処理、ウェットエッチング
枚葉洗浄	高度な乾燥技術、パーティクル制御

- Target Application
  - 高度なウェットエッチングと高度な乾燥技術が求められる工程



3D NANDに加え、今後、DRAMの積層化にも伴い、
高度な選択等方ウェットエッチング技術が求められる

  - 高生産性と表面清浄度の両立が求められる工程



Wet Bench　　Single Wafer

LogicやDRAMにおいて、高度な表面清浄度が求められる

これまでの装置区分に捉われること無く、新たな価値創造にChallengeし、顧客技術開発に貢献します

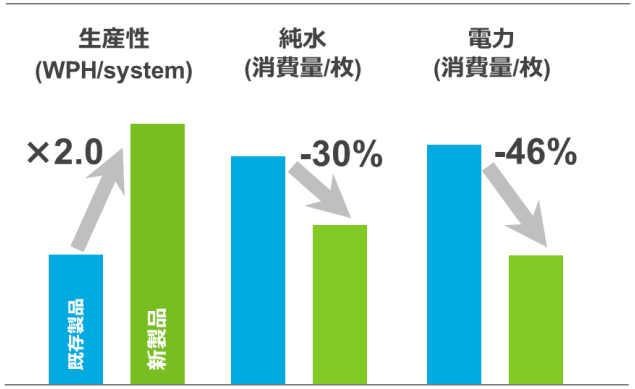
洗浄装置開発取り組み

Source of all drawings: TEL

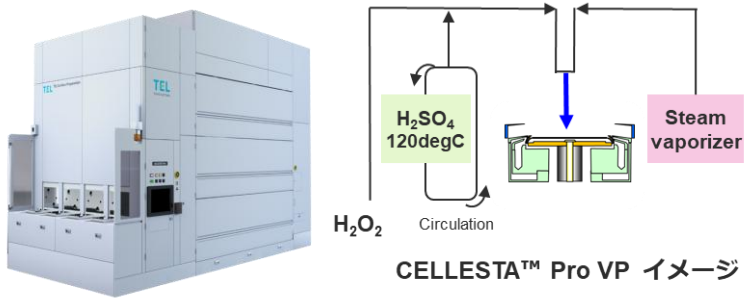
高生産性Wet Bench (EXPEDIUS™-R)



業界初Large Batch処理（一度に処理する枚数を拡大）を実現する装置



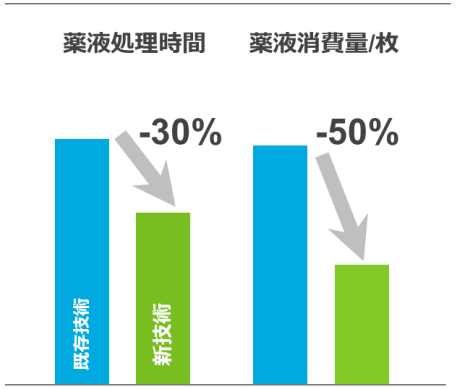
SPM*1 Vapor技術 (CELLESTA™ Pro VP)



CELLESTA™ Pro VP イメージ

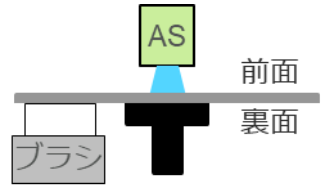
薬液に水蒸気を添加し、効率的な化学反応により処理温度の高温化を実現

*1 SPM : Sulfuric Acid and Hydrogen Peroxide Mixture



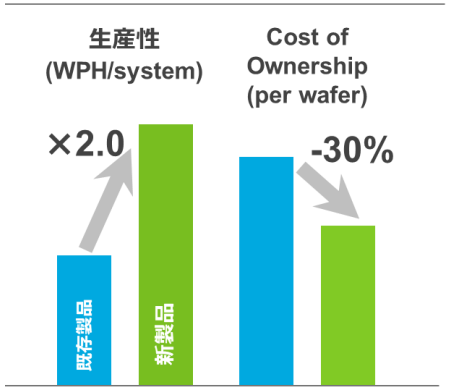
両面スクラバ (CELLESTA™ MS2)





Wafer表面のAS*2処理、Wafer裏面のBrush処理を一つのChamberで同時処理が可能

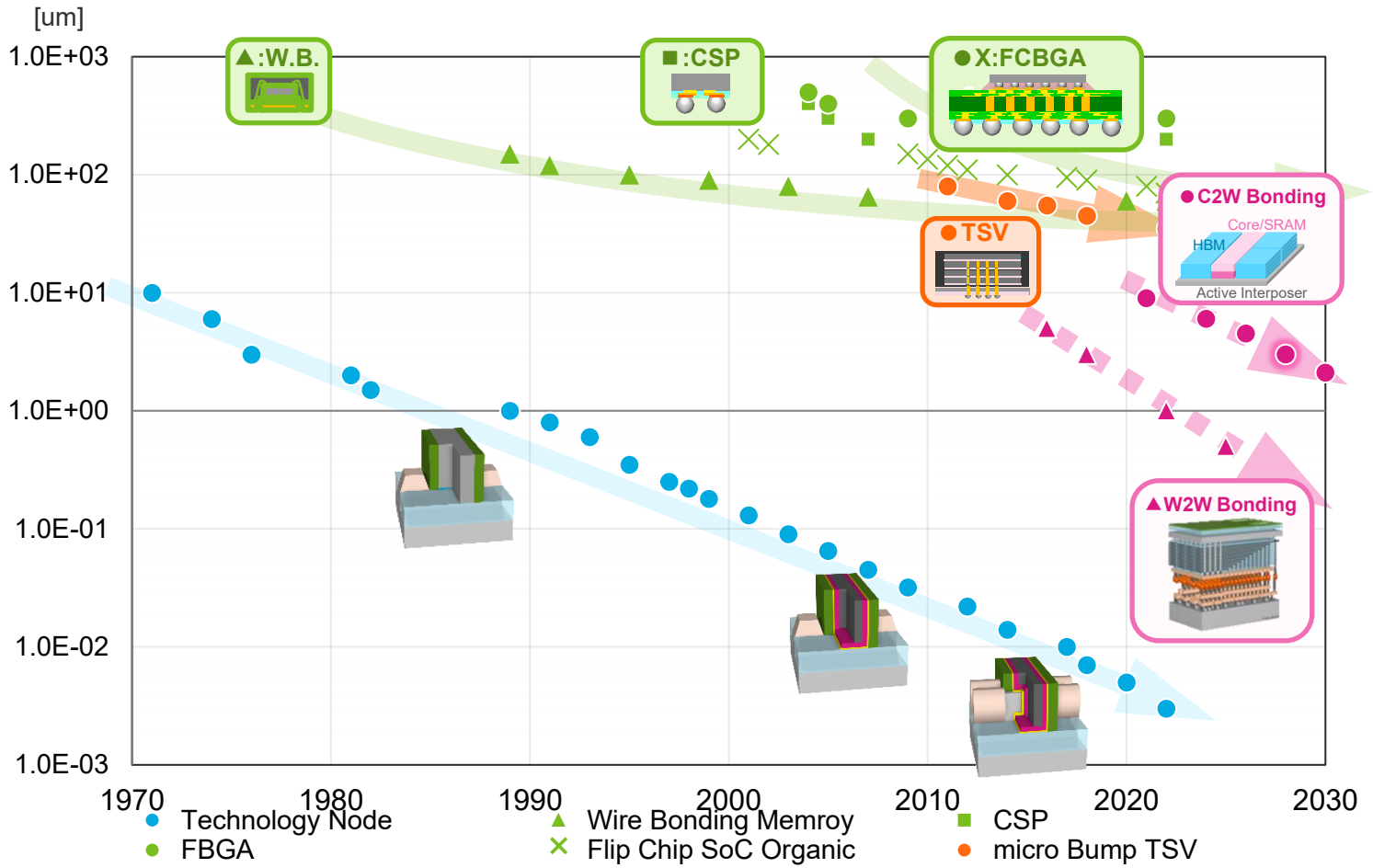
*2 AS : Atomized Spray

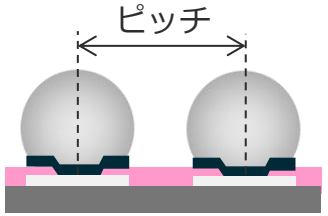


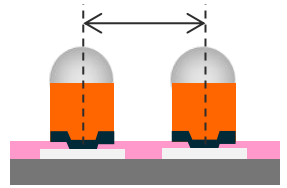
7-2. 後工程 事業戦略

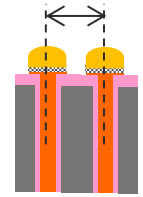
Source of all drawings: TEL

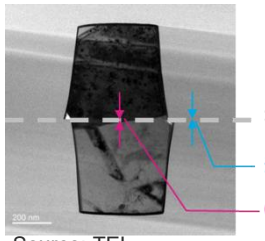
半導体テクノロジーノードと実装電極ピッチ



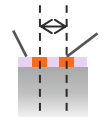








Source: TEL



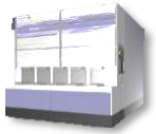
●▲Cu Hybrid Bonding

貼り合わせ接合技術の導入が、実装電極ピッチのさらなる縮小を加速

アッセンブリー・テスト*1向け製造装置投入の歴史

New Category Product　Next Generation/Improvement Product

Synapse™ S
Fusion bonder



Synapse™ V
Temporary bonder



Synapse™ Si
Cu hybrid / Fusion wafer bonder



Prexa™
Wafer Prober



Ulucus™ L
Laser Edge Trimmer



Synapse™ Si (high accuracy)
Cu hybrid / Fusion wafer bonder



Ulucus™ LX
Extreme Laser Lift Off



Prexa™ SDP*2
Device Prober

Year	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026



Synapse™ Z plus
De-bonder



Synapse™ ZF
Post bond re-worker



Ulucus™ G
Wafer Thinning

3DI
Upcoming system for release

3Dインテグレーション時代へ向け、新装置/次世代装置開発を加速

*1 テスト：先端パッケージング試験向けプローバが対象
*2 SDP：Singulated Device Prober

Source of all drawings: TEL

HPC/AIデバイスにおける3DI/テストの事業機会

前工程

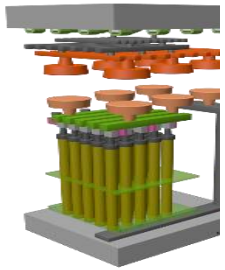
ウェーハでのデバイス製造



BSPDN*1



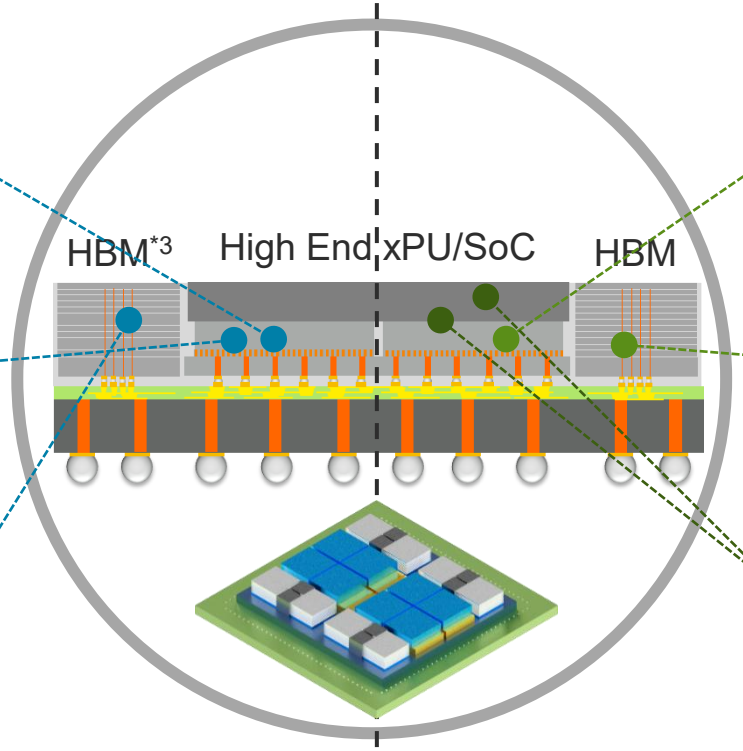
CFET*2

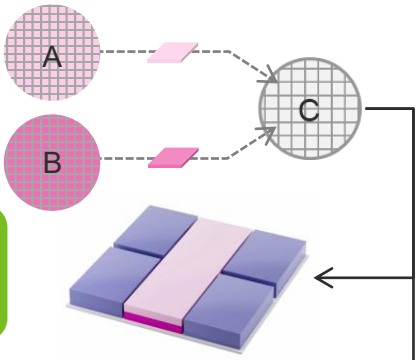


DRAM

Advanced Packaging

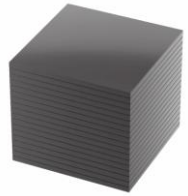
ダイシング後のアセンブリー



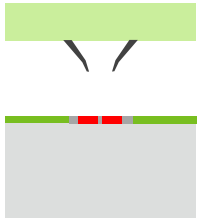


3DIC

Stack Memory



Die Test for KGD*4

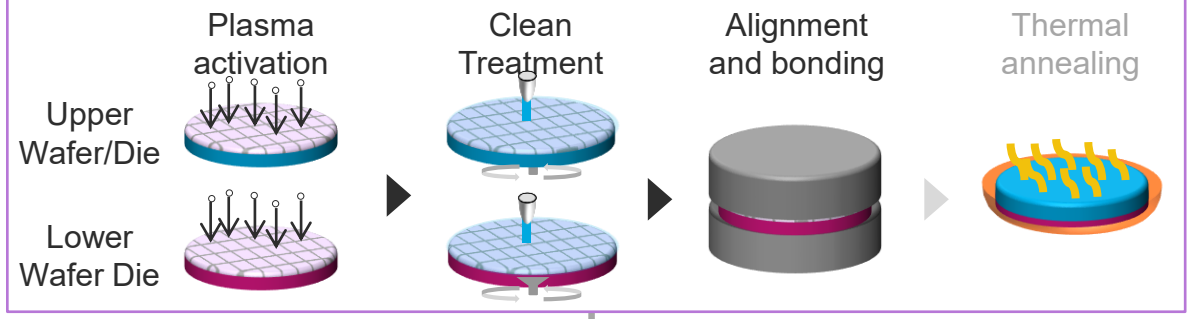


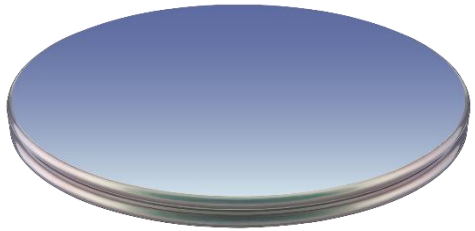
*1 BSPDN: Backside Power Delivery Network
*2 CFET: Complementary Field Effect Transistor
*3 HBM: High Bandwidth Memory
*4 KGD: Known Good Die

Source of all drawings: TEL

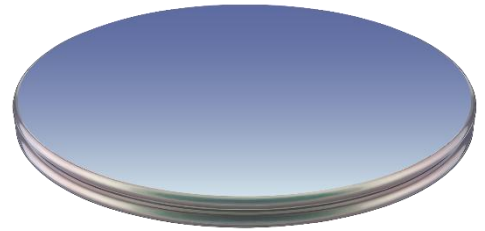
ボンディング技術における当社の事業機会

ボンディング技術

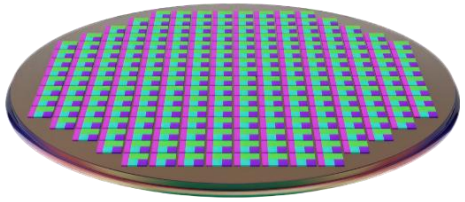




Wafer-to-Wafer Bonding



Wafer-to-Wafer Bonding



Die-to-Wafer Bonding

利点：ピッチスケーリング、高速化、低消費電力化

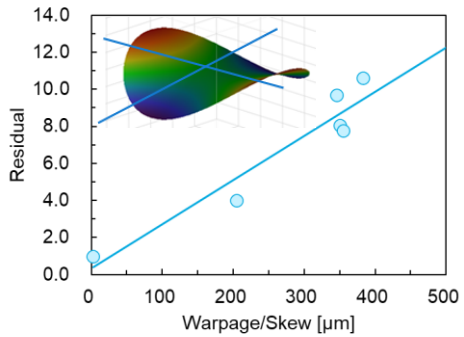
前工程

Advanced Packaging

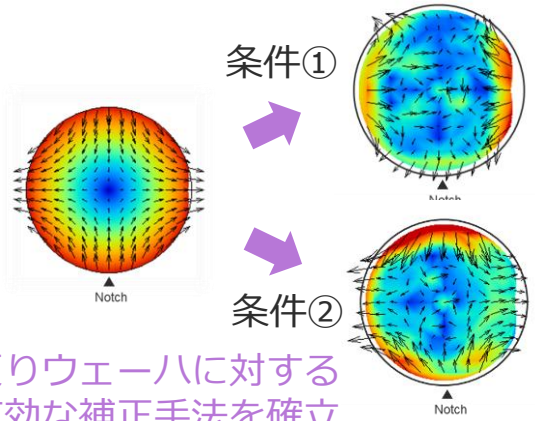
ウェーハボンダーの技術ロードマップと課題

CY	2025~26	2027	2028	2029	2030~31	2032~33	2034~35	Beyond
Logic	BSPDN (2nm/18A)	(16A)	(14A)	(12A)	(10A)	(7A)	(5A) CFET	(3A)
	Distortion ≤ 4nm			Distortion ≤ 3nm			Distortion ≤ 2nm	
NAND	2-wafer-bonding				3-wafer-bonding		4-wafer-bonging	
	Wafer warpage < 500μm						Wafer warpage > 500μm	
DRAM	6F² DRAM			6F² + Peri Bonding/4F² VCT/3D DRAM				
				Distortion ≤ 3nm / DxDy < 50nm				

反りウェーハへの対応

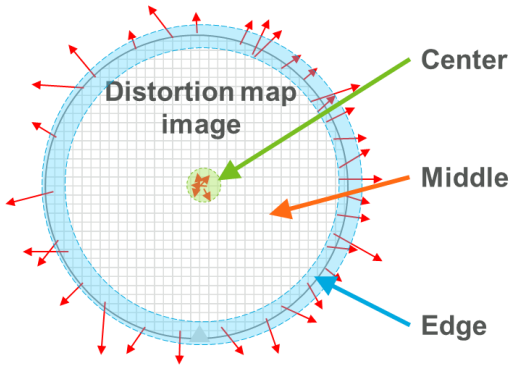


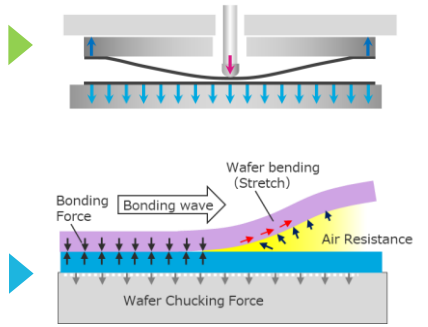
ウェーハ反り量と
歪み誤差の関係



反りウェーハに対する
有効な補正手法を確立

ウェーハ歪み(Distortion)への対応





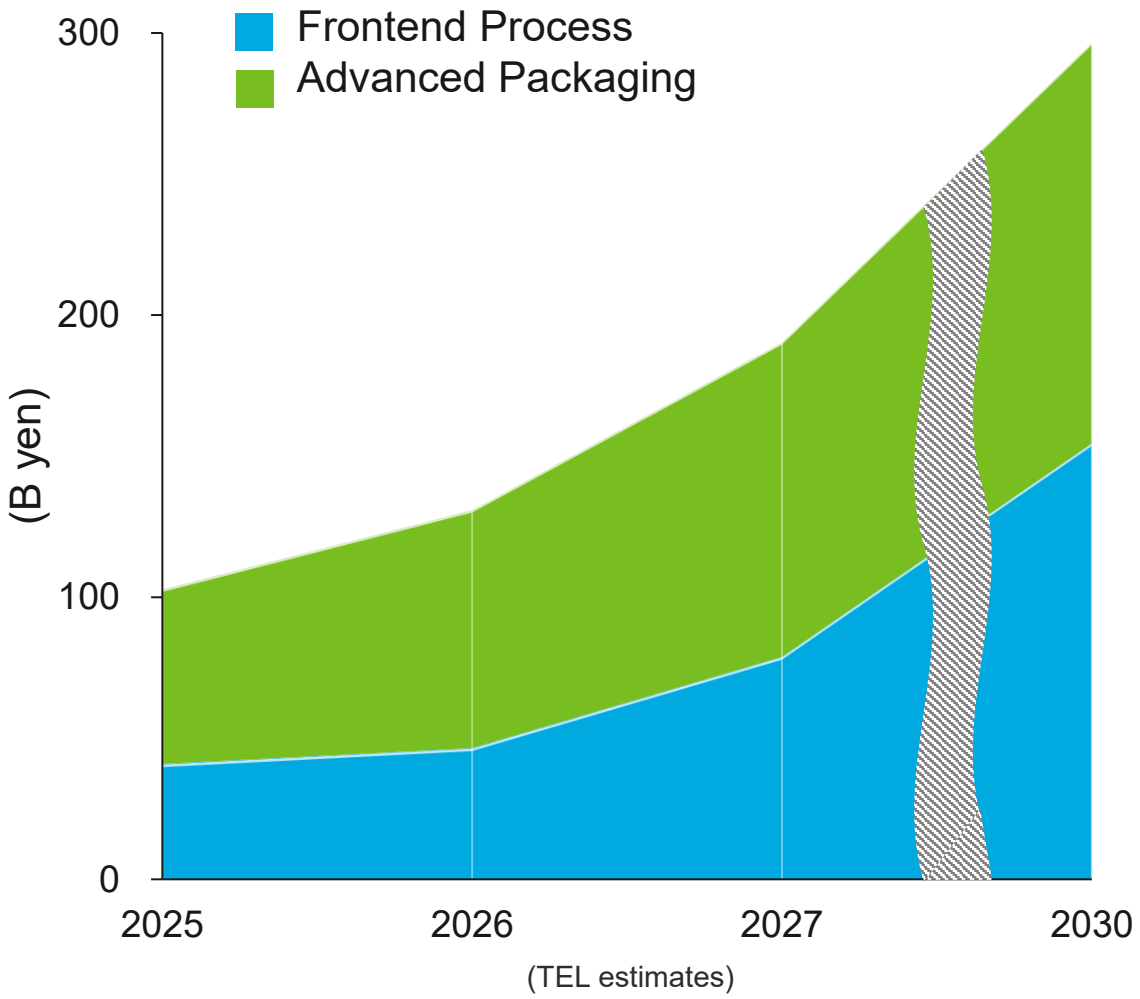
ハード開発とプロセスの最適化

Source of all drawings: TEL

次世代デバイス対応として必要なさまざまな技術を先行して開発中

* FF/FB : Feedforward/Feedback

ボンディング工程に関する製造装置市場規模（当社見込み/TAM*）



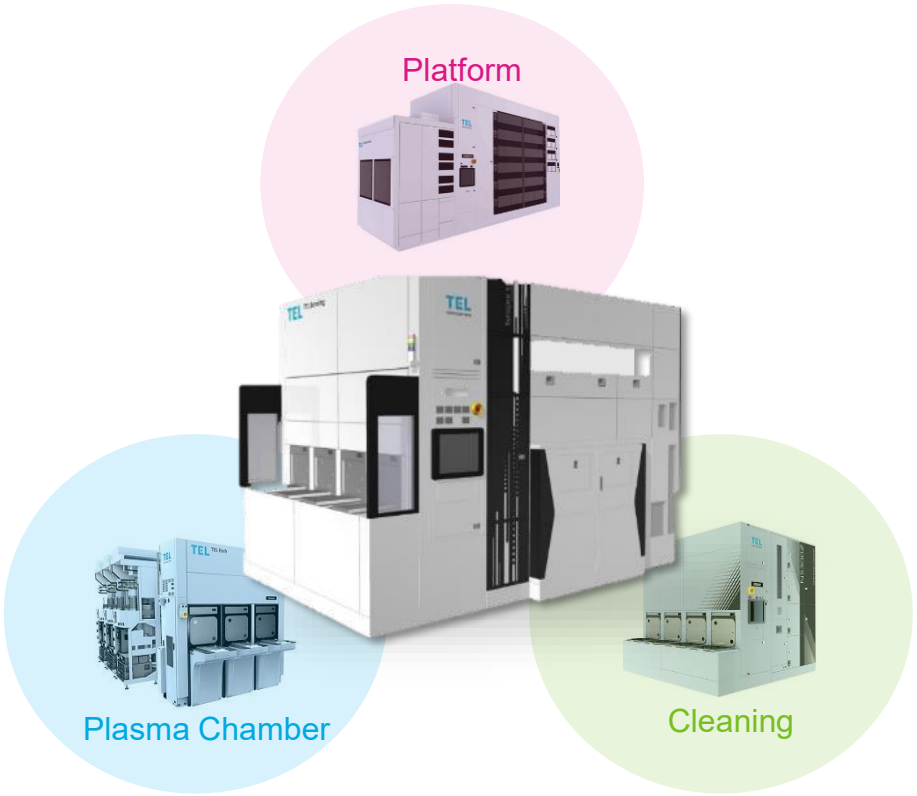
CY2025からCY2030でのCAGRは24%と高成長を見込む

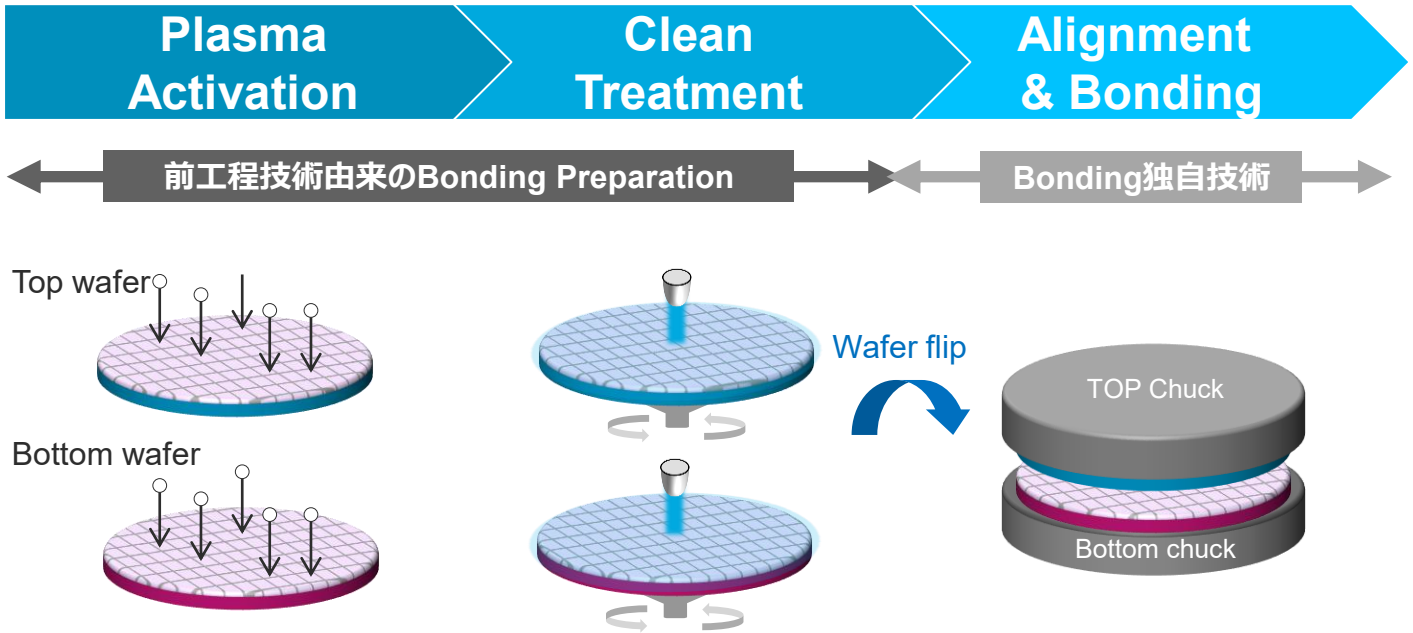
- CY2030には3,000億円規模に
- 前工程向けと先端パッケージング向けの両方セグメントで成長
- ボンダー（永久/仮貼合）、デボンダー（剥離）、切削、薄化と技術は各種技術が対象

* TAM : Total Available Market

Source of all drawings: TEL

ウェーハ永久接合ボンダー Synapse™ Si

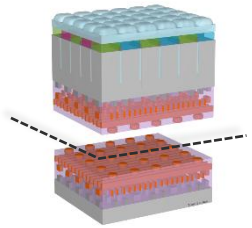
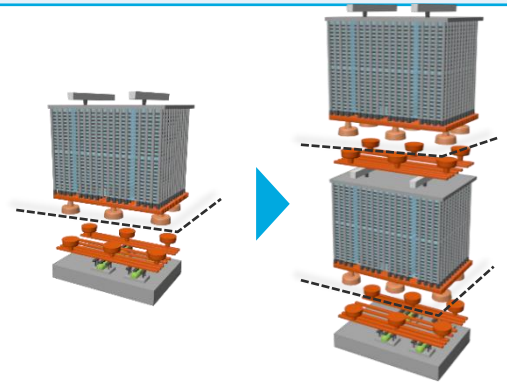
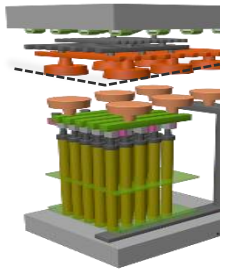
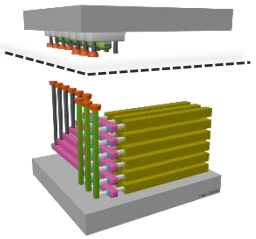
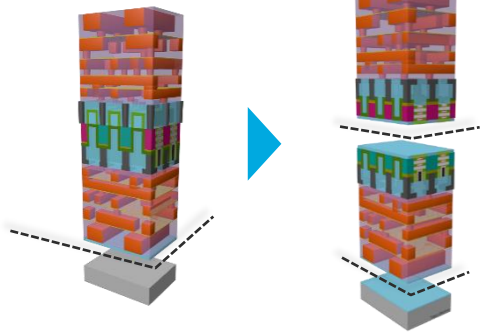




- 当社の有する広範な技術とさまざまな事業が、効率的な製品開発と性能改善に大きく寄与
- ボンディングの量産導入へ向けて、主要なメモリ/ロジックのお客様との評価が順調に進展
- 次世代デバイス製造へ、ウェーハでのフュージョン/Cuハイブリッドボンディング技術をリード

Source of all drawings: TEL

ボンディング技術が適用されるさまざまなアプリケーション

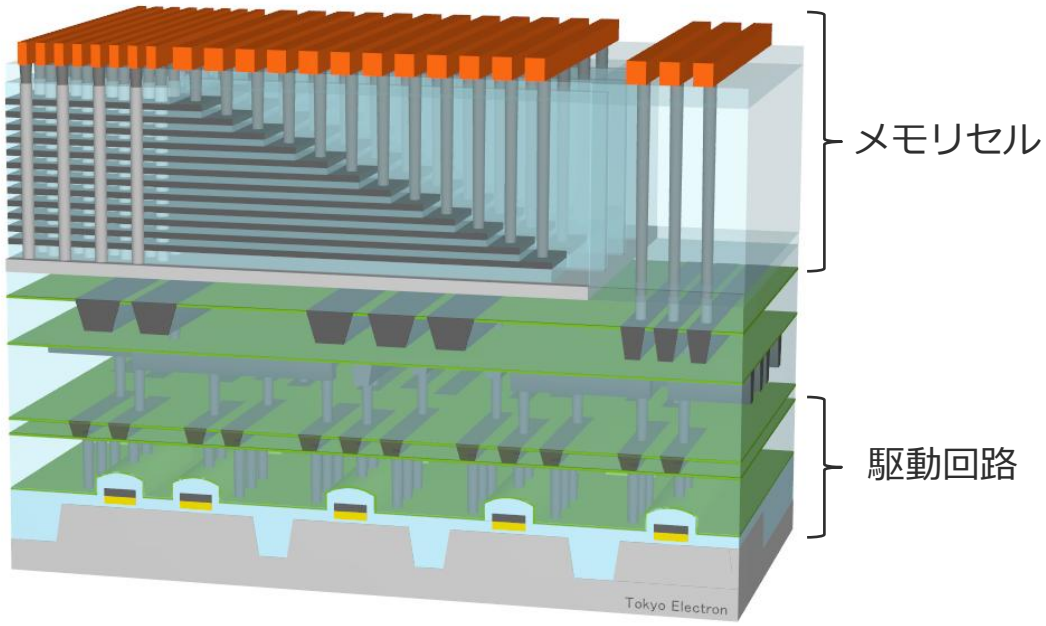
Application	前工程				
	CIS[*1]	NAND	DRAM		Logic
Stacking Device	BSI[*2] Pixel + (Peripheral) + Logic	3D NAND Cell + Peripheral ▷ : + Cell + Cell + Peripheral	VCT[*5] DRAM (Si Substrate) + Peripheral + Cell + (Si Substrate)	3D DRAM (Si Substrate) + Peripheral + Cell + (Si Substrate)	BSPDN Logic + Si Substrate ▷ BSPDN & CFET Logic + Logic + Si Substrate
Bonding	Wafer to Wafer (CHB[*3]/Fusion)	Wafer to Wafer (CHB)	Wafer to Wafer (CHB/Fusion)	Wafer to Wafer (CHB/Fusion)	Wafer to Wafer (HB[*6]/Fusion)
Structure					
Status	HVM[*4]	R&D~HVM R&D	R&D	R&D	R&D~HVM R&D

将来のデバイス構造は単層から複層ボンディングへ

*1 CIS: CMOS Image Sensor
*2 BSI: Backside Illumination
*3 CHB: Cu Hybrid Bonding
*4 HVM: High Volume Manufacturing
*5 VCT: Vertical Channel Transistor
*6 HB: Hybrid Bonding

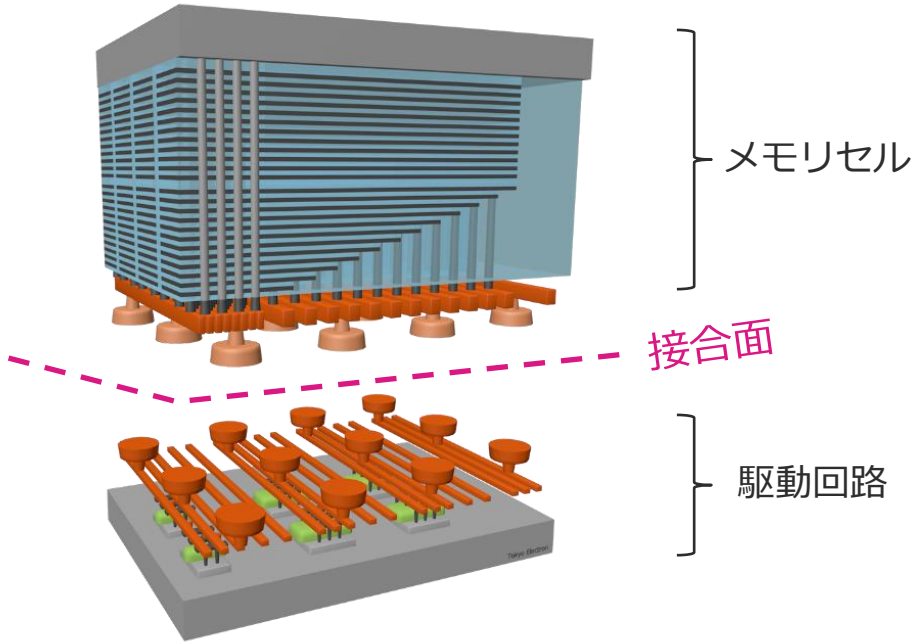
貼り合わせ接合導入例：3D NAND

従来構造



- ✓ 駆動回路が高熱に晒され劣化
- ✓ 長い配線長

接合構造

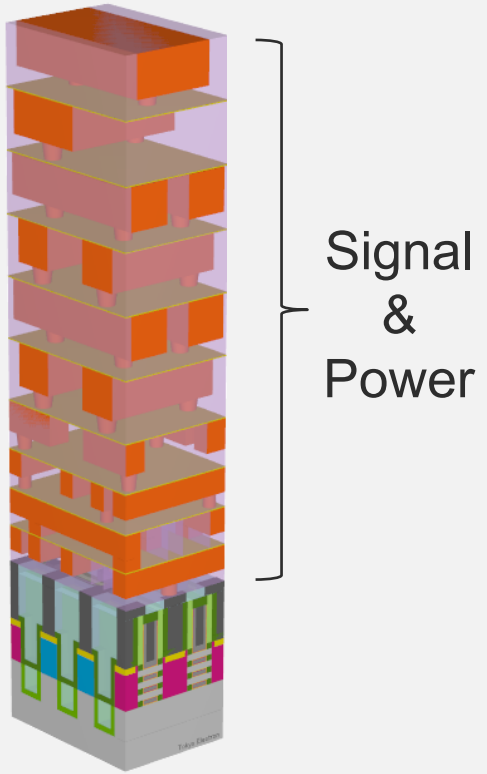


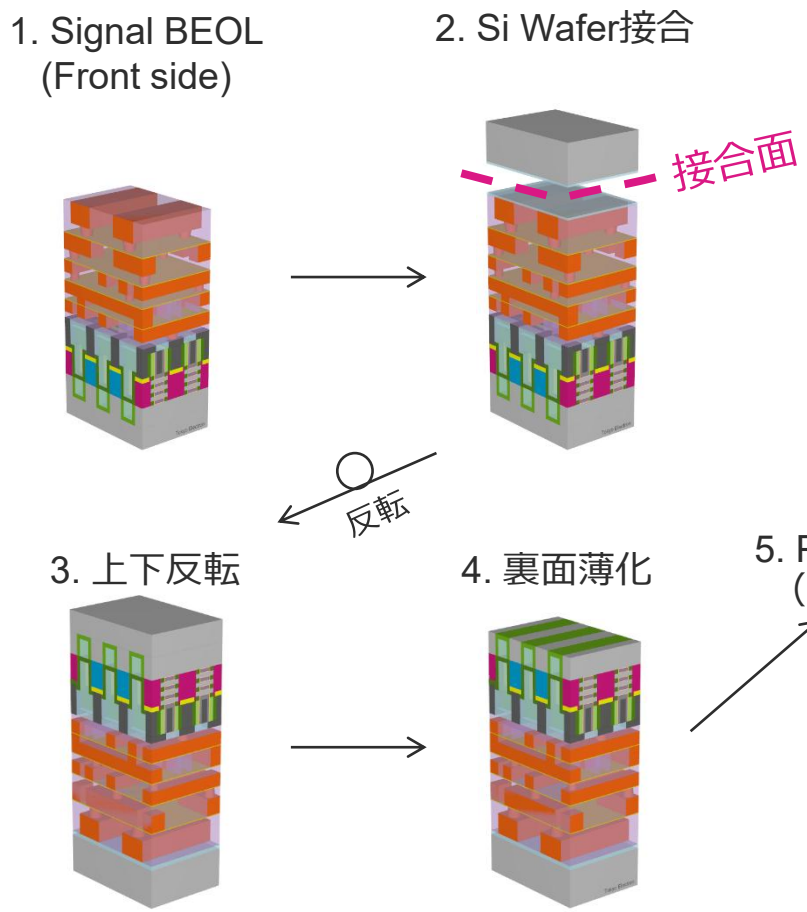
- ✓ 駆動回路を別ウェーハで製造、メモリセルと貼り合わせ
  - 回路性能向上
  - 短TAT*プロセス
- ✓ 短い配線長

* TAT: Turnaround time

貼り合わせ接合導入例：Logic Backside PDN

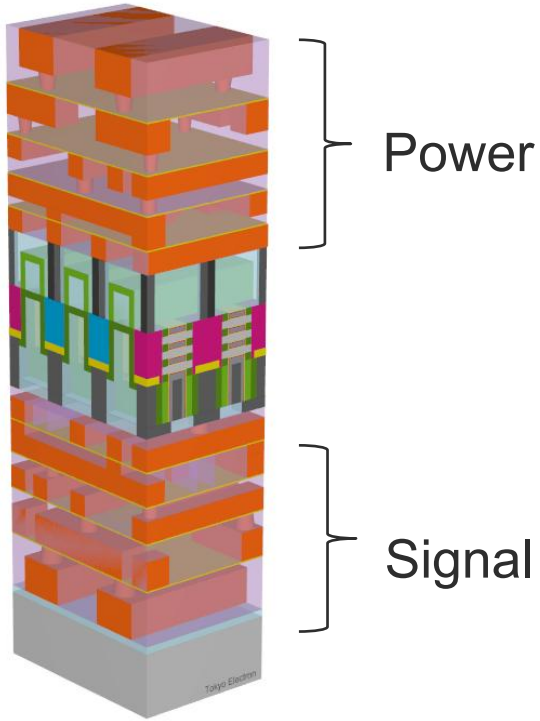
従来構造





Backside PDN*

*Power Delivery Network



※Power配線の制約なく
微細化を追求可能

Source: TEL

Source of all drawings: TEL

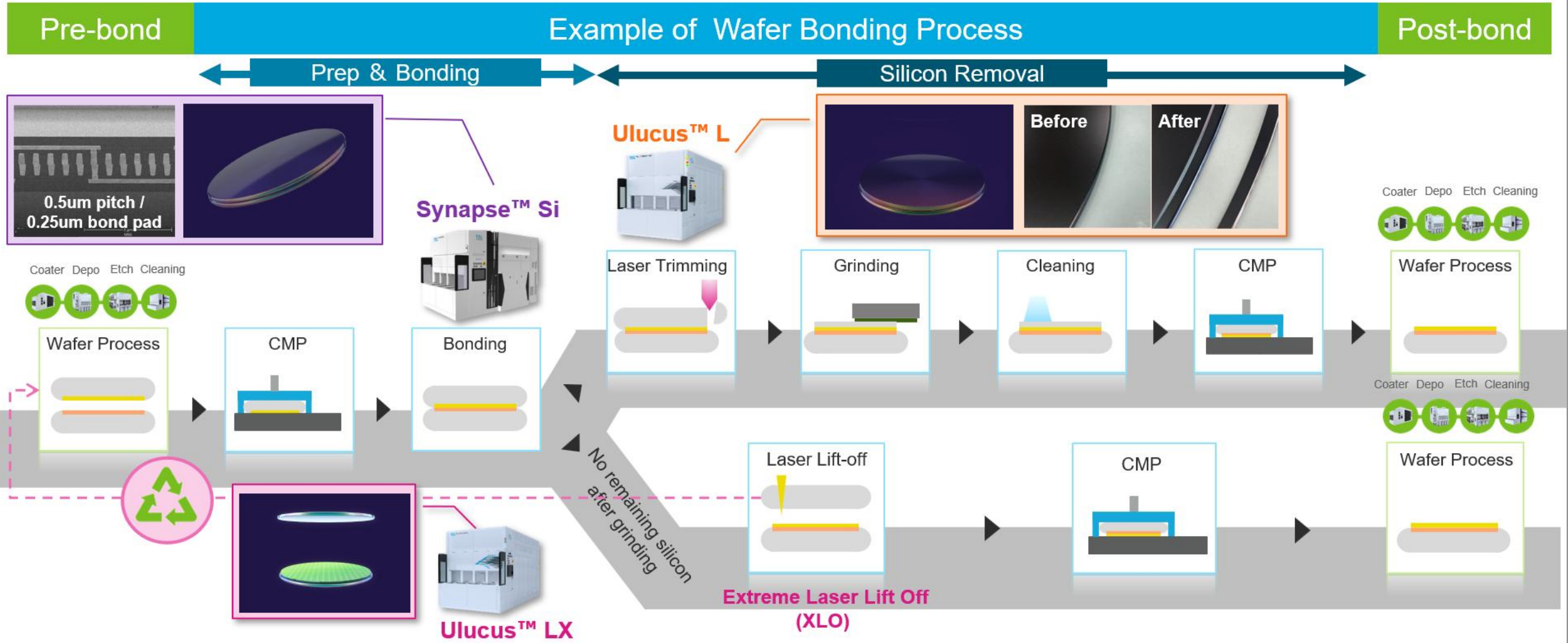
ボンディング技術が適用されるさまざまなアプリケーション

Application	Advanced Packaging		
	Stack Memory / HBM	3DIC	
Stacking Device	DRAM Wafer ⋮ DRAM Wafer + DRAM Wafer + Logic Wafer OR DRAM (Die) ⋮ DRAM (Die) + DRAM (Die) + Logic Wafer	SoC Disaggregation Device A Wafer + Device AorB Wafer OR A, B, C, Die, Wafer	Heat Spreader Heat Spreader + Device
Bonding	Wafer to Wafer / Die to Wafer (CHB/Fusion)	Wafer to Wafer / Die to Wafer (CHB)	Wafer to Wafer (Fusion)
Structure	**Micro Bump** → ***Cu hybrid*** (More stacks) Change • Thinner die / more stacks • High density connection • Better thermal conductance Cu	**Monolithic SoC** → ***3D Stack IC*** SRAM, CPU/GPU, I/O&Peripheral Change • Small formfactor (3D stack vs. 2D) • Higher speed (shorter wiring, no bump) • Lower power (shorter wiring, no bump) • Lower cost (higher yields, easy to mix processes) • Shorter time to market (matured IP block reuse)	Heat Spreader • Better thermal conductance
Status	R&D	R&D ~ HVM	HVM

フュージョン/Cuハイブリッドボンディング技術は先端パッケージング工程へ拡大

Source of all drawings: TEL

前工程ボンディングプロセスと当社の製品群



当社製品群により、高効率で高品質なボンディングプロセスを実現

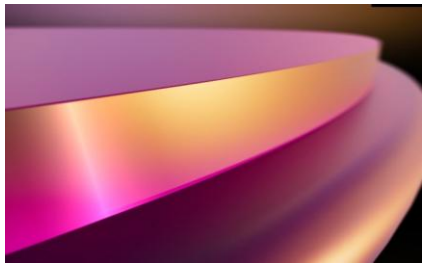
レーザトリミング装置: Ulucus™ L

Source of all drawings: TEL

- 概要
  - ウェーハ接合時に使用するエッジトリミング装置
  - 前工程レベルのスーパークリーン技術を適用した最新プラットフォームと、レーザ制御技術を融合



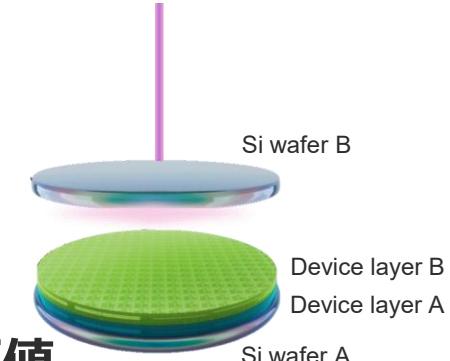
- 特徴
  - 高精度：より細いトリミング幅を実現するプロセス。低ダメージで歩留の良い滑らかなサイドウォールを実現
  - 高生産性・高信頼性：生産性年信頼性の両立
  - 高い環境性能：純粋使用量を70%以上削減、環境負荷を低減



高精度・高品質かつ、エコフレンドリーで革新的なレーザトリミング技術により
ウェーハボンディング工程をサポート

ポストボンディング工程向け Ulucus™ LX

- **エクストリームレーザー リフトオフ(XLO) 技術の搭載**
  - ポストボンディング工程
    (ウェーハ接合後に続く重要工程)
    への次世代薄化技術
  - シリコン基板とデバイス薄膜層を
    レーザにて分離



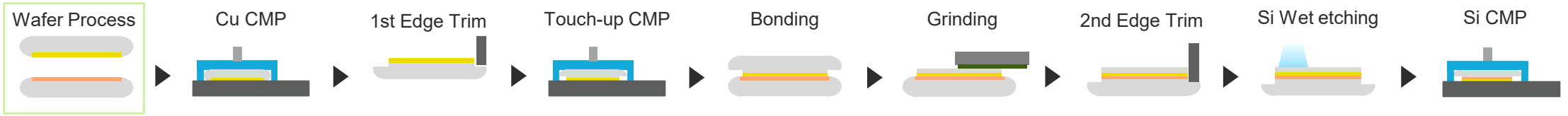
- **プロセス性能と環境性能における価値**
  - シリコン有効面積の拡大
  - 製造工程数の削減
  - 純水使用量/CO_2排出量の削減
  - ウェーハ再利用の可能性



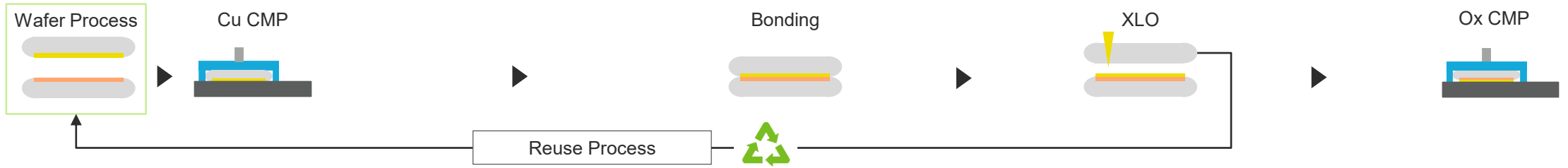
Source of all drawings: TEL

Ulucus™ LX を採用する価値

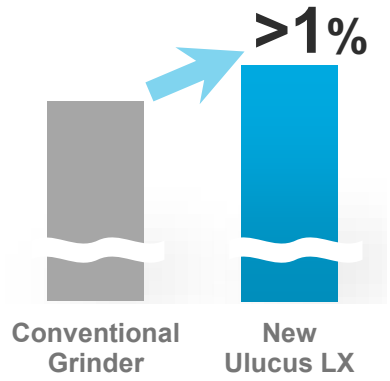
Permanent Bonding Process with Grinding & Blade Edge Trimming (Conventional)



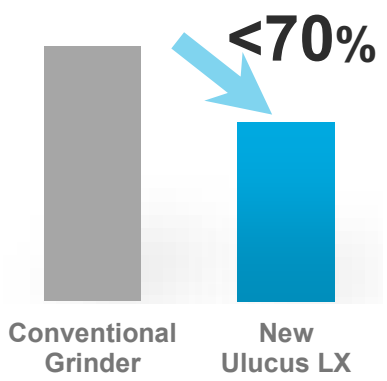
Permanent Bonding Process with XLO (Extreme Laser Lift Off)



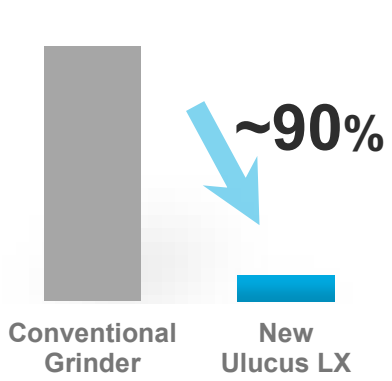
シリコン有効面積



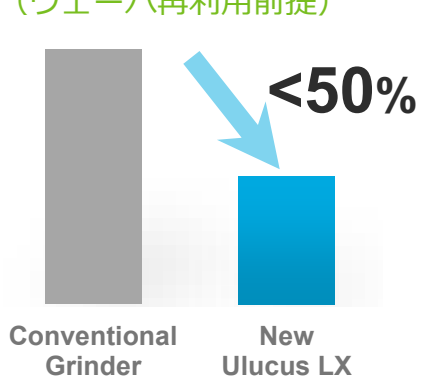
製造工程数



純水使用量



二酸化炭素排出量
（ウェーハ再利用前提）



シリコン汚泥レス
→ グラインダーに対する利点



Source: TEL

8. MAGIC市場とフィールドソリューションの取り組み

MAGIC 市場

- 2倍の市場成長を期待
  （2023年約$25B、2030年$50B想定）
- MAGIC向け装置群を開発、供給
- MAGIC向け200mmのデモラインも用意
  – 山梨・熊本・宮城
  – マサチューセッツ・ミネソタ・フロリダ

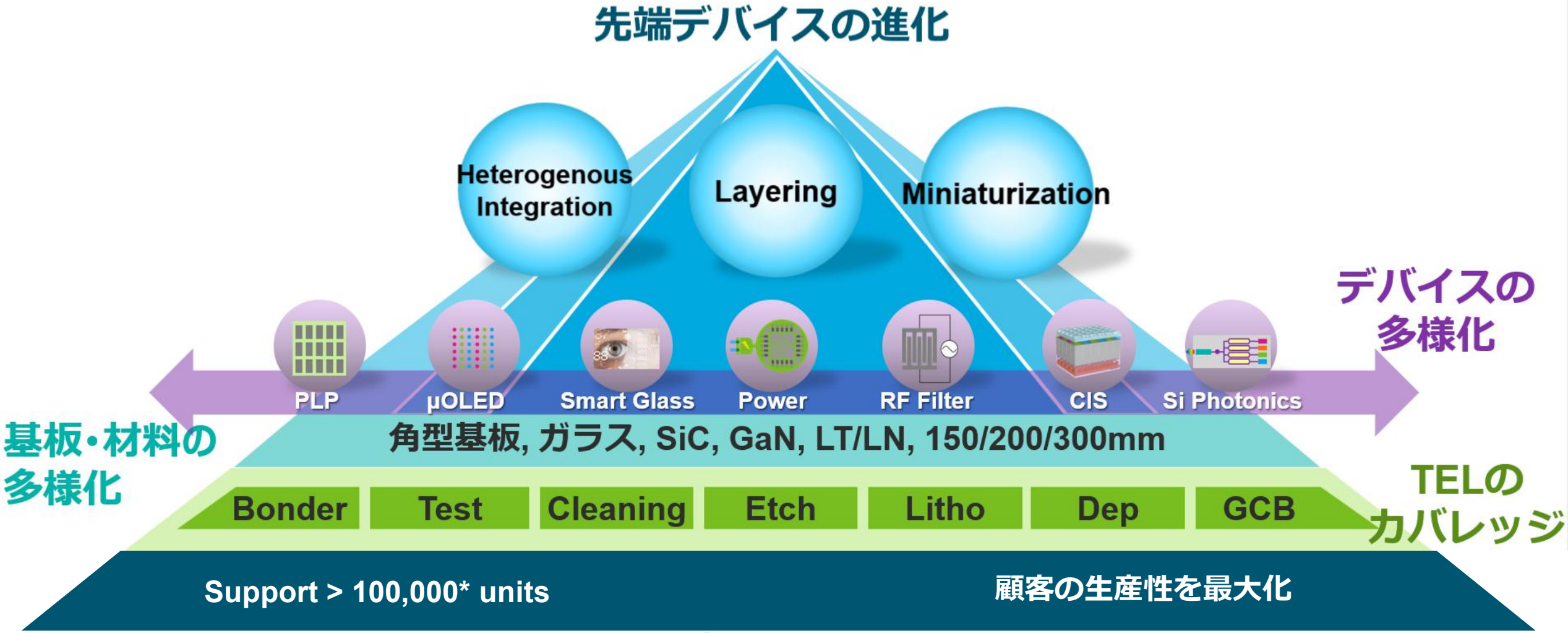






Source: TEL, Licensed Image

多様なニーズに多様な装置とソリューションを提供



Source: TEL Source: Licensed Image

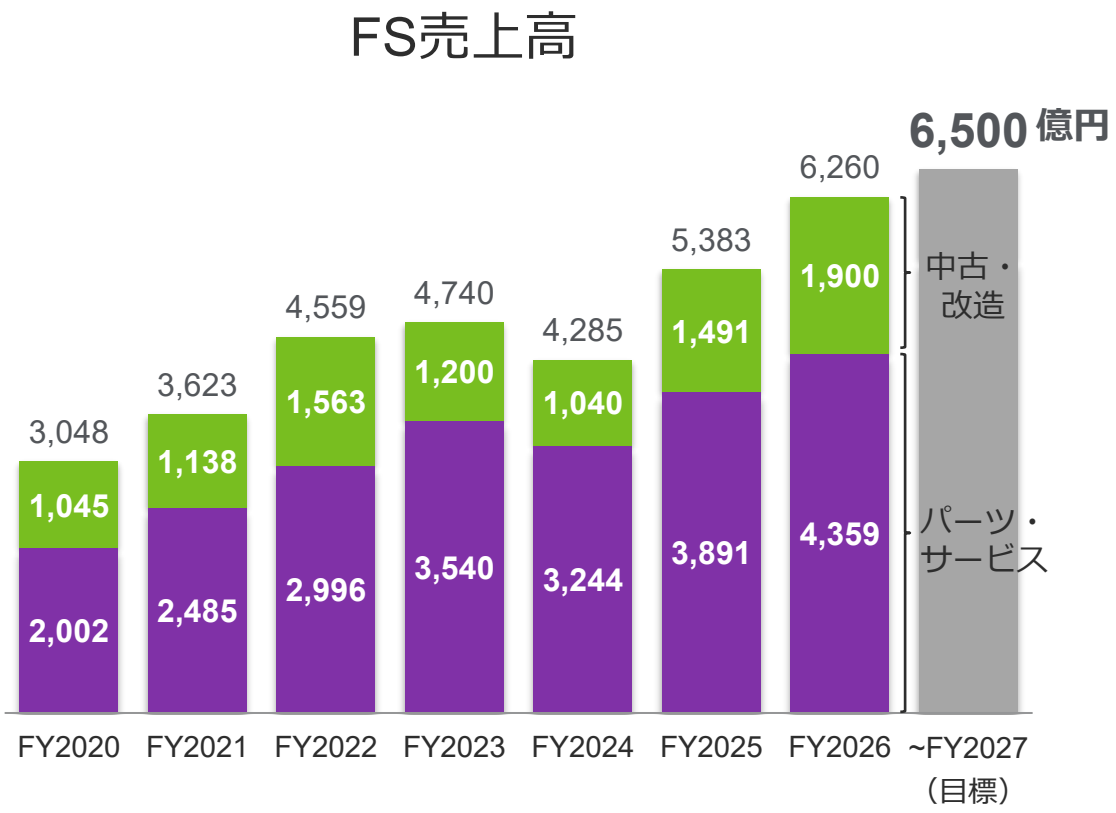
* 2026年3月末時点

フィールドソリューション（FS）の基本戦略

- 納入済み装置をベースとしたソリューション・ビジネスの展開
- アドバンスト・フィールドソリューションの開発と推進
  - DXなど最新技術を用いた、最先端かつサステナブルなサポート
  - 遠隔保守サポートや教育ツールの開発
- フロントライン強化
  - フィールドエンジニアの継続的なスキルアップ

付加価値の高いサービスで、お客さまのビジネスオペレーションの最大化に貢献

フィールドソリューション（FS）の売上実績と事業内容



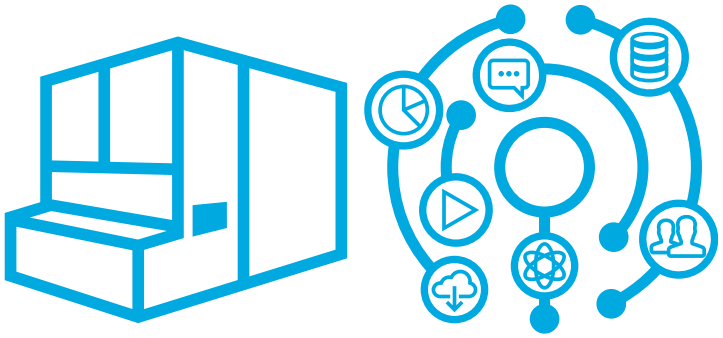
- パーツ・リペア
  - パーツ劣化の予知保全
  - 適切なパーツ在庫管理と迅速な配送
- サービス
  - 装置納入からアフターメンテナンスまで一貫した「包括契約型」サービスの提供
  - お客さまごとのご要望に応えながら、装置稼働率を最大限に高めるためのソリューション提案
- 改造
  - 生産性向上
  - 歩留まり改善

出荷済み装置 100,000台以上*。年間約4,000～6,000台の納入台数増加によるSAM拡大

* 2026年3月末時点

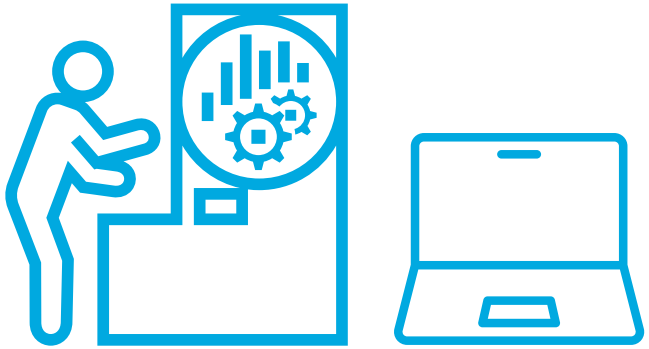
アドバンスト・フィールドソリューション

TELeMetrics™



- 個別装置情報の把握
- ナレッジマネジメント、
  トラブル事例の蓄積

リモートサポート



- 装置の予知保全による
  ダウンタイムの最小化
- 渡航制限下でも迅速な対応を
  可能とする遠隔サポート

DXを推進する「TELeMetrics™」を中心とした付加価値の高いソリューション提案

9. デジタルトランスフォーメーション（DX）の取り組み

製品ライフサイクルにおけるDX

ベストな製品開発　装置立上げ/プロセス立上げ　生産　ベストなサービス提供



Source: TEL

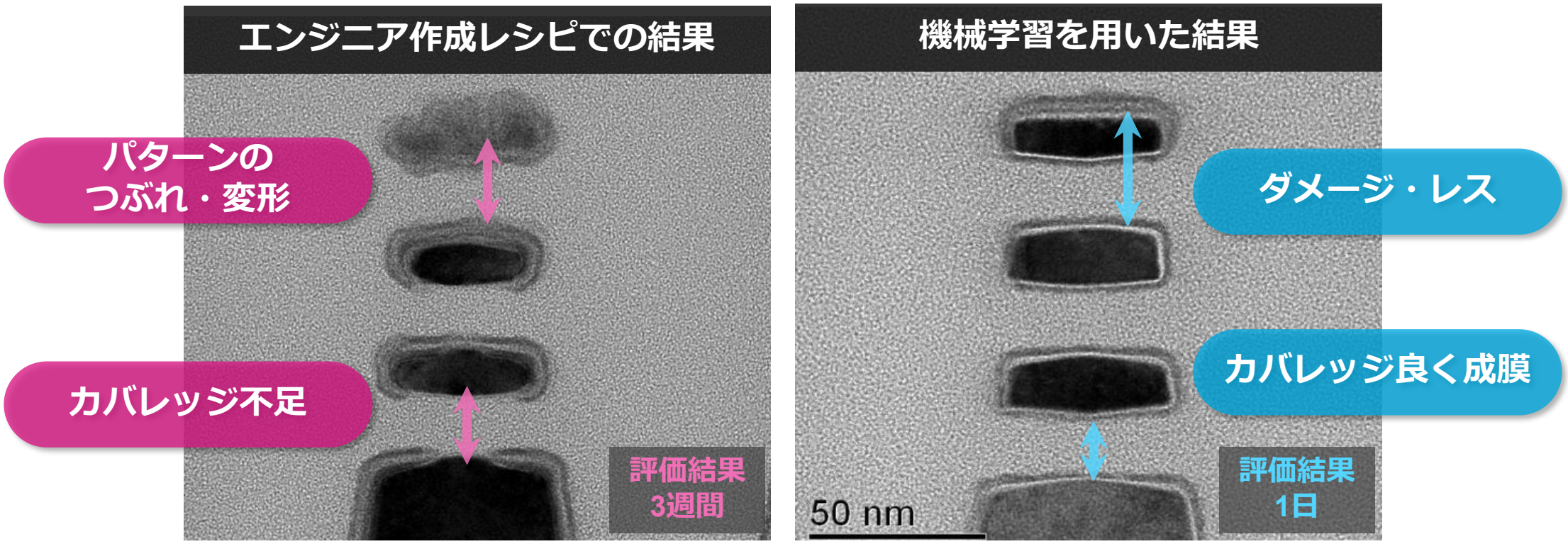
MI*（マテリアルズインフォマティクス）　自己診断（センサー・ダイアグノスティック）　ロボティックス

PI*（プロセスインフォマティクス）　高生産性プラットフォーム　AR/VR

生産性・収益性を高めるべく、製品ライフサイクル（PLC)全体でデジタルイネーブラーを開発

*MI: 材料科学において大量のデータと機械学習を活用し、新材料の開発や物性予測を効率化する手法
*PI: 製造や化学プロセスで発生する大量のデータと機械学習を活用し、工程の最適化や異常検知、品質向上を図る手法

事例① 研究開発の生産性向上：プロセスインフォマティクス

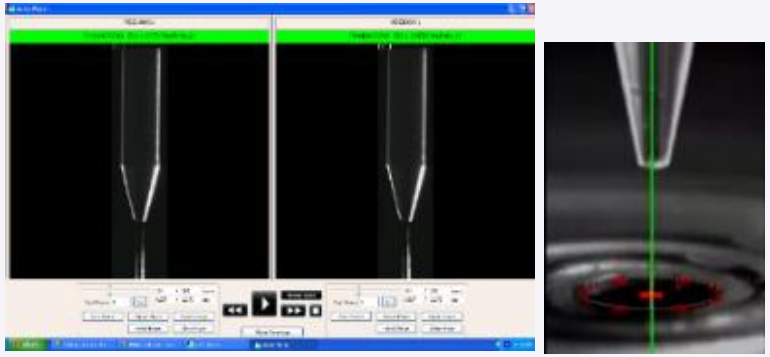


Source: Tokyo Electron Technology Solutions Limited / Tokyo Electron Limited

機械学習により、ALDプロセスにおいて、パターンの変形がない
良好なステップカバレッジを実現

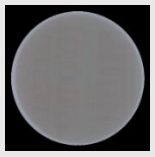
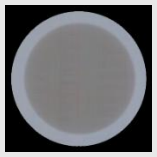
事例② 装置のオペレーションコスト効率の向上：コータ/デベロッパの省薬液

画像処理技術を使った薬液吐出状態のモニタリング



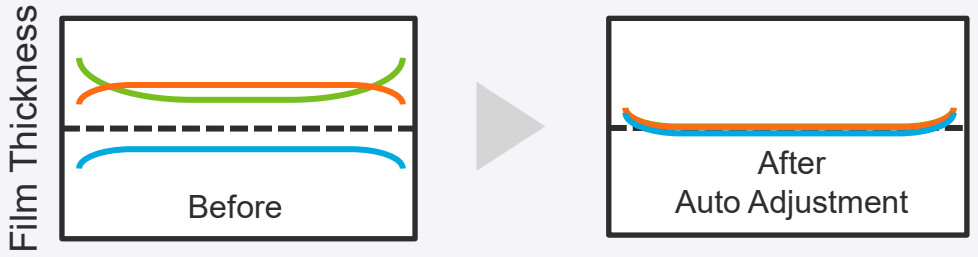
Source: TEL

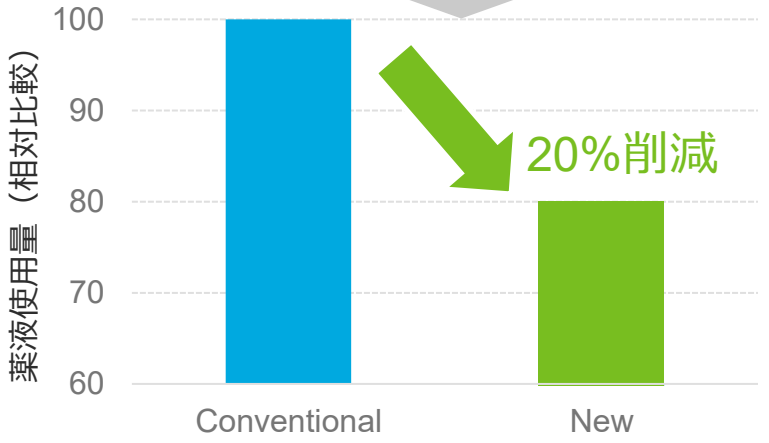
画像処理技術を使った薬液面内力バレッジのモニタリング

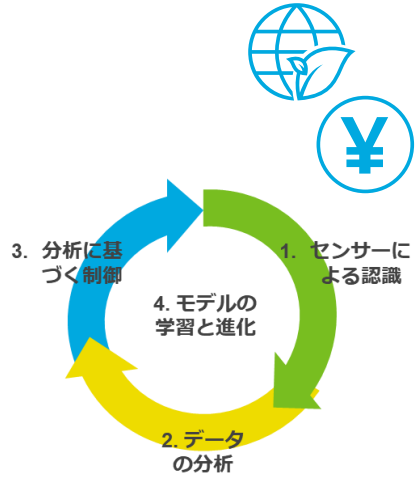
Dispense Volume	X ml	Y ml	Z ml	A ml
Judgement	Passed	Passed	Failed	Failed
Wafer image				

Source: TEL

自動膜厚調整機能

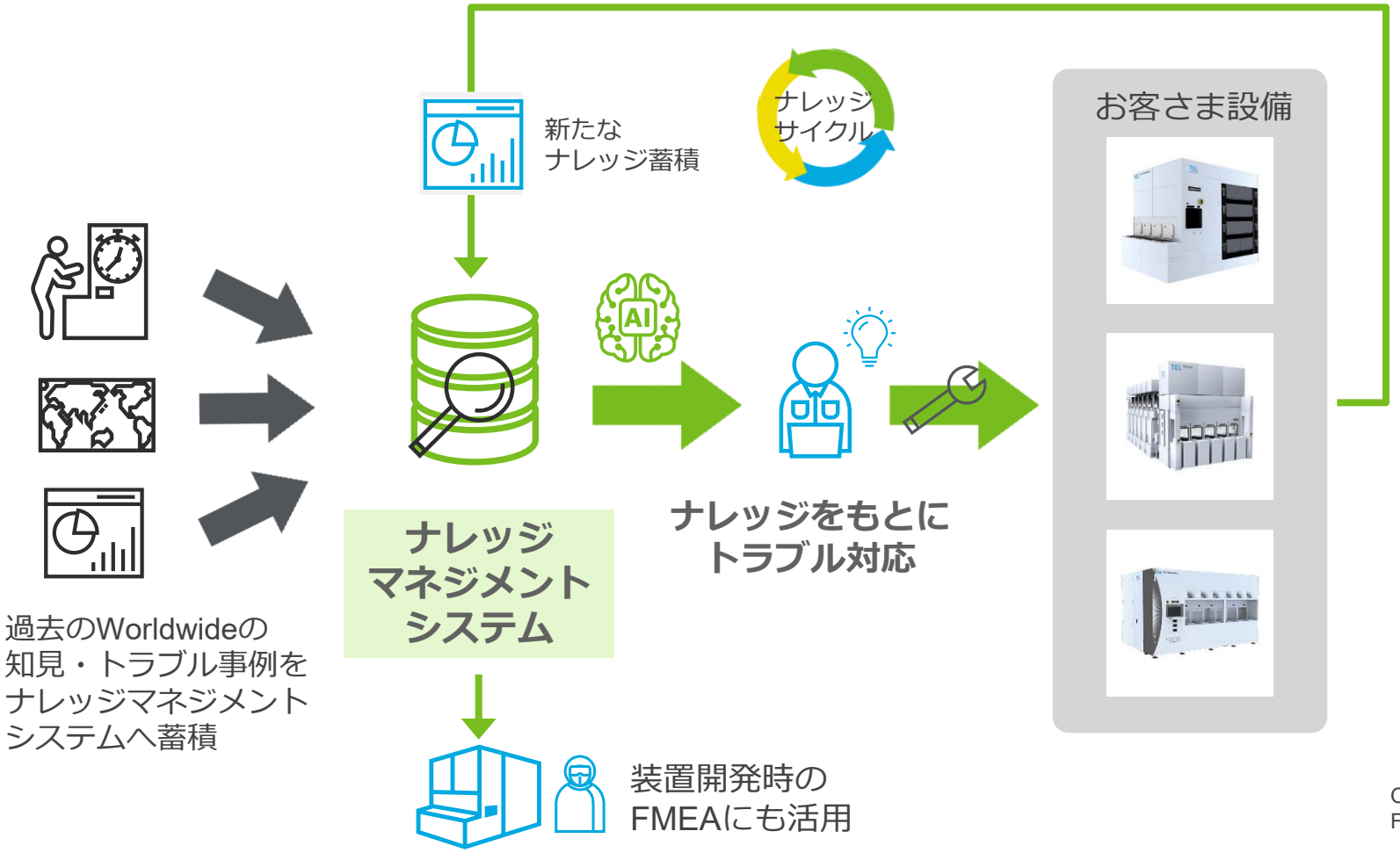






機械学習を使って、顧客オペレーションコストと環境に貢献

事例③ 装置OEEの向上：



トラブル収束時間 (トラブル発生～原因究明まで)

従来	数日
ナレッジ活用	即日 (OEE向上)

OEE (Overall Equipment Effectiveness)　：設備総合効率
FMEA (Failure Mode and Effects Analysis)：故障モード影響解析

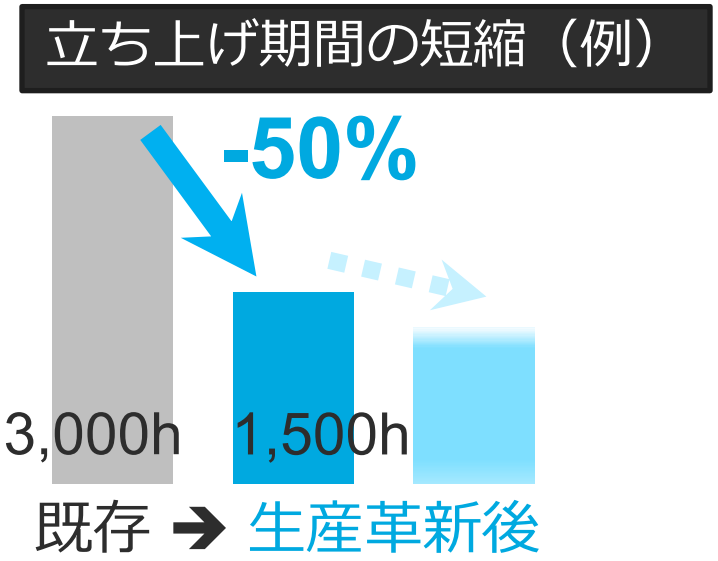
ナレッジマネジメントシステムによりトラブル収束時間を短縮し設備稼働率を向上

10. 調達・生産戦略

安全性・高品質・高信頼性を追求する継続的な生産革新

- 市場変動に迅速に対応できる生産システムの構築
- 新製品の開発から量産化までの移行時間の短縮
- 生産リードタイムの短縮：モジュール出荷100%実施
- 製造ライン DX・自動化、自動倉庫拡張/進化
- **立ち上げ工期の大幅削減（One-Touch立ち上げ）**
  - 工期削減▲～75%（1次目標）, ワンタッチ（Goal）





立ち上げ期間短縮による期待効果

- 生産性・スタートアップ品質向上
- 事故リスク低減
- リソースとワークライフバランスの適正化

持続可能なサプライチェーンの構築

- お取引先さまとの公正かつ透明なお付き合い、確かな信頼関係
  - 業界行動規範に基づいたCSR／BCPアセスメントの実施
  - 安全や品質、環境やコンプライアンスなどのナレッジ共有



Source:国際連合広報センター（https://www.unic.or.jp/）

生産動向説明会
年2回
調達金額比率：90%

パートナーズデイ
年1回
調達金額比率：65%

E-COMPASS

アセスメントの調査項目に
環境関連を追加し
環境負荷低減活動を称賛

- ✓ CO_2排出量・エネルギー使用量削減
- ✓ 再生可能エネルギー導入
- ✓ 省資源の推進
- ✓ 廃棄物削減・リサイクルの推進
- ✓ 物流の環境負荷低減活動の推進



調達BCP・プロアクティブな調達活動

中長期フォーキャスト
Shift Leftの調達戦略展開
調達難に強いBCP体制構築

サプライチェーンを上流から
下流まで一気通貫で把握
リスクの見える化

あらゆるリスクを想定した
サプライチェーン体制
（原材料・部品・加工・組立）
**強靭で信頼ができる
サプライチェーン**

**安全在庫
在庫流動性**

**サプライチェーン
可視化**

**取引先リスク管理
ﾊﾟｰﾄﾅｰｼｯﾌﾟ強化**

調達BCP施策

部品の早期確保

- 長期先行手配
- 工場間の在庫融通性の確保
- トータル在庫削減

半導体の確保

- 装置用半導体供給の確約
- 商流の可視化・スリム化
- 半導体メーカーと密接な連携

＝“TELの顧客はTELも顧客”

部品とサプライヤー

- リスク部品の特定と分析
- 生産国のマルチソース化
- 部品標準化・集約化・分散化
- アロケーション対策

高度な製品品質と高い生産性を両立するSmart Manufacturing

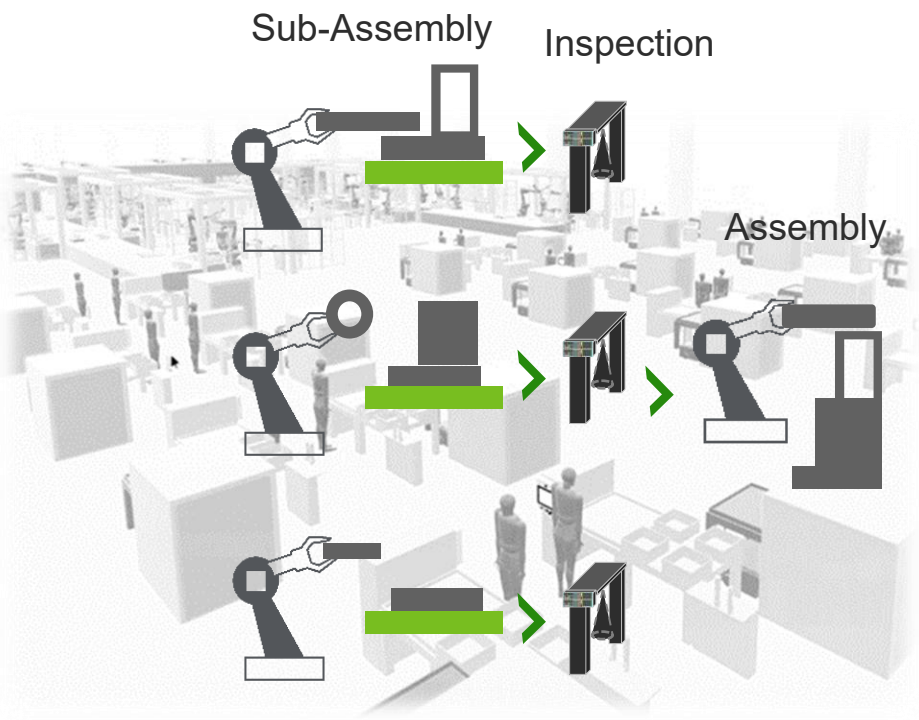
開発＆設計



Feed Forward

Feedback

Smart Manufacturing



開発と生産の拠点であるTEL宮城を中心に
絶え間ないコンカレントエンジニアリング、高度な生産技術を実現する

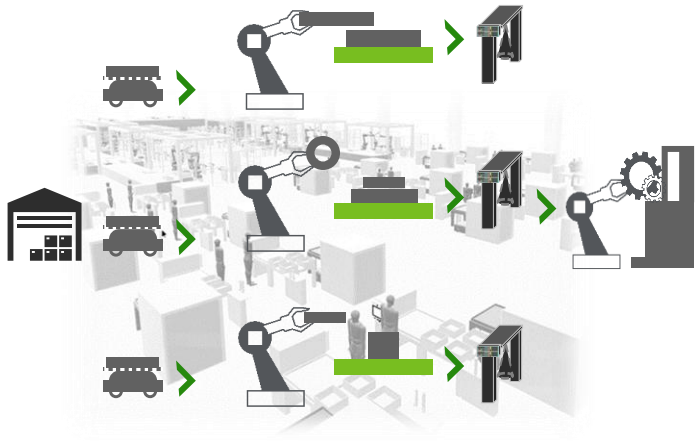
Source: TEL

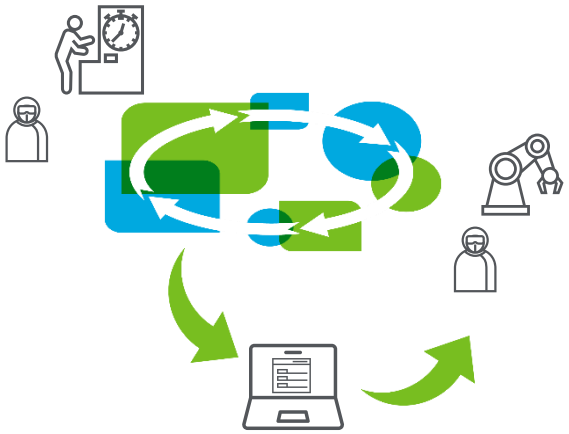
Source of all drawings: TEL

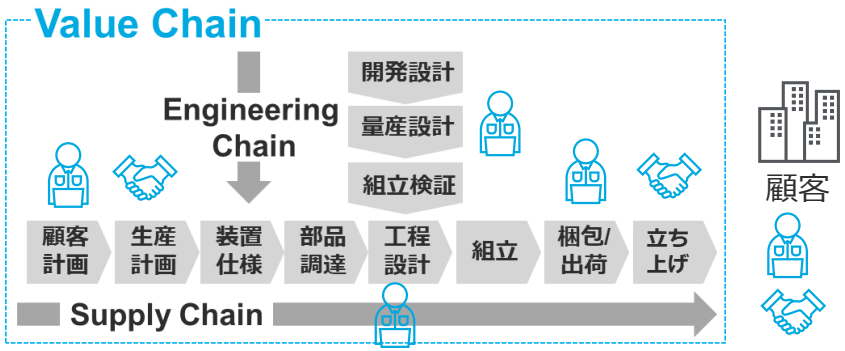
Smart Productionで目指す姿

- 将来にわたり持続可能なものづくりを実現

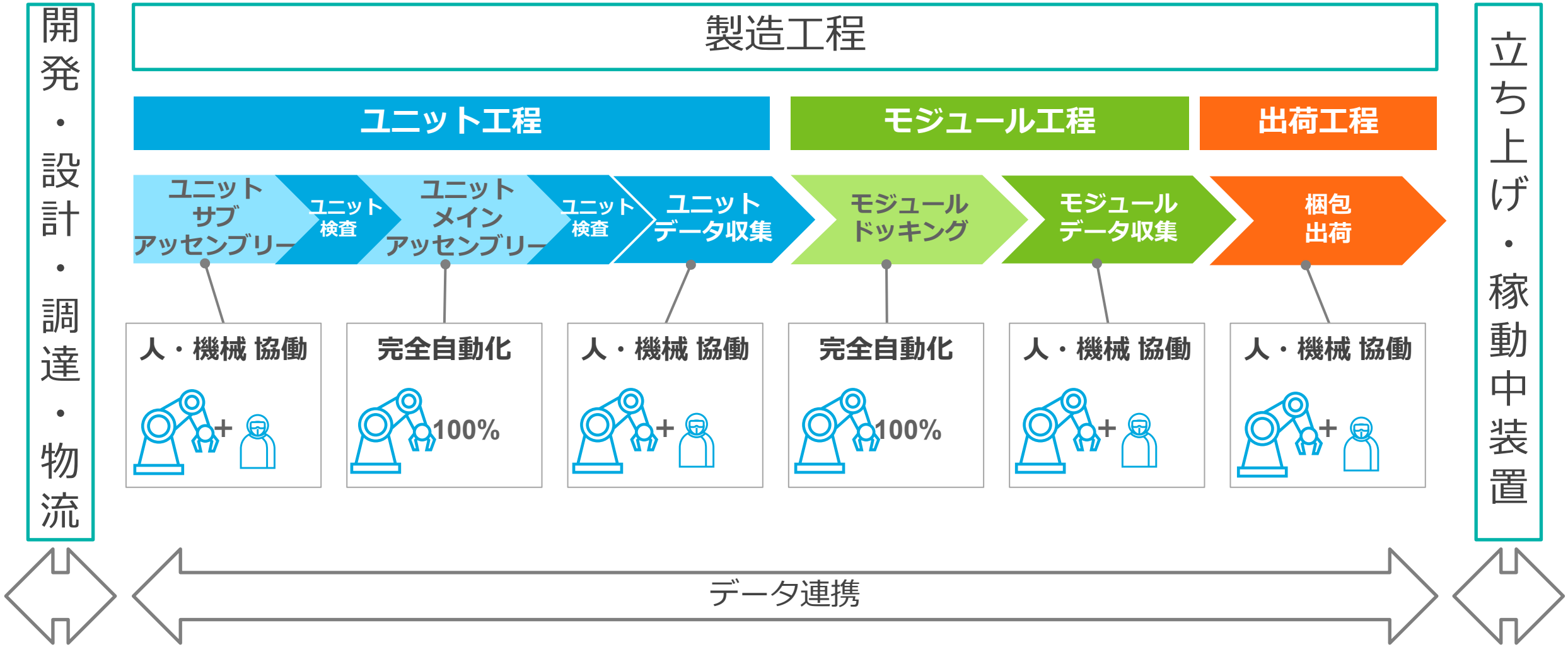
自動化・標準化による **圧倒的な効率化**	社内外環境変化にむけた **対応力の強化**	Value Chain強化による **製品品質・業務品質向上**







Smart Productionのイメージ図



Appendix：データセクション

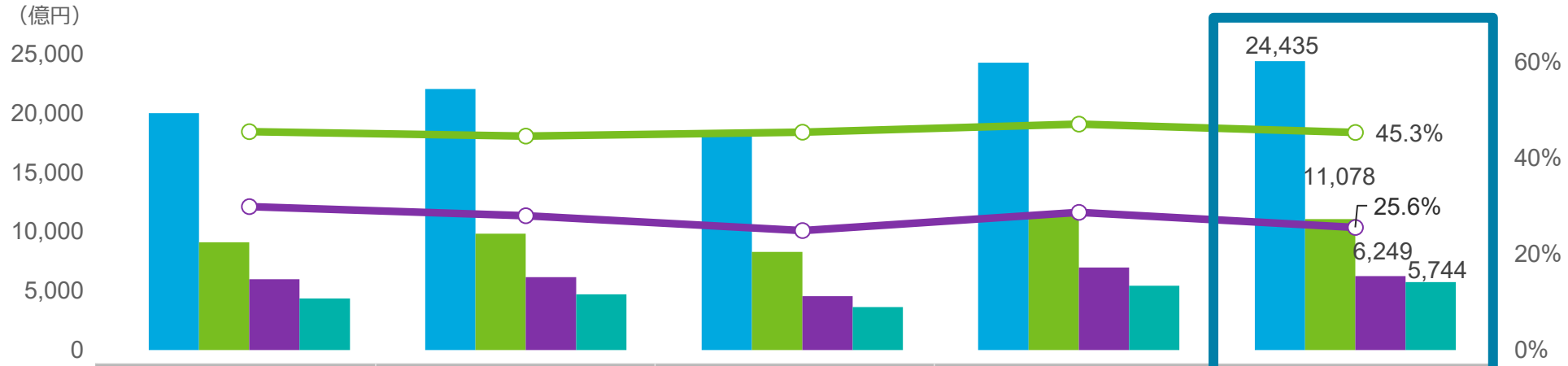
損益状況

（億円）

	FY2025	FY2026	対前期増減	（ご参考）2026年2月6日発表のFY2026予想
売上高	24,315	24,435	+0.5%	24,100
売上総利益	11,462	11,078	-3.4%	10,920
売上総利益率	47.1%	45.3%	-1.8pts	45.3%
販管費	4,489	4,829	+7.6%	4,990
営業利益	6,973	6,249	-10.4%	5,930
営業利益率	28.7%	25.6%	-3.1pts	24.6%
税金等調整前当期純利益	7,061	7,481	+6.0%	7,140
親会社株主に帰属する当期純利益	5,441	5,744	+5.6%	5,500
1株当たり当期純利益（円）	1,182.40	1,254.57	+6.1%	1,200.05
研究開発費	2,500	2,778	+11.1%	2,900
設備投資額	1,621	2,160	+33.2%	2,400
減価償却費	621	809	+30.3%	860

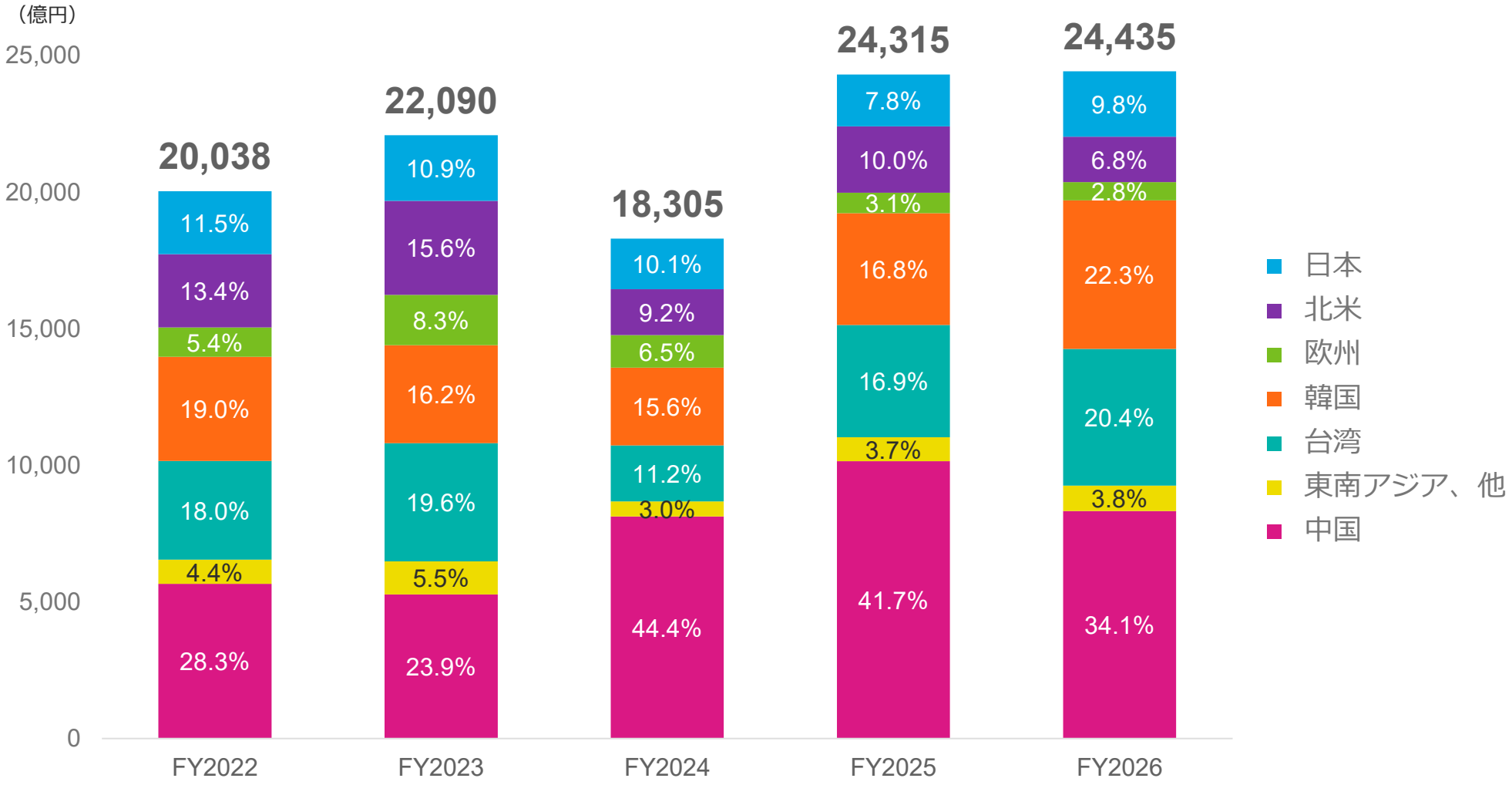
1. 当社製品の輸出売上は、原則円建てでおこなわれます。一部に外貨建売上および費用計上もありますが、極端な為替レートの変動がない限りにおいては、利益への影響は軽微です。
2. 利益率および増減率は、1円単位の金額をもとに計算しています。

損益状況の推移



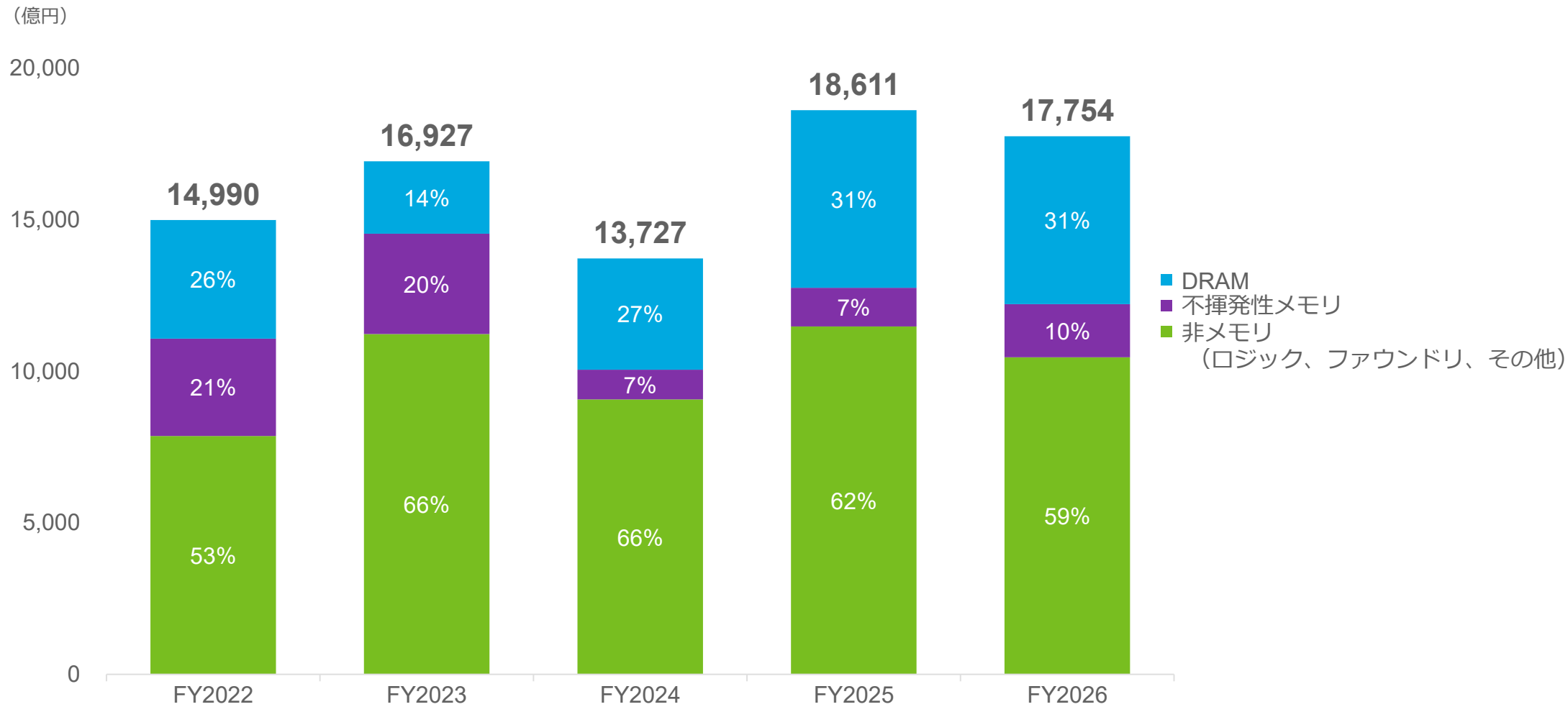
	FY2022	FY2023	FY2024	FY2025	FY2026
売上高	20,038	22,090	18,305	24,315	**24,435**
売上総利益	9,118	9,844	8,302	11,462	**11,078**
営業利益	5,992	6,177	4,562	6,973	**6,249**
親会社株主に帰属する当期純利益	4,370	4,715	3,639	5,441	**5,744**
売上総利益率	45.5%	44.6%	45.4%	47.1%	**45.3%**
営業利益率	29.9%	28.0%	24.9%	28.7%	**25.6%**
ROE	37.2%	32.3%	21.8%	30.3%	**29.6%**

地域別売上高構成比



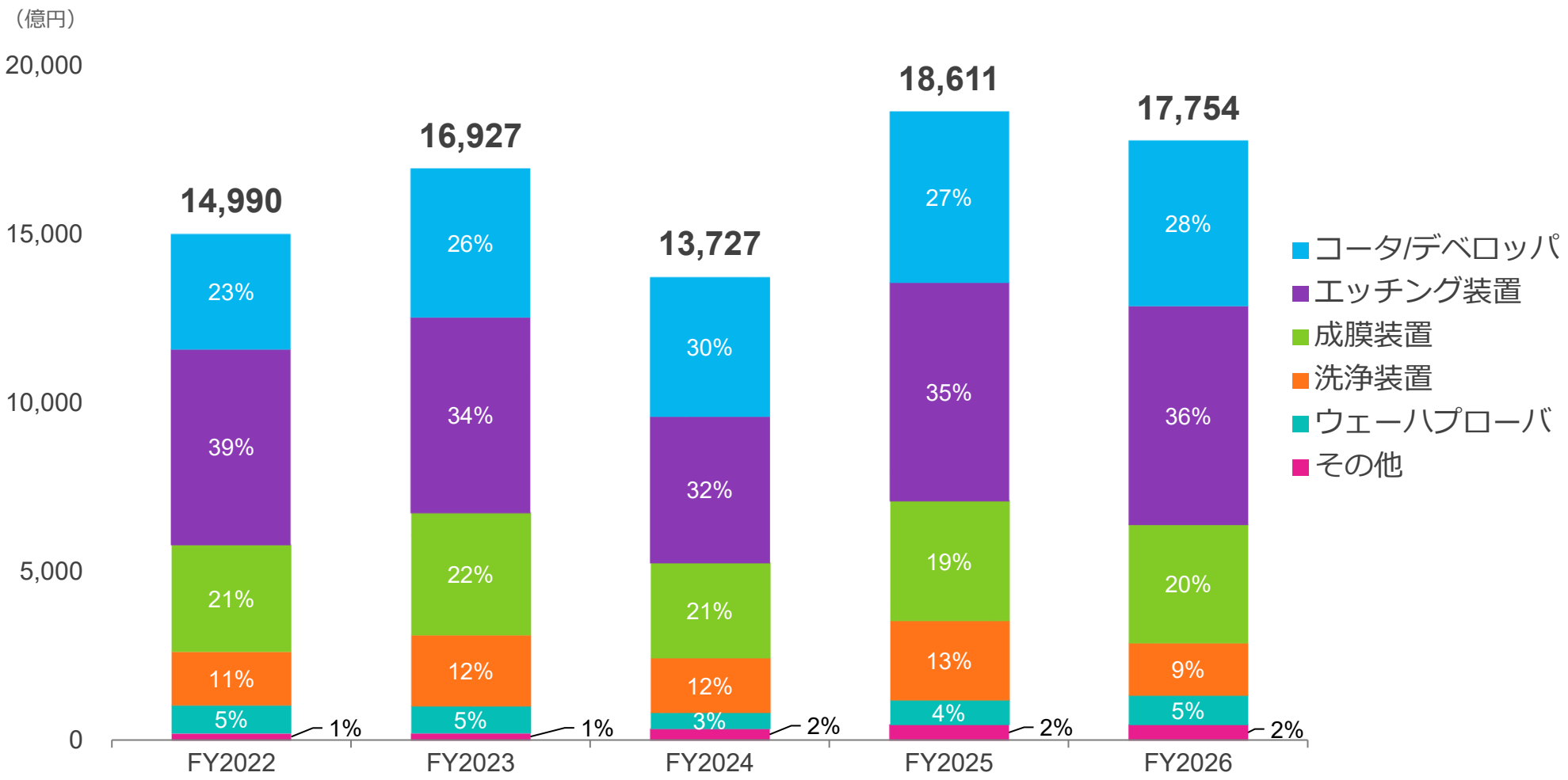
1. SPE（Semiconductor Production Equipment）：半導体製造装置
2. グラフは新規装置の売上高における構成比を示しています。フィールドソリューションの売上高は含まれておりません。

SPE新規装置　アプリケーション別売上構成比



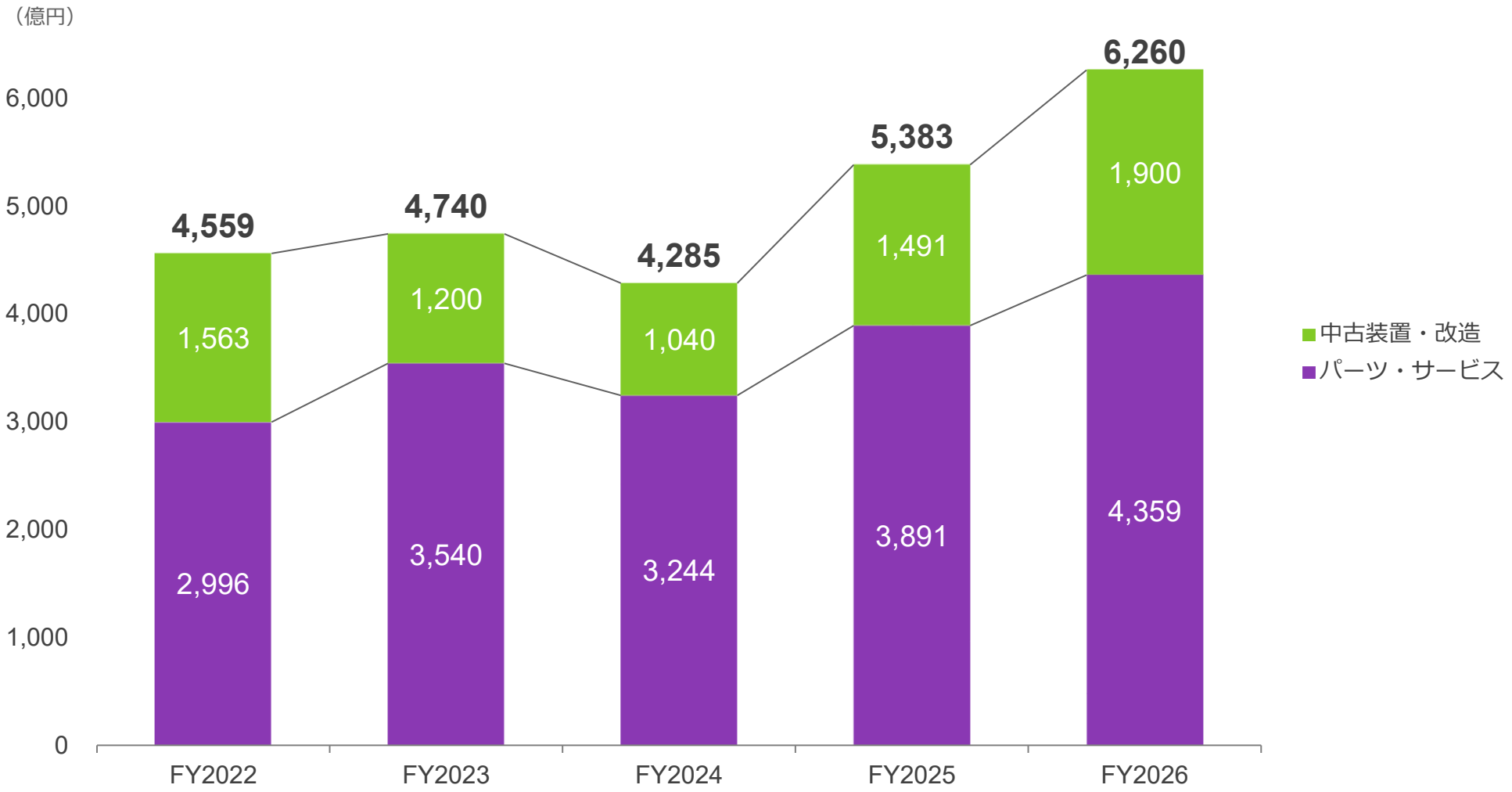
1. SPE（Semiconductor Production Equipment）：半導体製造装置
2. グラフは新規装置の売上高における構成比を示しています。フィールドソリューションの売上高は含まれておりません。

SPE新規装置　製品別売上構成比



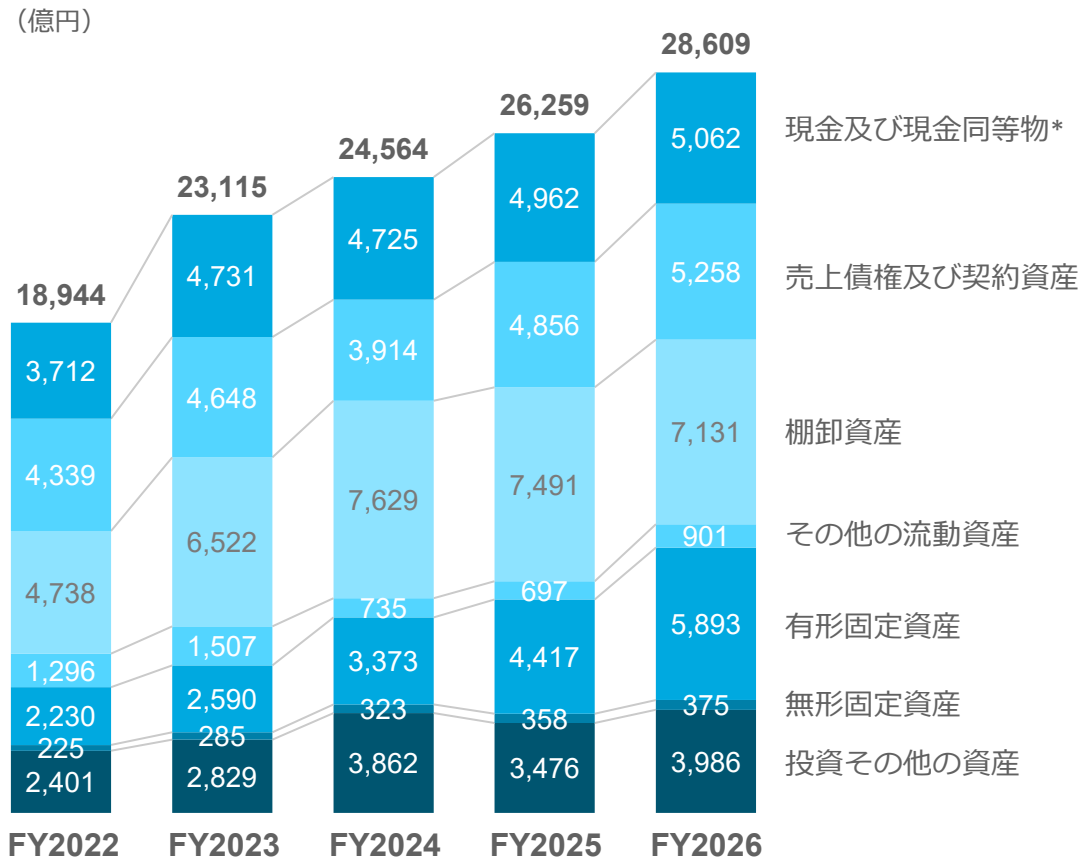
1. SPE（Semiconductor Production Equipment）：半導体製造装置
2. グラフは新規装置の売上高における構成比を示しています。フィールドソリューションの売上高は含まれておりません。

フィールドソリューション売上

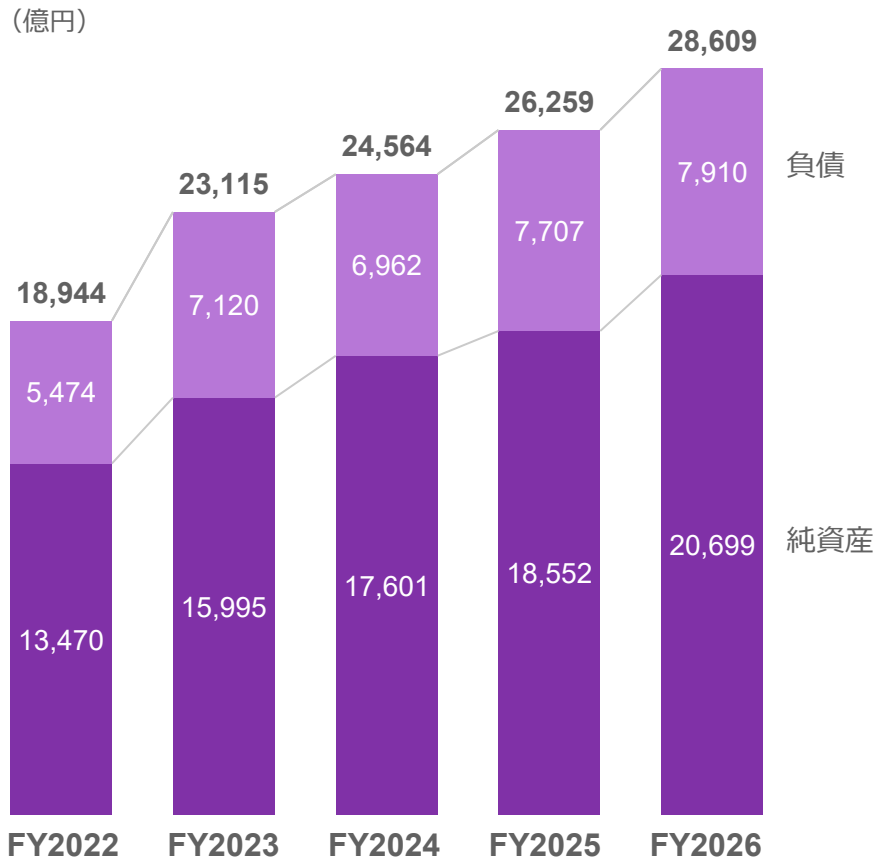


貸借対照表

資産

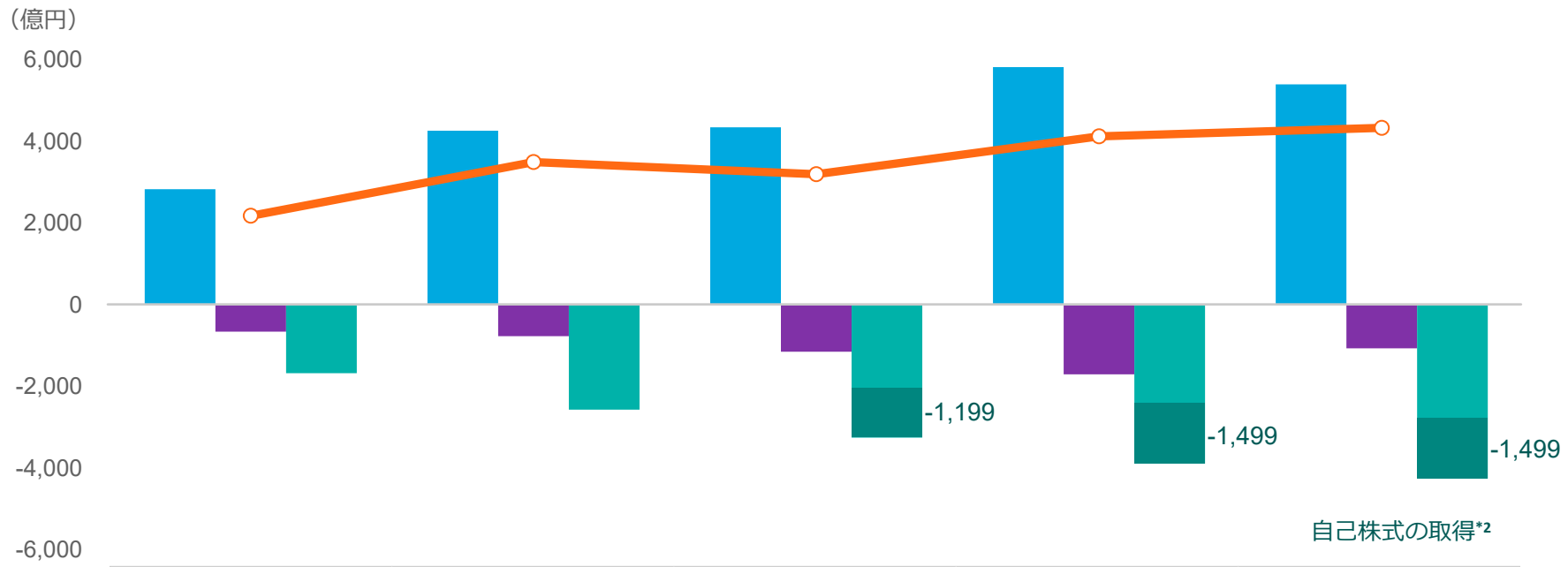


負債・純資産



*現金及び現金同等物：現預金 + 短期投資等（貸借対照表上の表示は有価証券）

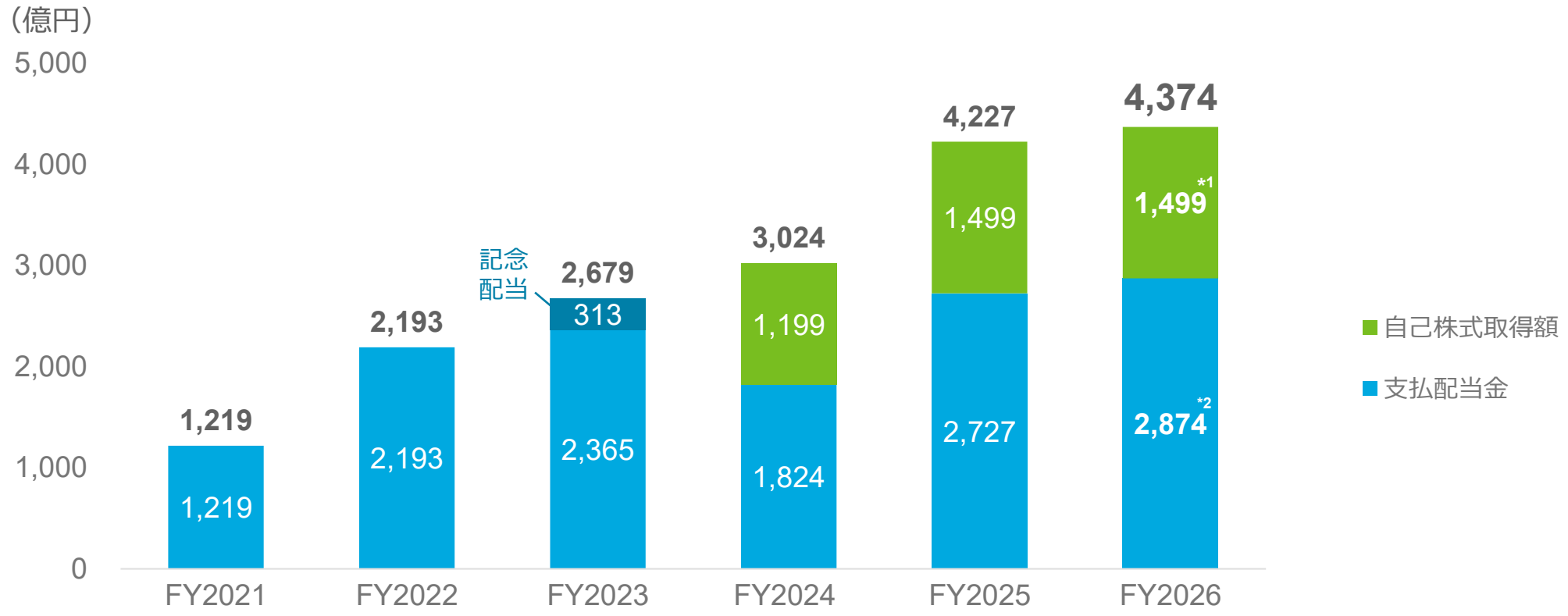
キャッシュ・フロー



	FY2022	FY2023	FY2024	FY2025	FY2026
営業キャッシュ・フロー	2,833	4,262	4,347	5,821	5,397
投資キャッシュ・フロー*1	-656	-767	-1,150	-1,697	-1,064
財務キャッシュ・フロー	-1,672	-2,565	-3,250	-3,888	-4,253
フリーキャッシュ・フロー*3	2,177	3,494	3,196	4,124	4,332
手元資金残高*4	3,712	4,731	4,725	4,962	5,062

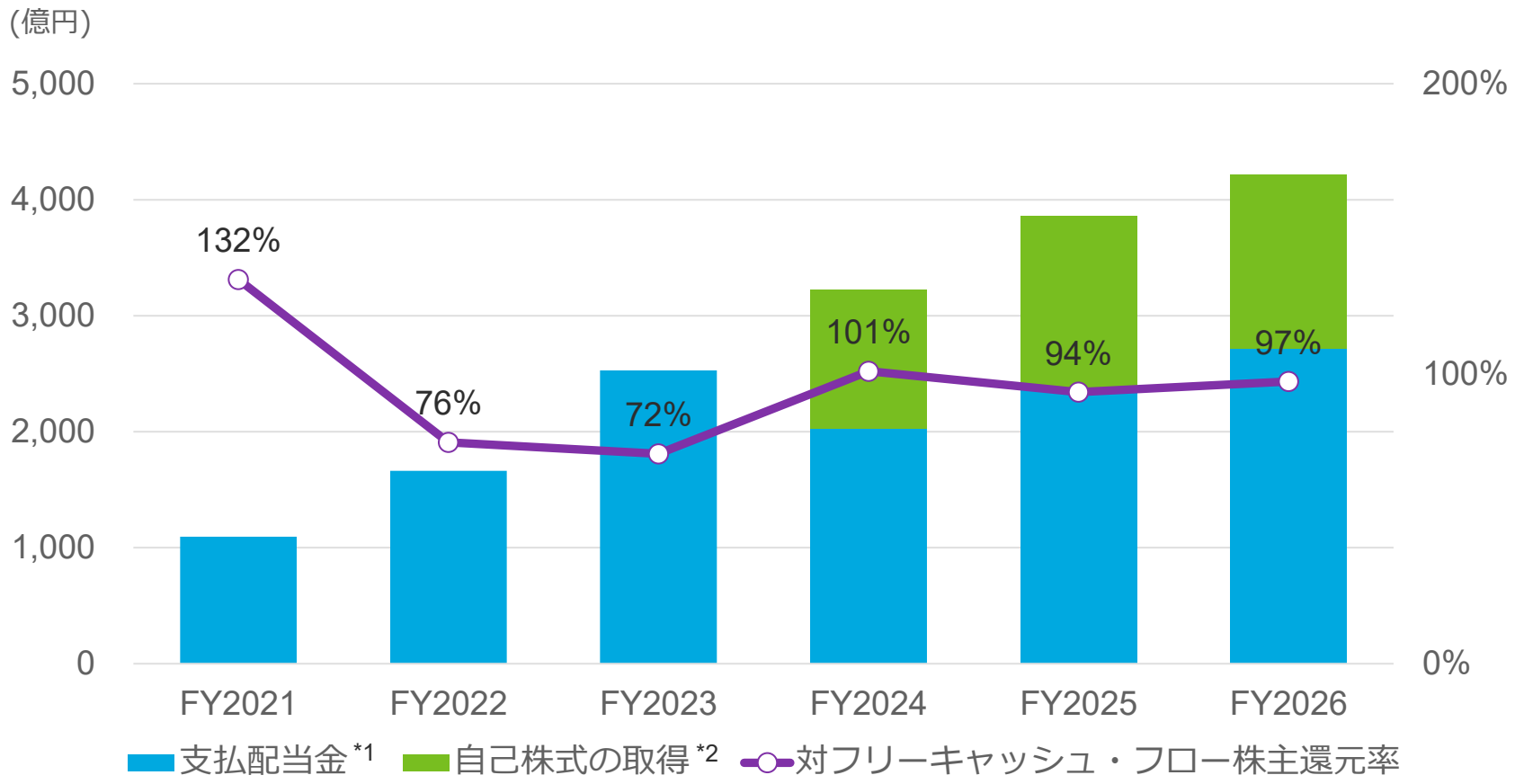
*1　投資キャッシュ・フローは、定期預金および短期投資の増減を除いた金額です。
*2　自己株式の取得は、単元未満株式の買取りに要した金額を除いた金額です。
*3　フリーキャッシュ・フロー = 営業キャッシュ・フロー + 投資キャッシュ・フロー（定期預金および短期投資の増減を除く）
*4　手元資金は、現金及び現金同等物と満期日または償還日までの期間が3カ月を超える定期預金および短期投資の合計額です。

総還元額



*1 https://www.tel.co.jp/news/ir/2026/bk8a0u00000000j1-att/20260327_002.pdf
*2 2026年3月期の期末配当額については取締役会決議前の予定額です。

株主還元の動向



*1 支払配当金は効力発生日(支払日)をもとに表示しています。
*2 自己株式の取得は、単元未満株式の買取りに要した金額を除いた金額です。

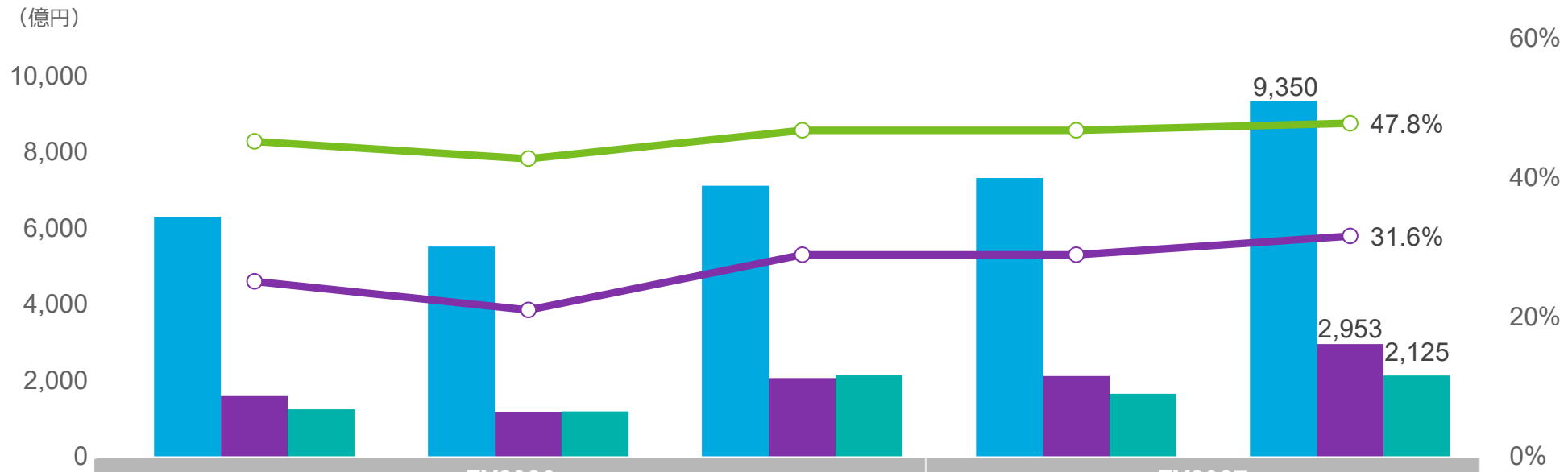
損益状況（四半期）

（億円）

	FY2026			FY2027		vs. FY2027 Q1	vs. FY2026 Q2
	Q2	Q3	Q4	Q1	Q2		
売上高	6,300	5,520	7,118	7,323	**9,350**	+27.7%	+48.4%
売上総利益	2,848	2,358	3,331	3,427	**4,473**	+30.5%	+57.0%
売上総利益率	45.2%	42.7%	46.8%	46.8%	**47.8%**	+1.0pts	+2.6pts
販管費	1,264	1,196	1,275	1,313	**1,520**	+15.8%	+20.2%
営業利益	1,584	1,161	2,056	2,114	**2,953**	+39.7%	+86.4%
営業利益率	25.1%	21.0%	28.9%	28.9%	**31.6%**	+2.7pts	+6.5pts
税金等調整前当期純利益	1,610	1,533	2,818	2,154	**2,922**	+35.6%	+81.5%
親会社株主に帰属する当期純利益	1,238	1,185	2,142	1,643	**2,125**	+29.4%	+71.7%
研究開発費	726	662	767	720	**852**	+18.4%	+17.3%
設備投資額	912	303	416	399	**323**	-18.9%	-64.5%
減価償却費	191	211	235	225	**243**	+8.3%	+27.5%

1. 利益率および増減率は、1円単位の金額をもとに計算しています。
2. FY2026は2025年4月～2026年3月の会計年度を指しています。 FY2027は2026年4月～2027年3月の会計年度を指しています。

損益状況（四半期）



	FY2026			FY2027	
	Q2	Q3	Q4	Q1	Q2
売上高	6,300	5,520	7,118	7,323	9,350
営業利益	1,584	1,161	2,056	2,114	2,953
親会社株主に帰属する当期純利益	1,238	1,185	2,142	1,643	2,125
売上総利益率	45.2%	42.7%	46.8%	46.8%	47.8%
営業利益率	25.1%	21.0%	28.9%	28.9%	31.6%

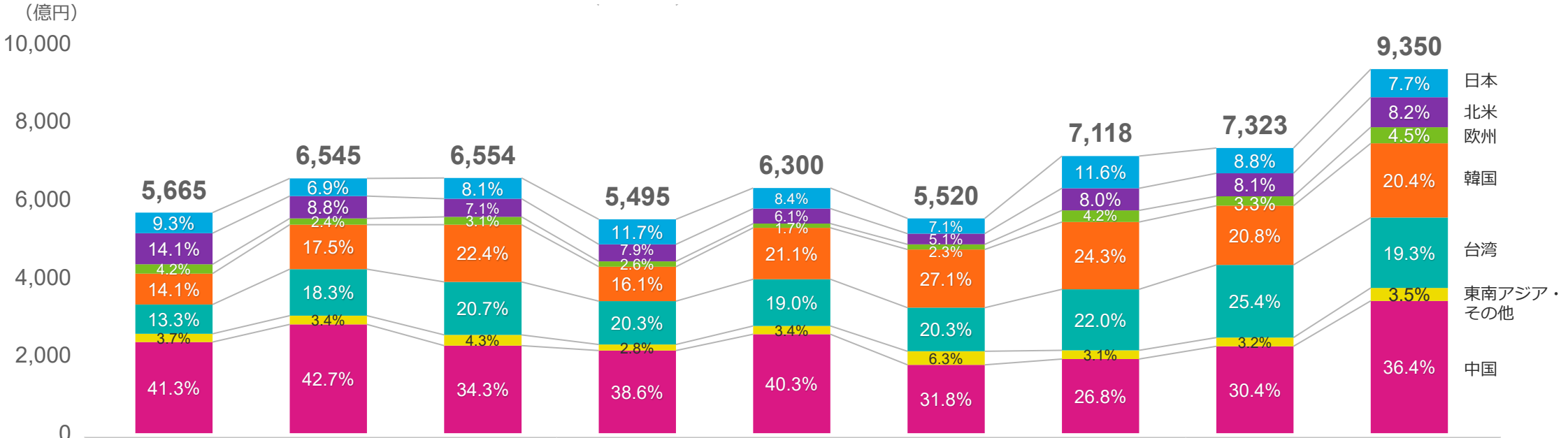
損益状況（半期）

（億円）

	FY2026		FY2027	vs. FY2026 H2	vs. FY2026 H1	（ご参考）
	H1	H2	H1			7月30日発表 FY2027 H1 予想
売上高	11,796	12,638	**16,674**	+31.9%	+41.3%	16,200
売上総利益	5,388	5,690	**7,901**	+38.9%	+46.6%	7,480
売上総利益率	45.7%	45.0%	**47.4%**	+2.4pts	+1.7pts	46.2%
販管費	2,357	2,472	**2,833**	+14.6%	+20.2%	2,900
営業利益	3,031	3,217	**5,067**	+57.5%	+67.2%	4,580
営業利益率	25.7%	25.5%	**30.4%**	+4.9pts	+4.7pts	28.3%
税金等調整前当期純利益	3,129	4,351	**5,077**	+16.7%	+62.2%	4,640
親会社株主に帰属する当期純利益	2,416	3,328	**3,769**	+13.3%	+56.0%	3,490
研究開発費	1,348	1,430	**1,573**	+10.0%	+16.7%	1,600
設備投資額	1,440	719	**723**	+0.5%	-49.8%	-
減価償却費	362	447	**468**	+4.9%	+29.2%	-

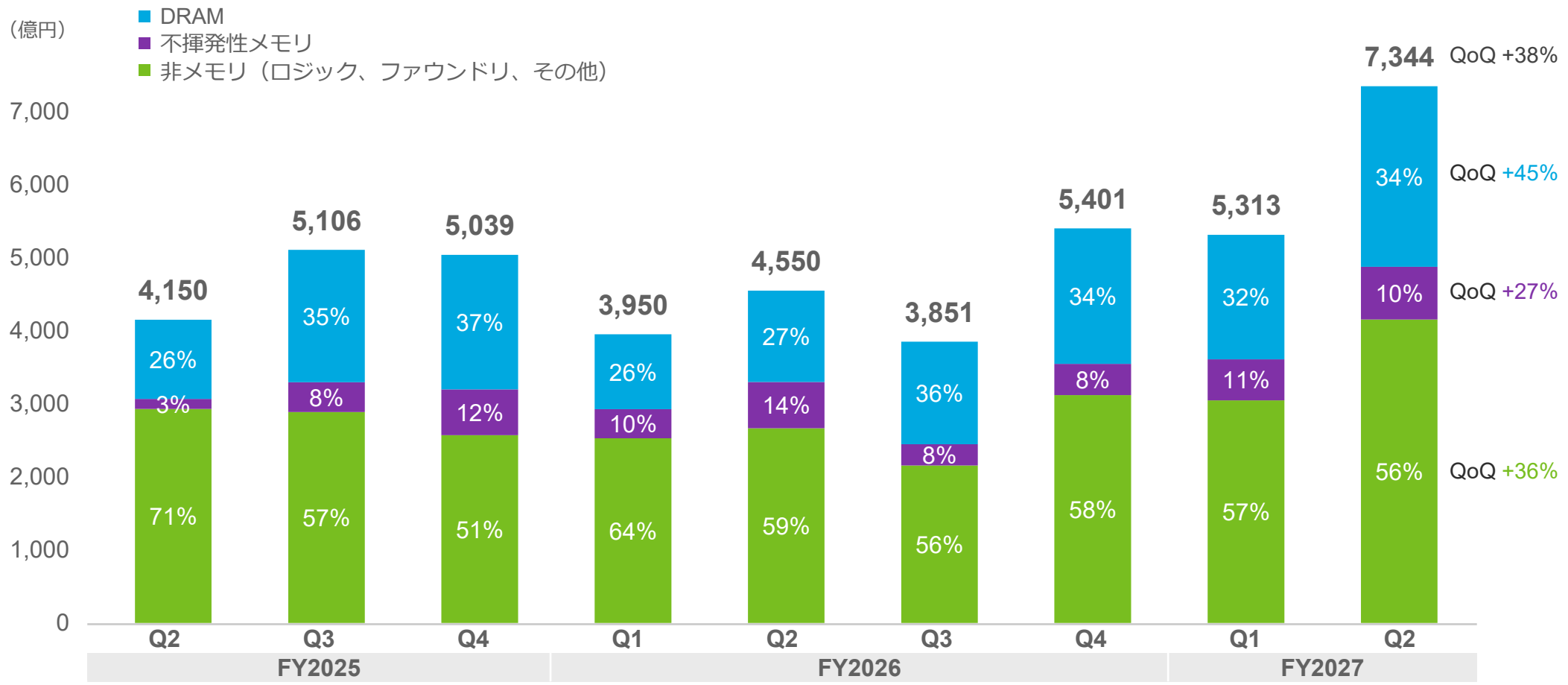
1. 利益率および増減率は、1円単位の金額をもとに計算しています。

地域別売上高構成比（四半期）



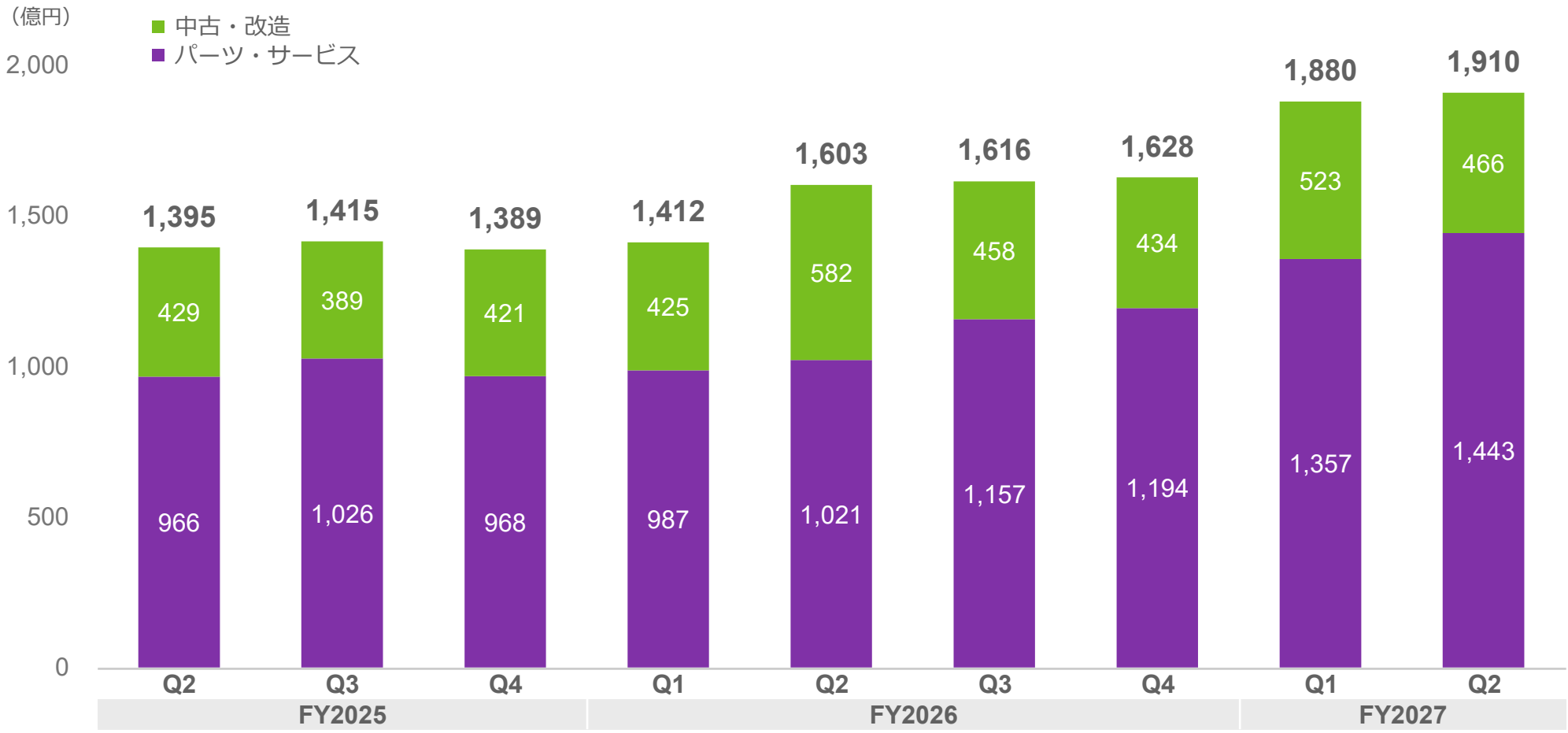
	FY2025			FY2026				FY2027	
	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2
日本	526	453	534	643	529	393	828	646	**722**
北米	799	577	462	434	384	278	567	590	**766**
欧州	238	157	203	140	108	127	297	242	**417**
韓国	795	1,145	1,470	883	1,325	1,497	1,731	1,524	**1,907**
台湾	753	1,193	1,358	1,115	1,197	1,119	1,565	1,861	**1,804**
東南アジア・その他	212	223	278	156	213	348	221	229	**332**
中国	2,339	2,794	2,246	2,121	2,541	1,755	1,907	2,229	**3,399**

SPE新規装置 アプリケーション別売上構成比（四半期）



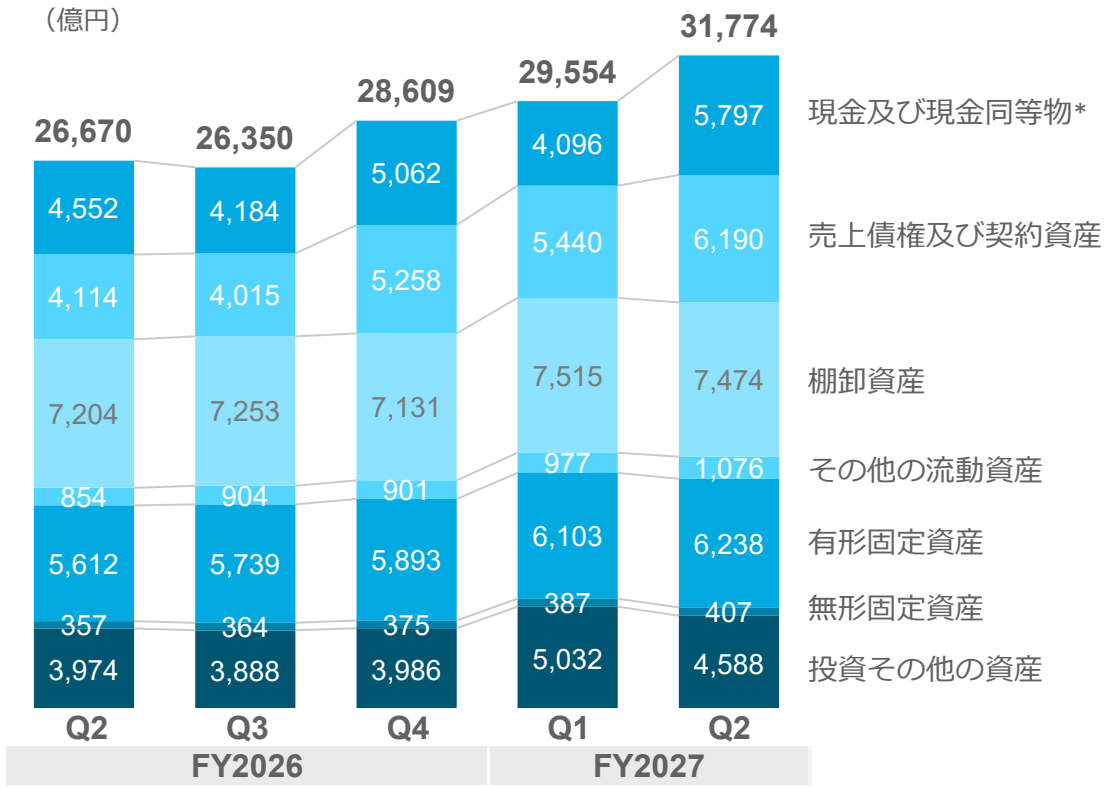
1. SPE（Semiconductor Production Equipment）：半導体製造装置
2. グラフは新規装置の売上高における構成比を示しています。フィールドソリューションの売上高は含まれていません。

フィールドソリューション売上高（四半期）

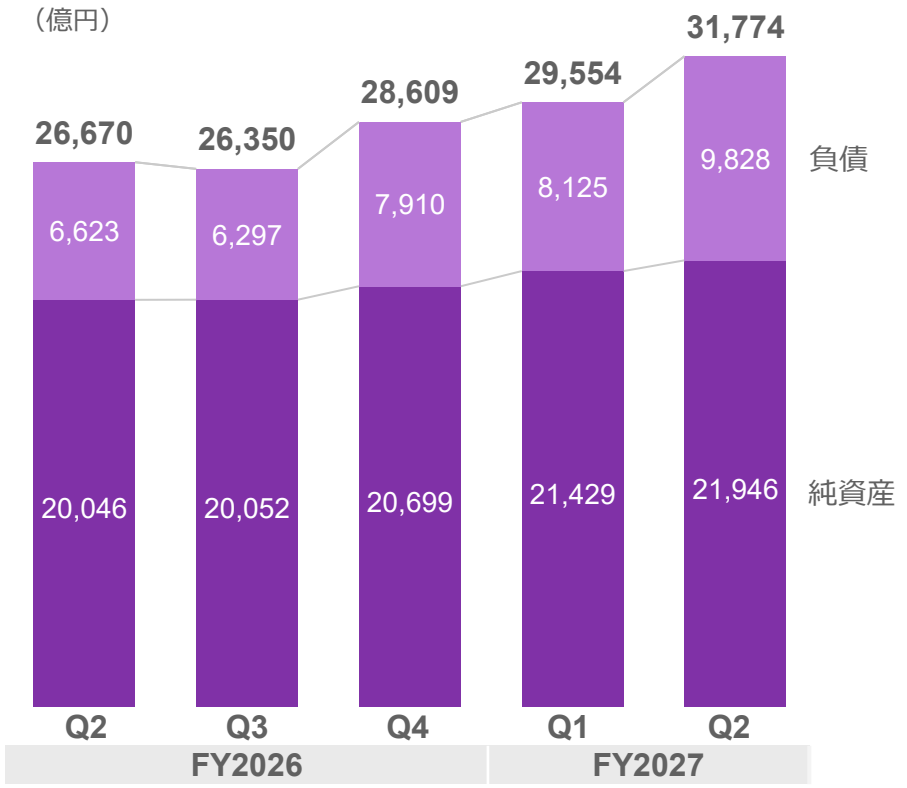


貸借対照表（四半期）

資産

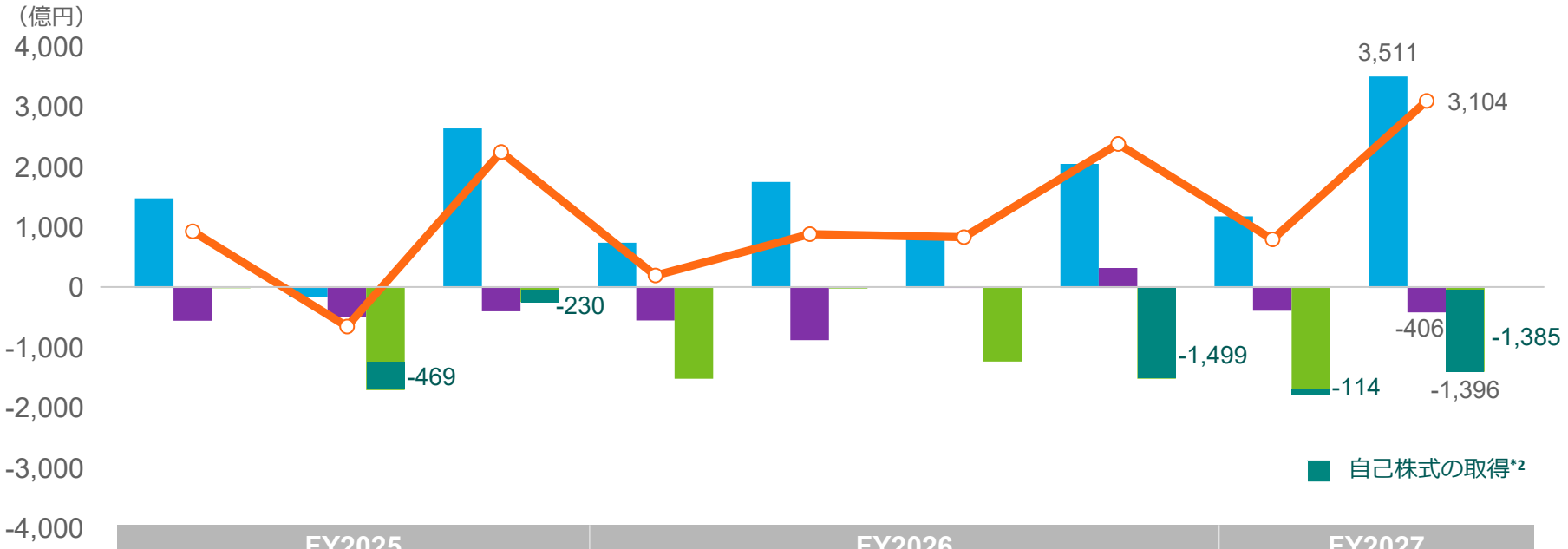


負債・純資産



*現金及び現金同等物：現預金 ＋ 短期投資等（貸借対照表上の表示は有価証券）

キャッシュ・フロー（四半期）



	FY2025			FY2026				FY2027	
	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2
営業キャッシュ・フロー	1,486	-150	2,648	749	1,758	831	2,057	1,187	**3,511**
投資キャッシュ・フロー*1	-544	-490	-389	-541	-867	12	332	-381	**-406**
財務キャッシュ・フロー	-6	-1,701	-235	-1,511	-10	-1,223	-1,508	-1,784	**-1,396**
フリーキャッシュ・フロー*3	941	-641	2,258	207	891	843	2,390	805	**3,104**
手元資金残高*4	5,255	2,955	4,962	3,675	4,552	4,184	5,062	4,096	**5,797**

*1　投資キャッシュ・フローは、定期預金および短期投資の増減を除いた金額です。
*2　自己株式の取得は、単元未満株式の買取りに要した金額を除いた金額です。
*3　フリーキャッシュ・フロー = 営業キャッシュ・フロー + 投資キャッシュ・フロー（定期預金および短期投資の増減を除く）
*4　手元資金は、現金及び現金同等物と満期日または償還日までの期間が3カ月を超える定期預金および短期投資の合計額です。

過去10年間の主要財務データ

(百万円)

	2017年3月期	2018年3月期	2019年3月期	2020年3月期	2021年3月期	2022年3月期	2023年3月期	2024年3月期	2025年3月期	2026年3月期
売上高	799,719	1,130,728	1,278,240	1,127,286	1,399,102	2,003,805	2,209,025	1,830,527	2,431,568	2,443,533
売上総利益	322,291	475,032	526,183	451,941	564,945	911,822	984,408	830,269	1,146,287	1,107,880
売上総利益率	40.3%	42.0%	41.2%	40.1%	40.4%	45.5%	44.6%	45.4%	47.1%	45.3%
販売費及び一般管理費	166,594	193,860	215,612	214,649	244,259	312,551	366,684	374,006	448,967	482,944
営業利益	155,697	281,172	310,571	237,292	320,685	599,271	617,723	456,263	697,319	624,936
営業利益率	19.5%	24.9%	24.3%	21.0%	22.9%	29.9%	28.0%	24.9%	28.7%	25.6%
経常利益	157,549	280,737	321,662	244,979	322,103	601,724	625,185	463,185	707,727	630,338
税金等調整前当期純利益	149,116	275,242	321,508	244,626	317,038	596,698	624,856	473,439	706,114	748,180
親会社株主に帰属する当期純利益	115,208	204,371	248,228	185,206	242,941	437,076	471,584	363,963	544,133	574,454
研究開発費	83,800	97,103	113,980	120,268	136,648	158,256	191,196	202,873	250,017	277,866
設備投資額	20,697	45,603	49,754	54,666	53,868	57,288	74,432	121,841	162,171	216,063
減価償却費	17,872	20,619	24,323	29,107	33,843	36,727	42,927	52,339	62,148	80,982
有利子負債	-	-	-	-	-	-	-	-	-	-
自己資本	643,094	767,146	880,748	819,301	1,012,977	1,335,152	1,587,595	1,746,835	1,839,929	2,046,298
総資産	957,447	1,202,796	1,257,627	1,278,495	1,425,364	1,894,457	2,311,594	2,456,462	2,625,981	2,860,997
デット・エクイティ・レシオ	-	-	-	-	-	-	-	-	-	-
自己資本比率	67.2%	63.8%	70.0%	64.1%	71.1%	70.5%	68.7%	71.1%	70.1%	71.5%
ROE	19.1%	29.0%	30.1%	21.8%	26.5%	37.2%	32.3%	21.8%	30.3%	29.6%
営業キャッシュ・フロー	136,948	186,582	189,572	253,117	145,888	283,387	426,270	434,720	582,174	539,732
投資キャッシュ・フロー	-28,893	-11,833	-84,033	15,951	-18,274	-55,632	-41,756	-125,148	-169,609	-96,492
財務キャッシュ・フロー	-39,380	-82,549	-129,761	-250,374	-114,525	-167,256	-256,534	-325,012	-388,836	-425,359
1株当たり当期純利益	234.09	415.16	504.53	390.19	520.73	935.95	1,007.82	783.75	1,182.40	1,254.57
1株当たり配当金（円）	117.00	208.00	253.00	196.00	260.00	468.00	570.00	393.00	592.00	628.00
従業員数（人）	11,241	11,946	12,742	13,837	14,479	15,634	17,204	17,702	19,573	20,236

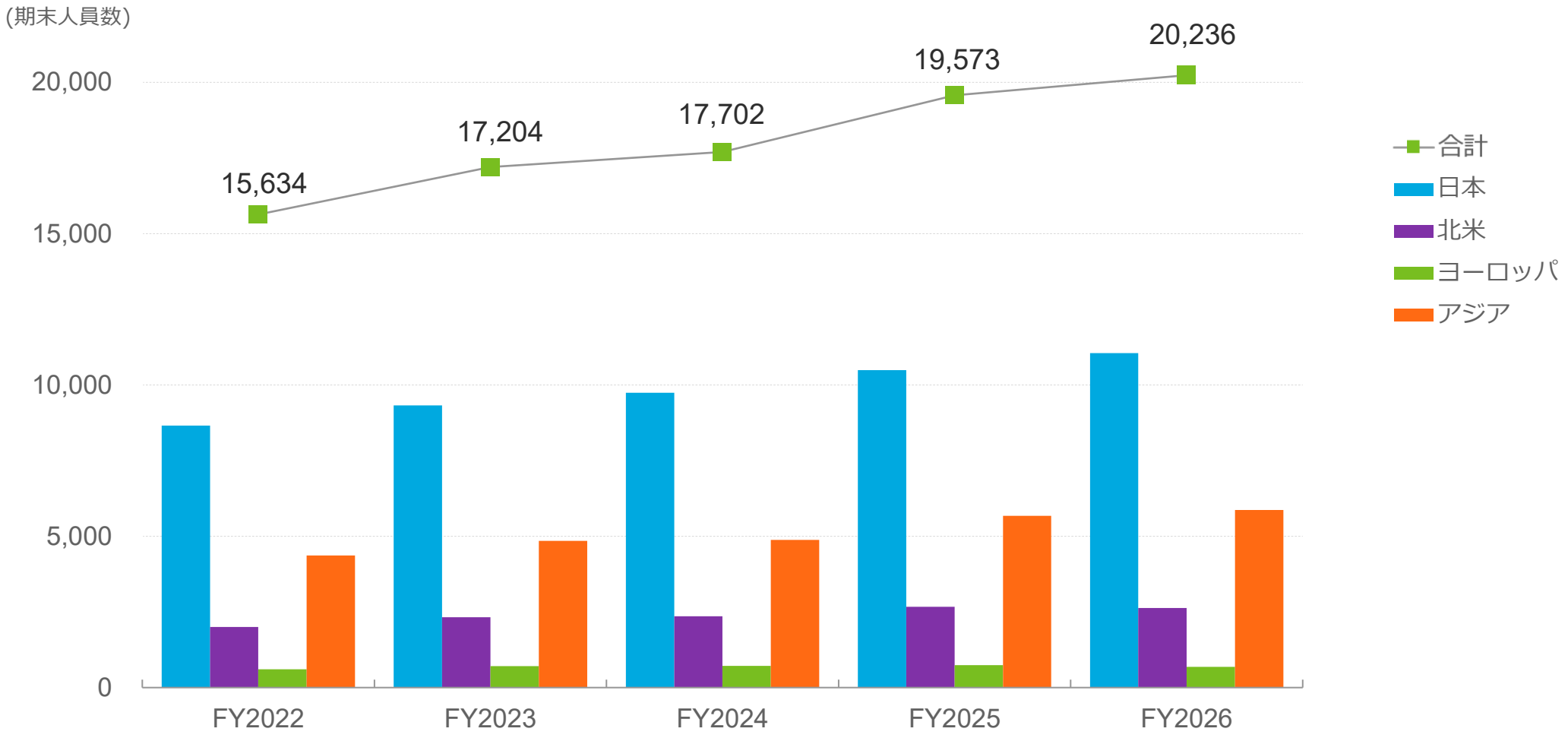
1. 2019年3月期より「『税効果会計に係る会計基準』の一部改正」（企業会計基準第28号 2018年2月16日）を適用しており、2018年3月期の「総資産」および「自己資本比率」は、当該会計基準を遡って適用した後の数値を記載しています。

2. 2022年3月期の期首より「収益認識に関する会計基準」（企業会計基準第29号）等を適用しています。

3. 2023年4月1日付で普通株式1株を3株に株式分割しております。1株当たり当期純利益、1株当たり配当金（円）は当該株式分割後の数値を記載しています。

4. 本インベスターズガイドに掲載しているデータの一部は、当社ホームページに掲載している「データブック」からエクセル形式でダウンロードいただけます。是非ご利用ください。
https://www.tel.co.jp/ir/library/fb/index.html

従業員推移


(期末人員数)
20,000
15,000
10,000
5,000
0
15,634
17,204
17,702
19,573
20,236
FY2022
FY2023
FY2024
FY2025
FY2026
合計
日本
北米
ヨーロッパ
アジア

- 将来見通しについて

  本資料に記述されている当社の事業計画、将来予測などは、当社が作成時点で入手可能な情報に基づいて判断したものであり、政治経済情勢、半導体市況、販売競争の激化、急速な技術革新への当社の対応力、安全・品質管理、知的財産権、感染症の影響など、さまざまな外部要因・内部要因の変化により、実際の業績、成果はこれら見通しと大きく異なる結果となる可能性があります。

- 数字の処理について

  記載された金額は単位未満を切り捨て処理、比率は1円単位の金額で計算した結果を四捨五入処理しているため、内訳の計が合計と一致しない場合があります。

- 為替変動について

  当社製品の輸出売上は、原則円建てでおこなわれており、一部に外貨建の売上および費用計上があります。各国・地域における経済環境、国際情勢、金利変動等の要因により、急激な為替変動があった場合には当社グループの業績に影響を及ぼす可能性があります。

- Gartnerのデータについて（7、12～18ページ）

  本プレゼンテーションにおいてガートナーに帰属するすべての記述は、ガートナーの顧客向けに発行された配信購読サービスの一部として発行されたデータ、リサーチ・オピニオン、または見解に関する東京エレクトロンによる解釈であり、ガートナーによる本プレゼンテーションのレビューはおこなわれておりません。ガートナーの発行物は、その発行時点における見解であり、本プレゼンテーション発行時点のものではありません。ガートナーの発行物で述べられた意見は、事実を表現したものではなく、事前の予告なしに変更されることがあります。

本資料の取扱上の注意

当社の書面による承諾なしに複写、または
第三者への開示はできません。

東京エレクトロン

TEL および “TEL” は、東京エレクトロン株式会社の商標です。


TEL
TOKYO ELECTRON