



# 東京エレクトロン IR Day

2025年2月26日



# 将来予想等に関する記述

- 将来見通しについて

本資料に記述されている当社の事業計画、将来予測などは、当社が作成時点で入手可能な情報に基づいて判断したものであり、政治経済情勢、半導体市況、販売競争の激化、急速な技術革新への当社の対応力、安全・品質管理、知的財産権、新型コロナウイルス感染症の影響など、さまざまな外部要因・内部要因の変化により、実際の業績、成果はこれら見通しと大きく異なる結果となる可能性があります。

- 数字の処理について

記載された金額は単位未満を切り捨て処理、比率は1円単位の金額で計算した結果を四捨五入処理しているため、内訳の計が合計と一致しない場合があります。

- 為替リスクについて

当社製品の輸出売上は、原則円建てでおこなわれます。一部に外貨建売上および費用計上もありますが、極端な為替レートの変動がない限りにおいては、利益への影響は軽微です。

# アジェンダ

## 1. ご挨拶

15:30 - 15:35

## 2. プレゼンテーション

15:35 - 17:05

- 半導体市場の展望と当社の成長戦略
- 財務体質改善の傾向と今後の成長のポイント
- 前工程における事業機会とDigital x Greenへの取り組み
- 塗布現像・洗浄における取り組み
- エッチングにおける最新の技術課題と取り組み
- 成膜における事業戦略
- 多様化したニーズに対応した装置の提案
- アッセンブリー工程における技術動向と事業機会
- アッセンブリー工程におけるプロダクト戦略

河合 利樹

川本 弘

石田 博之

鷺尾 康裕

西新 哲也

中谷 茂樹

石田 寛

秋山 啓一

佐藤 陽平

<休憩>

## 3. 質疑応答

17:15 - 18:00



# 半導体市場の展望と当社の成長戦略

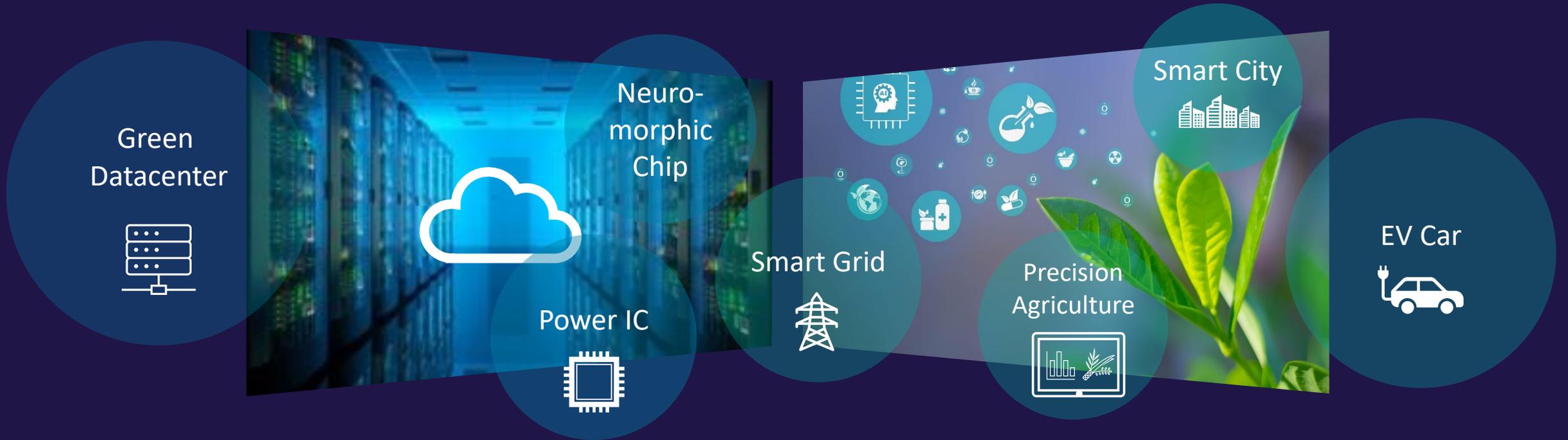
2025年 2月 26日

河合 利樹

代表取締役社長・CEO



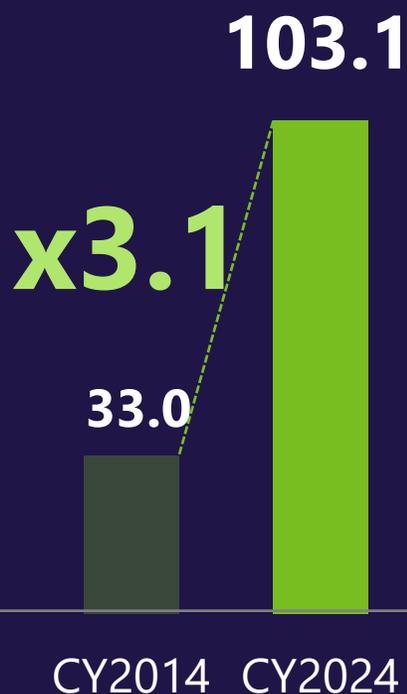
# Digital & Green



“Green by Digital” & “Green of Digital”

# FY2025(予想)とFY2015の比較

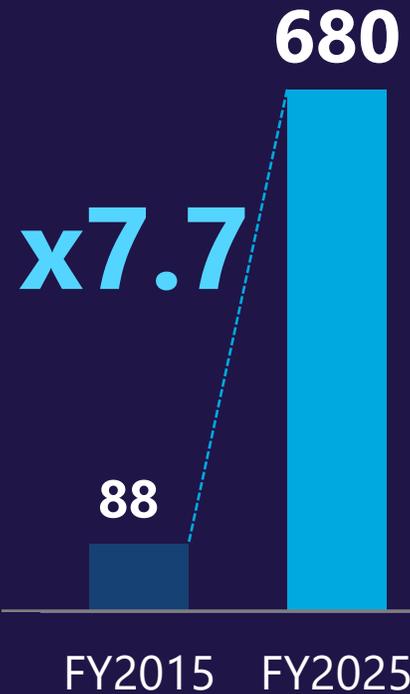
WFE市場 (\$B)



売上高 (B yen)



営業利益 (B yen)

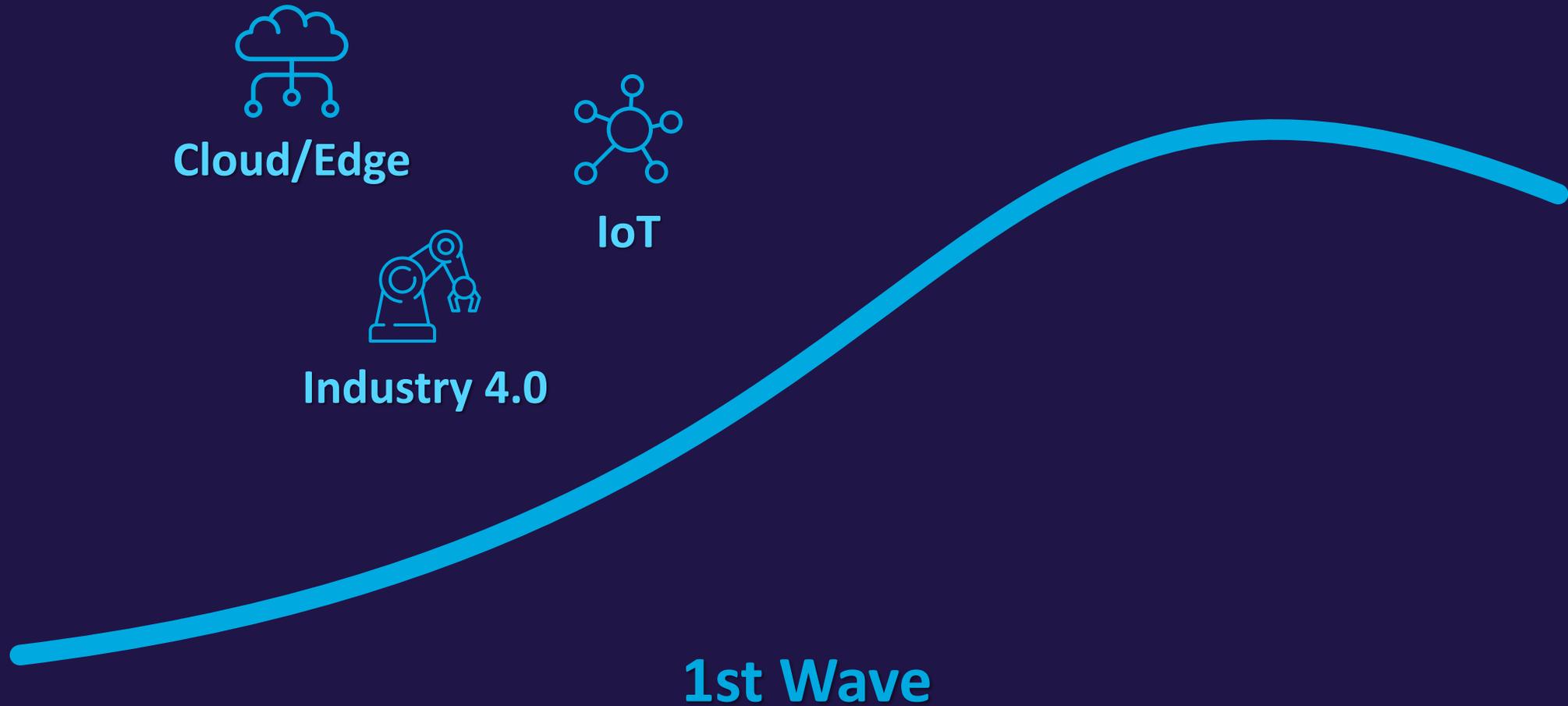


親会社株主に帰属する  
当期純利益(B yen)

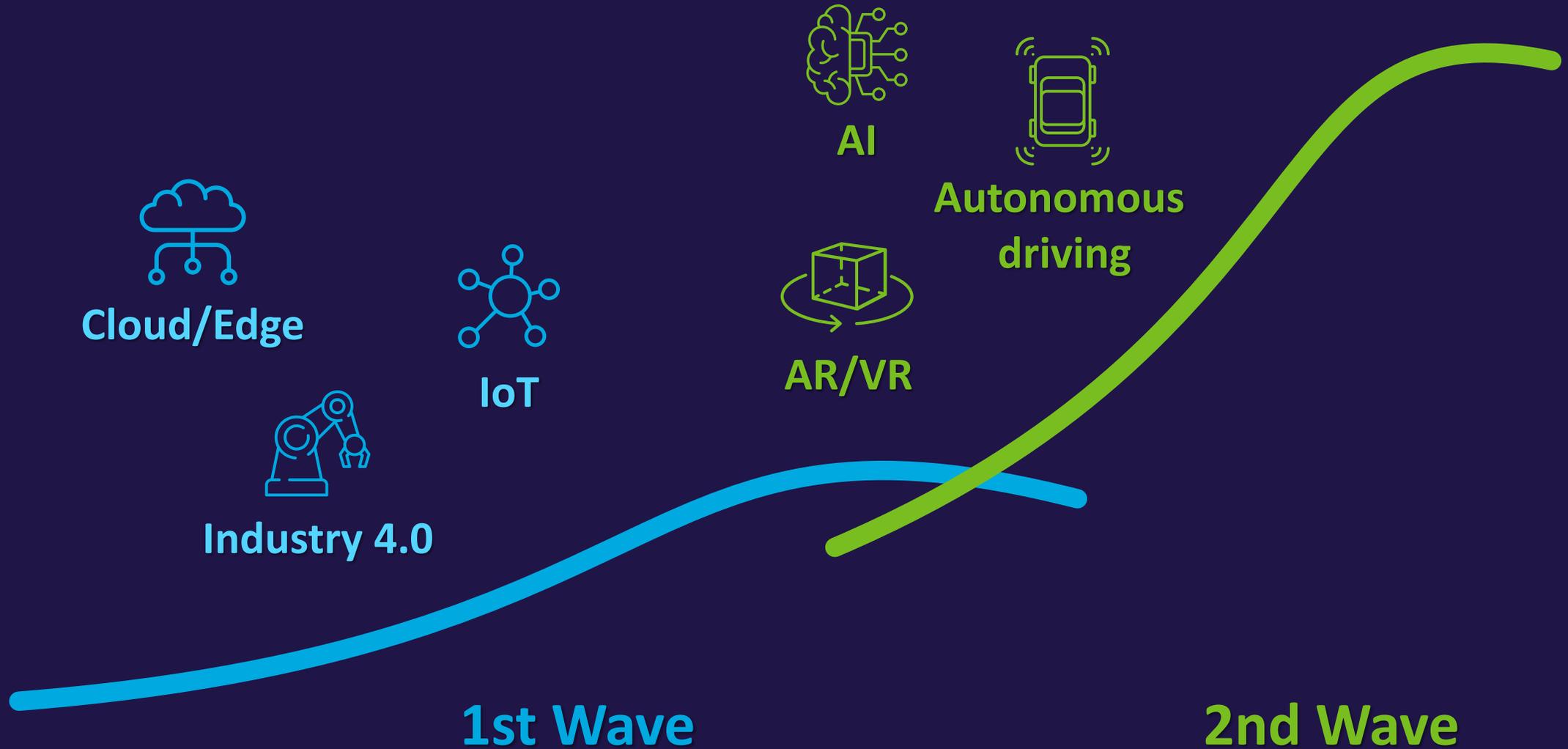


## 市場成長を大きくアウトパフォーム

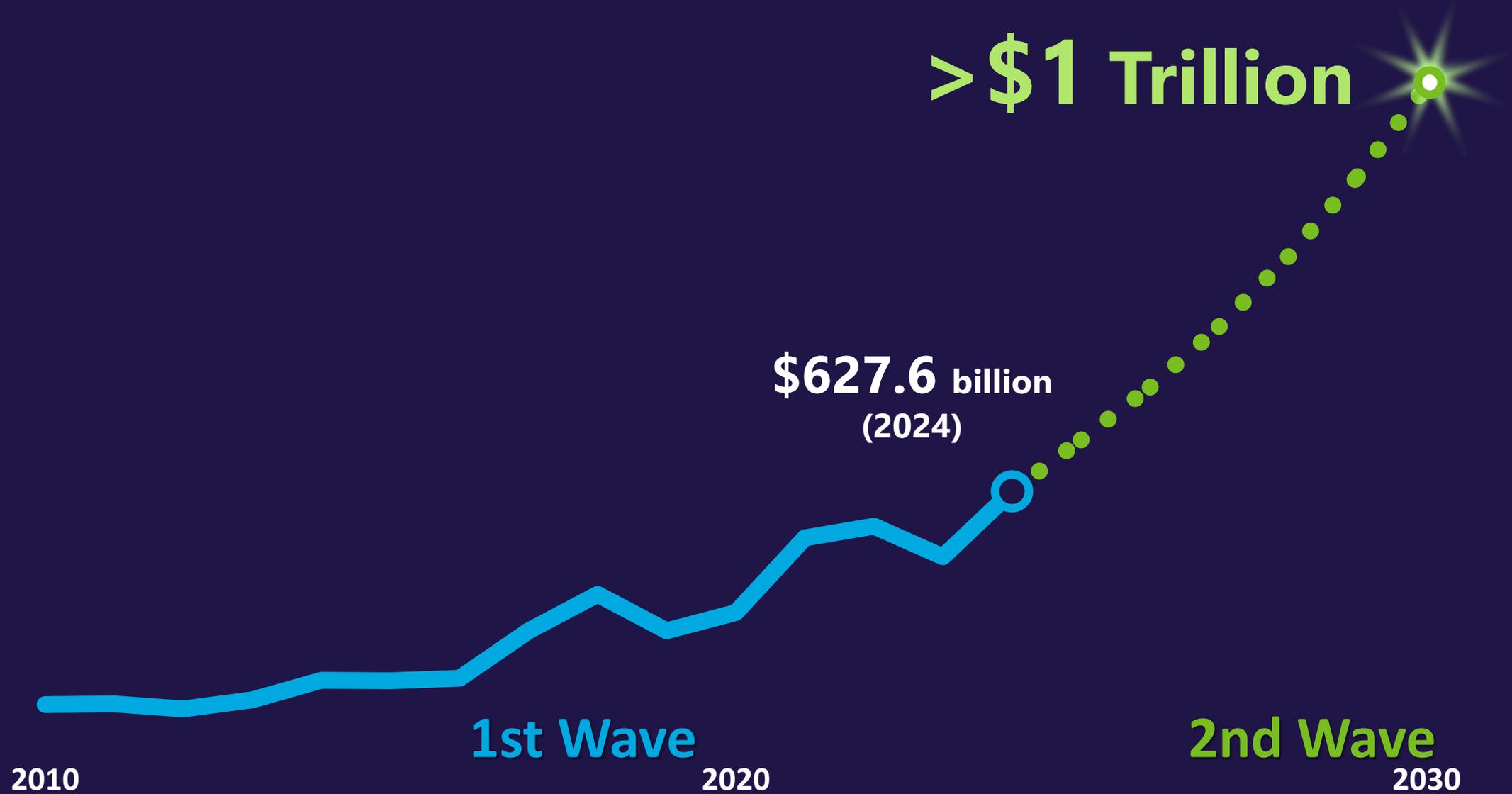
# Semiconductor Business Outlook



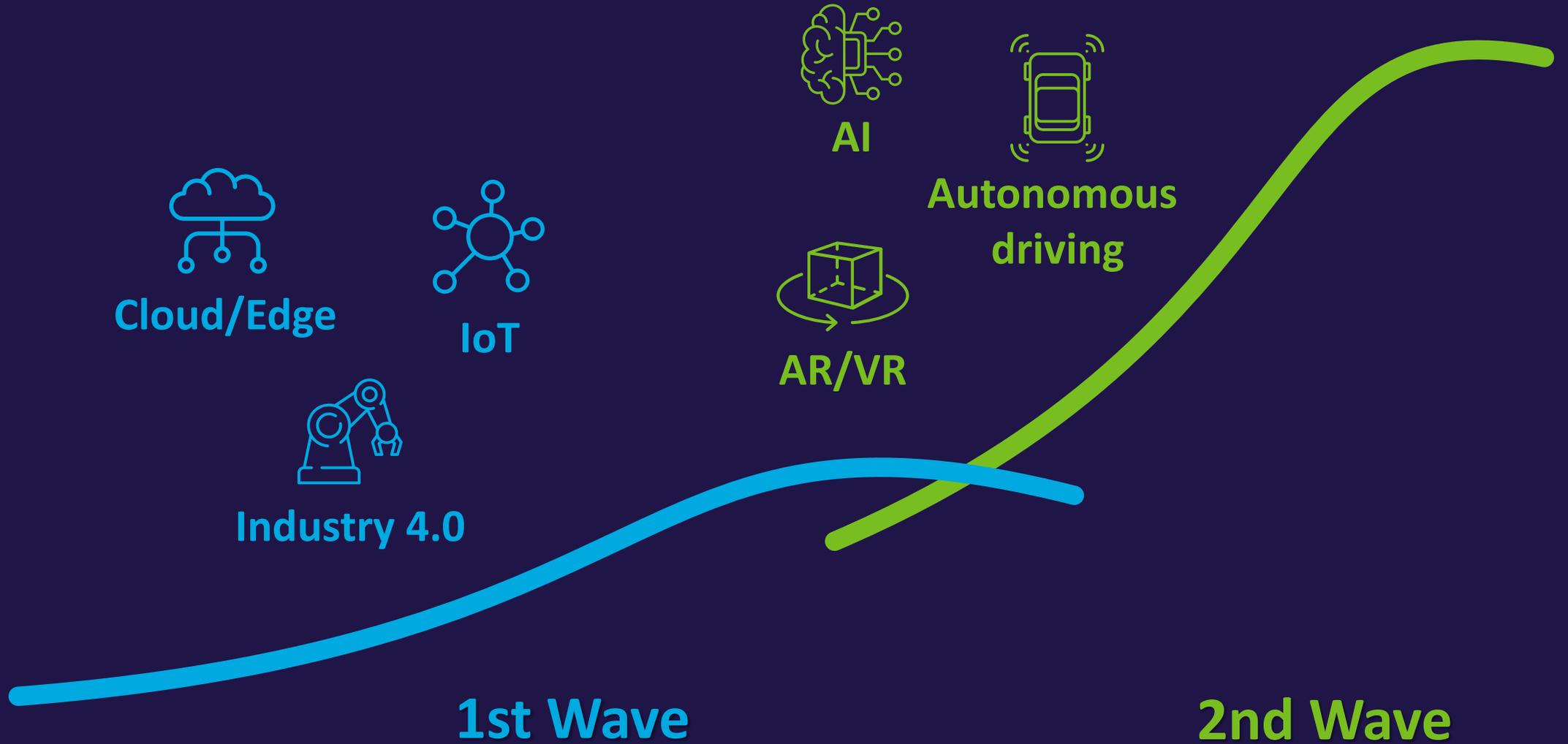
# Semiconductor Business Outlook



# Semiconductor Business Outlook



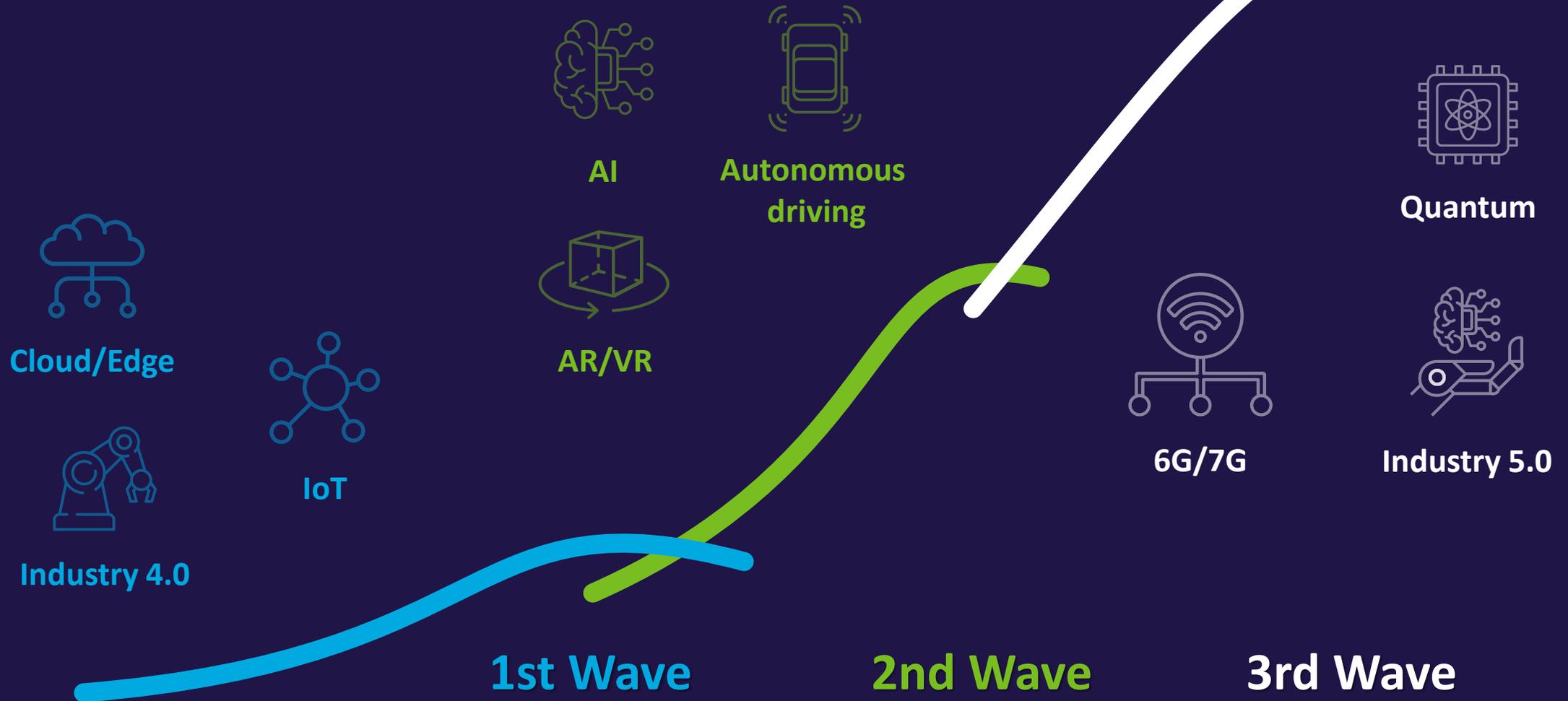
# Semiconductor Business Outlook



# Semiconductor Business Outlook

**\$5 Trillion**

in 2050



# 東京エレクトロンのビジョン

## 半導体の 技術革新に貢献する 夢と活力のある会社



### Innovation

世の中の持続的な発展を支える  
半導体の技術革新を追求



### Profit

付加価値の高い最先端の装置と  
技術サービスを継続的に創出



### People

社員は価値創出の源泉  
ステークホルダーエンゲージメント

**TEL** is Technology Enabling Life

# CSV

Creating Shared Value

企業活動 = 社会的・経済的価値の創出

# TSV

TEL's Shared Value

デジタル化と地球環境保全の両立

“半導体の技術革新が不可欠”

## 中期経営計画 財務目標 (2027年まで)

売上高

≧ 3兆円

営業利益率

≧ 35%

ROE

≧ 30%

# Green Future Through Semiconductor Evolution

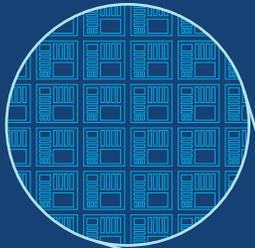
## Digital & Green

Higher  
Speed

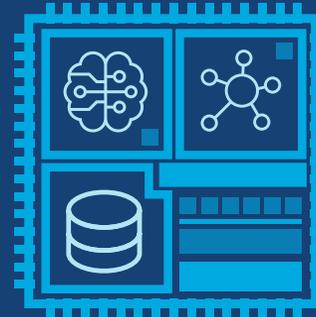
Larger  
Capacity

Superior  
Reliability

Lower Power  
Consumption



Physical Scaling



Heterogeneous  
Integration

# Physical Scaling x Heterogeneous Integration

Frontend

## AI Semiconductor

Advanced Packaging

**Logic**  
GAA / CFET

**Heat Spreader**

**Logic**  
Backside PDN

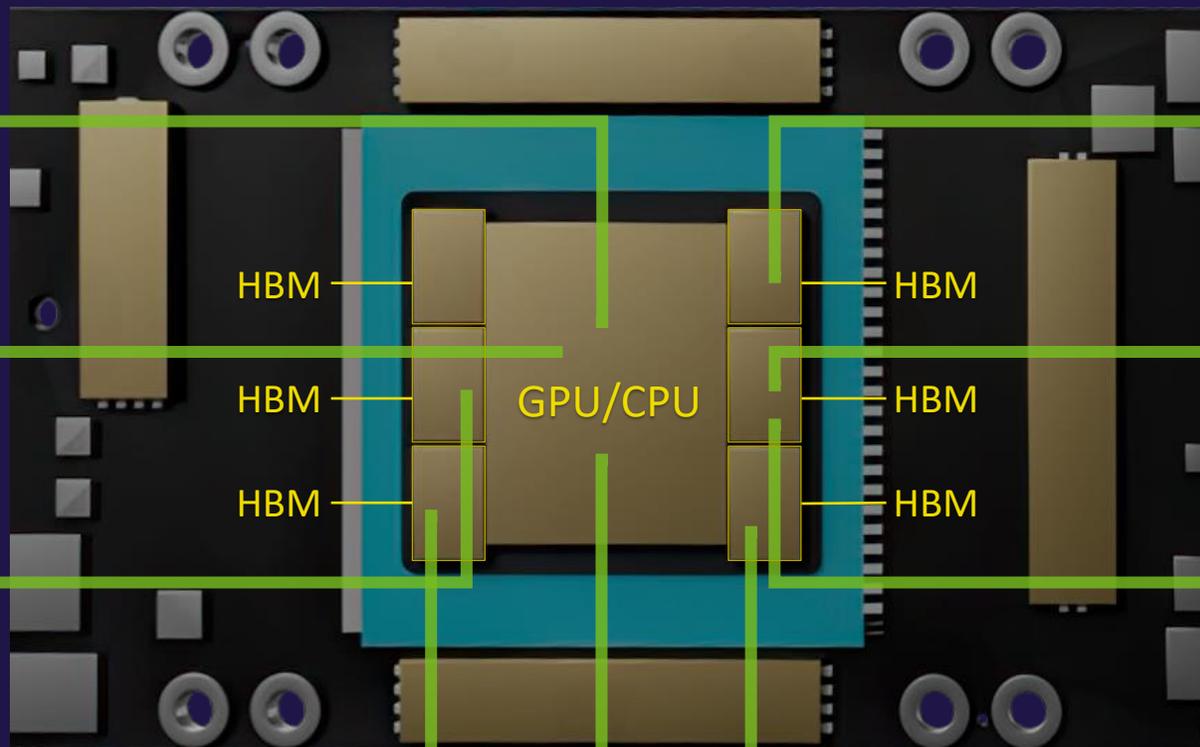
**3DIC**  
Chiplet Integration

**DRAM**  
VCT 4F<sup>2</sup> / 3D DRAM

**Stack Memory**  
HBM, etc.

**Super Flat Wafer**

**Known Good Die**



- \* GAA : Gate All Around
- \* Backside PDN : Backside Power Delivery Network
- \* VCT : Vertical Channel Transistor

# 拡大する事業機会：豊富な製品ラインアップ

Frontend

Advanced Packaging

Deposition

Lithography

Etch

Cleaning

Test

3D Integration



Batch Deposition    Semi-batch Deposition    Single Deposition



Coater/ Developer



Plasma Etch    Gas Chemical Etch



Cleaning



Prober

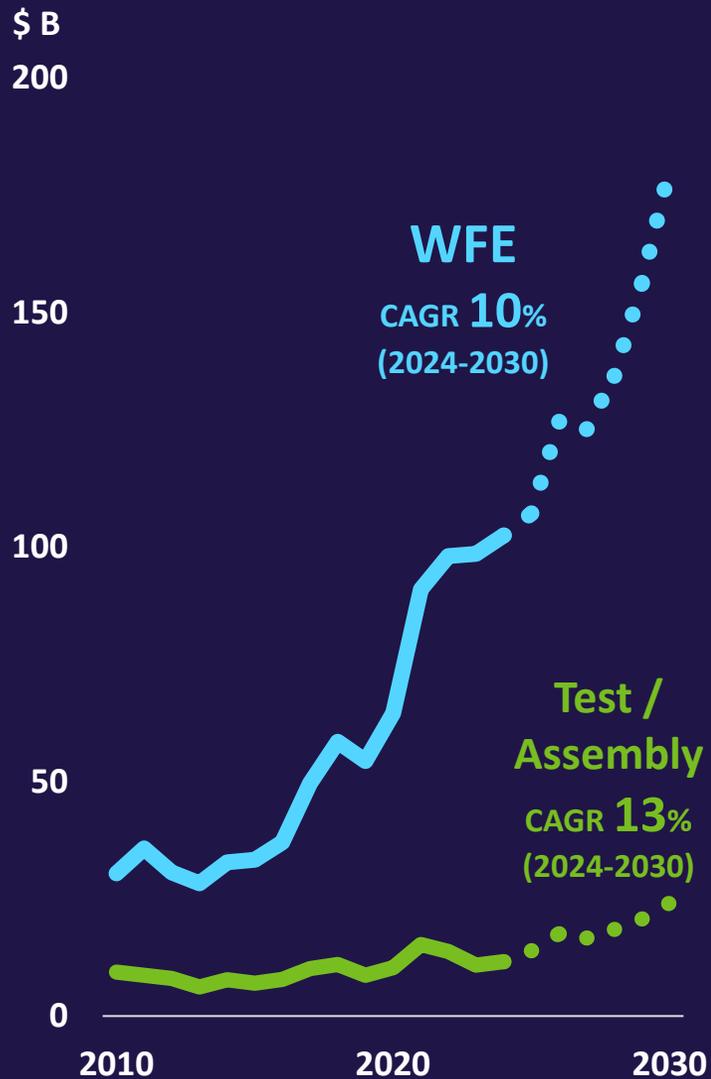


Wafer Bonder/ Debonder



Wafer Edge Trimming

# 半導体製造装置市場の2つの成長エンジン

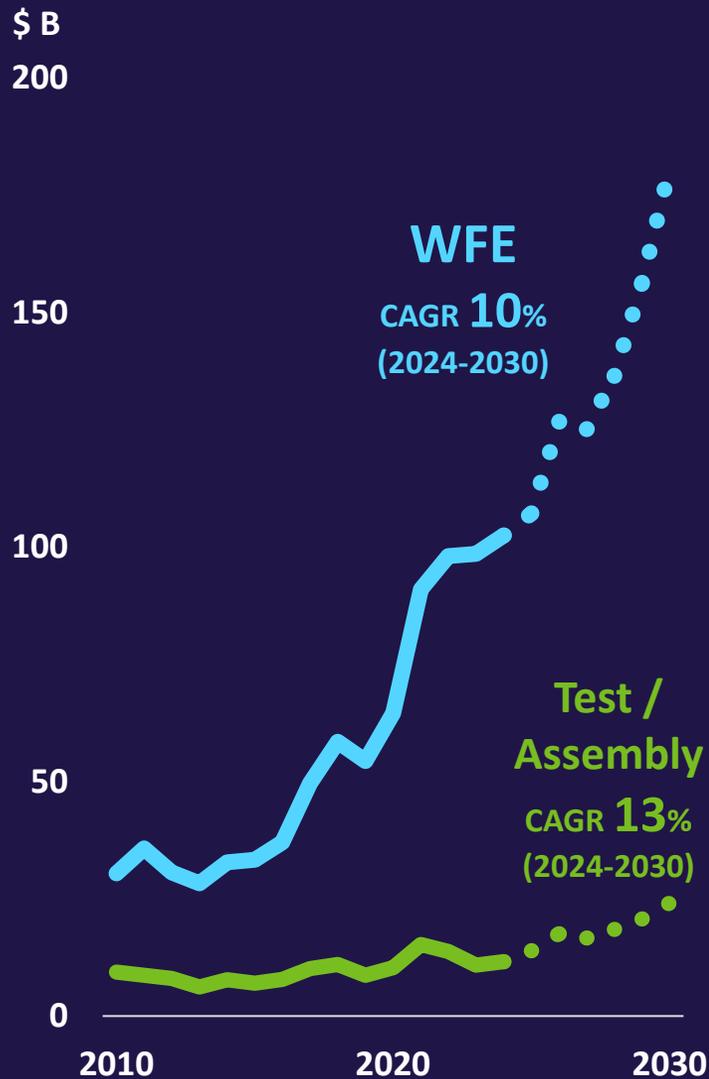


## Market forecast in the next 6 years

WFE **x 1.8**

Test /  
Assembly **x 2.1**

# 半導体製造装置市場の2つの成長エンジン



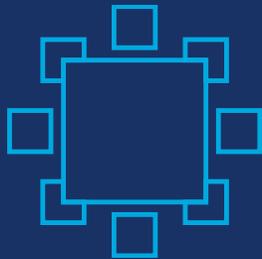
Frontend		
<b>Logic : GAA, BSPDN</b> <ul style="list-style-type: none"> <li>EUV Coater/Developer</li> <li>Gas Chemical Etch</li> <li>Conductor Etch</li> <li>PVD Metal Overburden</li> <li>CFET/Inner Spacer</li> <li>Plasma CVD for filling film</li> <li>Double-sided scrubber</li> <li>Backside/bevel cleaning</li> <li>Pattern Shaping</li> <li>Wafer Bonder</li> <li>Laser Tool</li> </ul>	<b>DRAM: DDR5, 3D DRAM</b> <ul style="list-style-type: none"> <li>EUV Coater/Developer</li> <li>Capacitor Mold Etch (major monopoly)</li> <li>Batch High-k Capacitor deposition</li> <li>PVD Metal Hardmask</li> <li>Supercritical Cleaning</li> <li>Backside/bevel cleaning</li> <li>Wafer Bonder</li> <li>Laser Tool</li> </ul>	<b>NAND: beyond 4xx</b> <ul style="list-style-type: none"> <li>Slit Etch (major monopoly)</li> <li>Channel Hole Etch (Plug)</li> <li>Batch Mo deposition</li> <li>Batch cleaning WL Separation</li> <li>Wafer Bonder</li> <li>Laser Tool</li> </ul>
Advanced Packaging		
<b>Logic Packaging</b> <ul style="list-style-type: none"> <li>Interposer, Polyimide, PR Coater/Developer</li> <li>TDV Etch</li> <li>Batch High-k Capacitor depo</li> <li>Wafer Bonder</li> <li>Laser Tool</li> </ul>	<b>HBM Packaging</b> <ul style="list-style-type: none"> <li>Polyimide, PR Coater/Developer</li> <li>Metal Etch for HBM</li> <li>Aerosol Cleaning</li> <li>Temporary Bonder/Debonder</li> </ul>	<b>Advanced Logic / Memory Test</b> <ul style="list-style-type: none"> <li>Prober sales expected to double compared to last year</li> </ul>

Source : TechInsights (December, 2024)

# 将来の成長に向けた投資 (FY2025 - FY2029)

## 研究開発費

1.5兆円



## 設備投資

7,000億円



## 人材採用

10,000人

2,000人/年



将来の成長に向けて積極的な投資を計画

# 動画 : Manufacturing DX with AI and robotics

# 次世代生産を目指して

## 東京エレクトロン宮城 生産新棟建設計画



竣工予定：2027年夏

延床面積：約 88,600 m<sup>2</sup>

建設費用：約 1,040 億円

# エクセレント・グローバル・カンパニーとなるために



人権の尊重



気候変動とネットゼロ



製品の環境性能



革新的な技術をもつBest Products



付加価値の高いBest Technical Service



顧客満足と信頼



サプライヤーリレーションシップ

従業員のエンゲージメント



安全第一のオペレーション



品質マネジメント



コンプライアンス



高い倫理観に基づく行動



情報セキュリティ



エンタープライズリスクマネジメント



# Semiconductors Are The Future



TEL

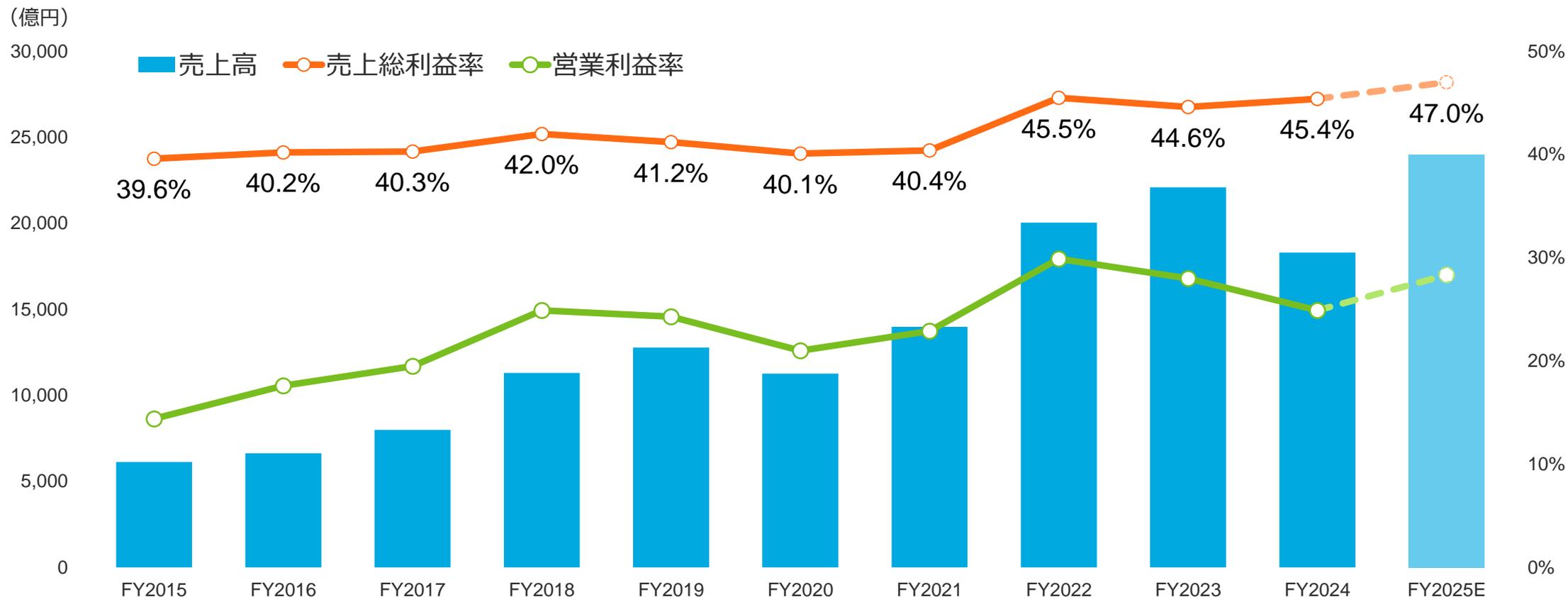
# 財務体質改善の傾向と今後の成長のポイント

2025年2月26日

常務執行役員  
ファイナンス本部ディビジョンオフィサー  
川本 弘

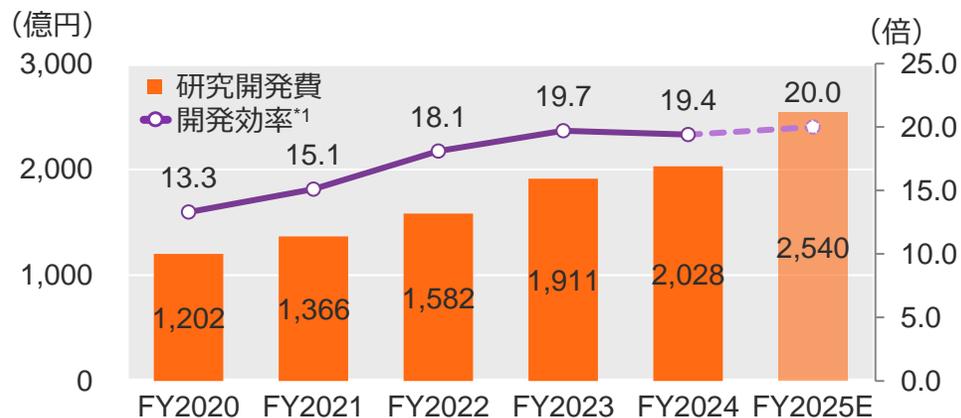


# 売上高 と 売上総利益率推移 (FY2015 – FY2025)

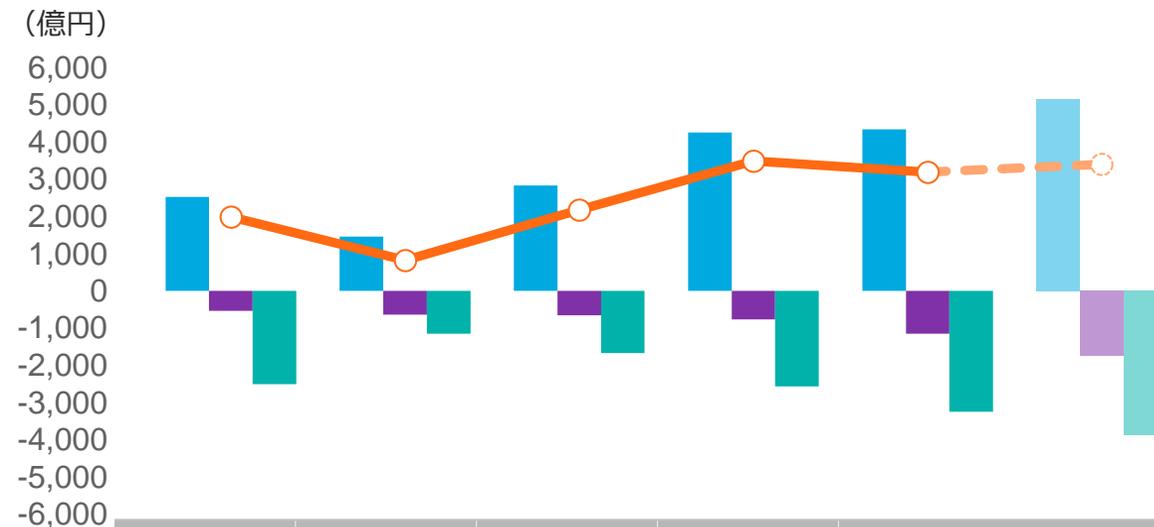


高付加価値製品と生産の効率化により売上総利益率が大きく上昇

# 成長投資とキャッシュ・フロー



\*1 直近5か年の売上の合計額を6~10期前の研究開発費の合計で割って集計しています。



	FY2020	FY2021	FY2022	FY2023	FY2024	FY2025E
■ 営業キャッシュ・フロー	2,531	1,458	2,833	4,262	4,347	
■ 投資キャッシュ・フロー <sup>*2</sup>	-535	-632	-656	-767	-1,150	
■ 財務キャッシュ・フロー	-2,503	-1,145	-1,672	-2,565	-3,250	
○ フリーキャッシュ・フロー <sup>*3</sup>	1,995	826	2,177	3,494	3,196	
■ 手元資金残高 <sup>*4</sup>	3,384	3,115	3,712	4,731	4,725	

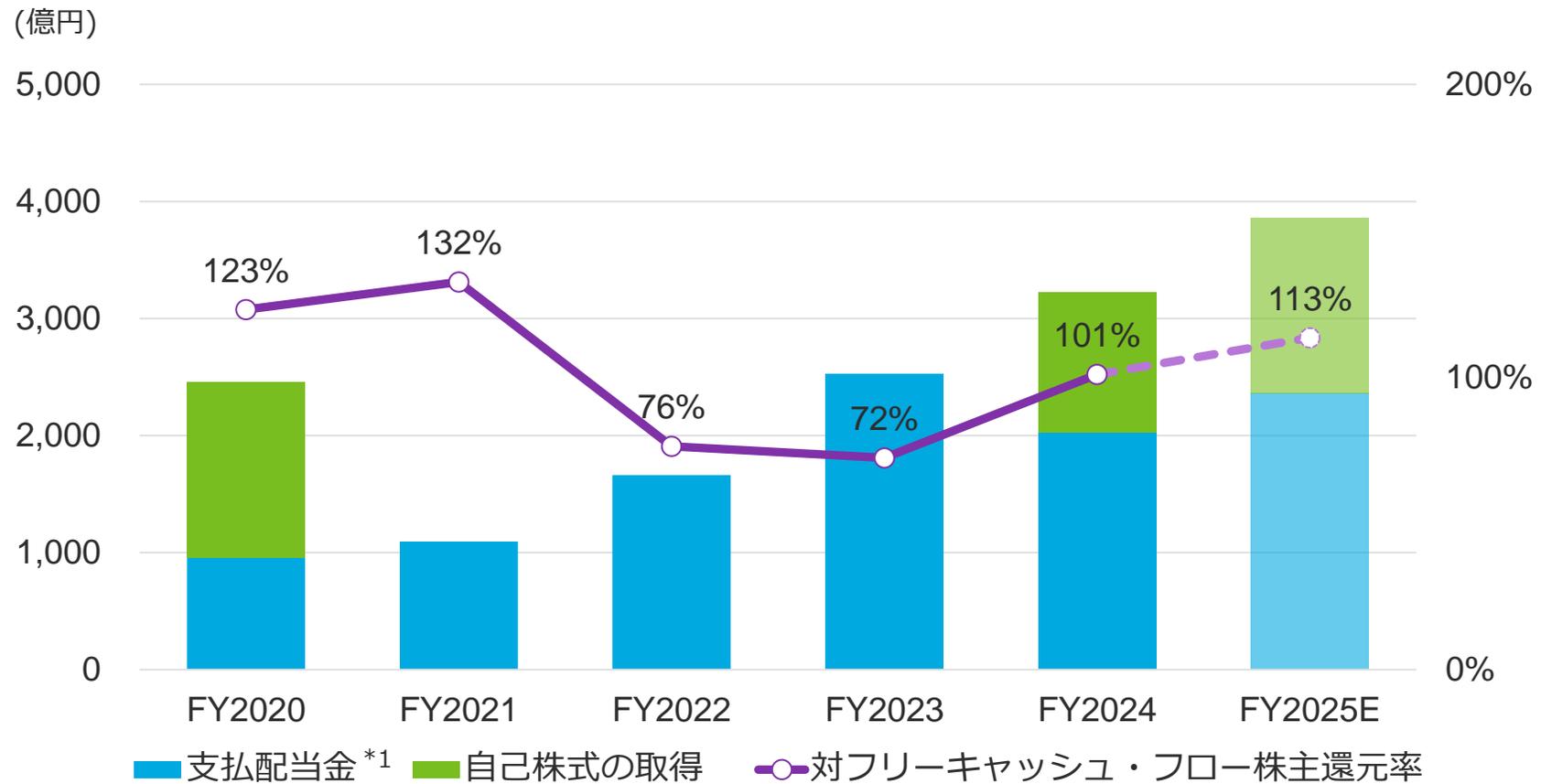
\*2 投資キャッシュ・フローは、定期預金および短期投資の増減を除いた金額です。

\*3 フリーキャッシュ・フロー = 営業キャッシュ・フロー + 投資キャッシュ・フロー (定期預金および短期投資の増減を除く)

\*4 手元資金は、現金及び現金同等物と満期日または償還日までの期間が3カ月を超える定期預金および短期投資の合計額です。

## 積極的な成長投資を盤石なキャッシュ・フローが支える

# 株主還元の動向



\*1 支払配当金は効力発生日(支払日)をもとに表示しています。

継続的に高水準のキャッシュ創出と株主還元を目指す

# まとめ

- 売上総利益率の向上
  - 高付加価値製品
  - 生産の効率化
- 成長投資の継続
  - 市場の拡大を見据え、研究開発・設備投資を実施
  - 盤石なキャッシュ・フローで成長投資を支える
- 株主還元
  - 2025年3月期は過去最高の株主還元を実施
  - 高い株主還元を引き続き目指す

売上総利益率の向上、高水準のキャッシュ創出により  
積極的な成長投資と株主還元を継続

**TEL**

**TOKYO ELECTRON**

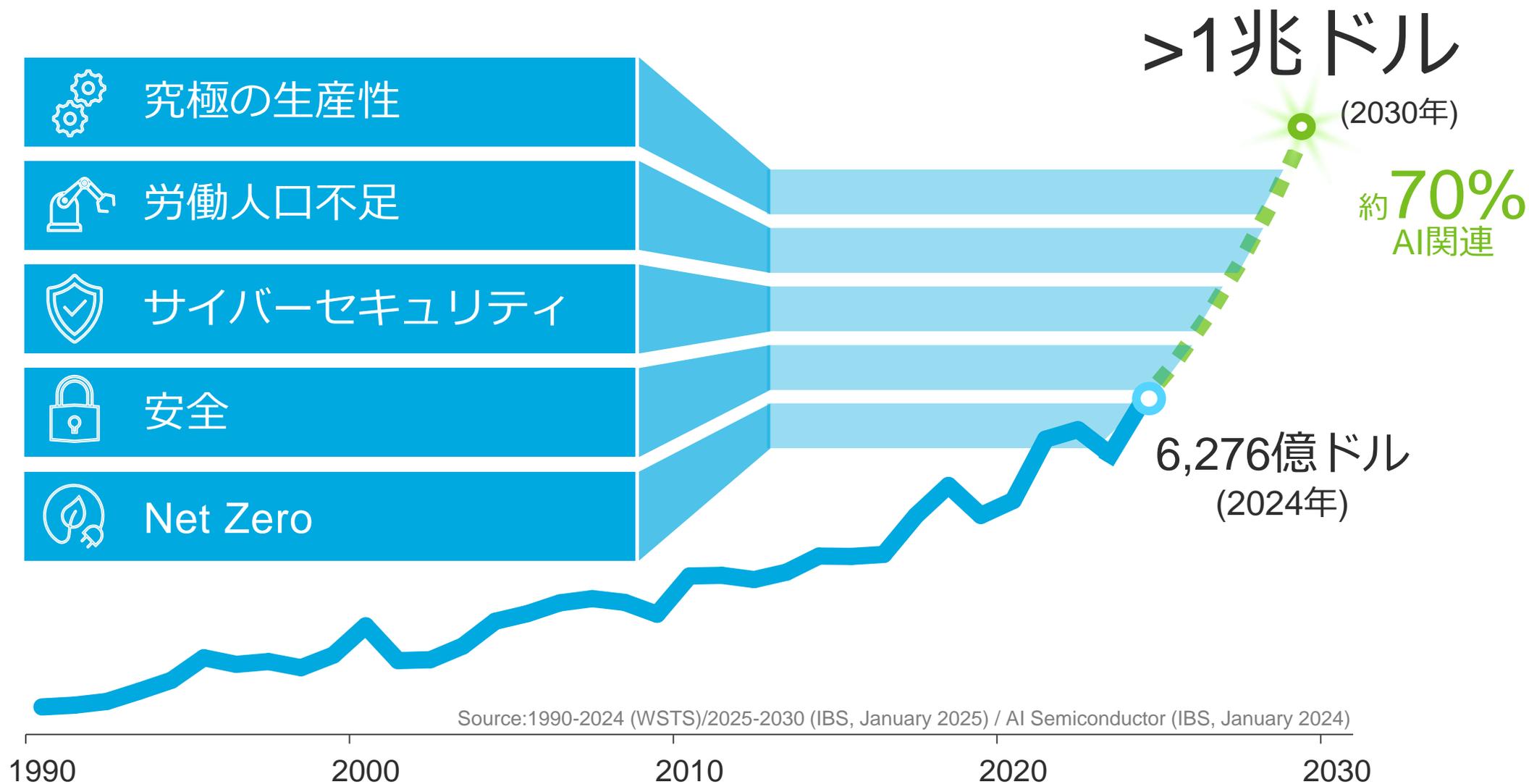
# 前工程における事業機会とDigital x Greenへの取組み

2025年2月26日

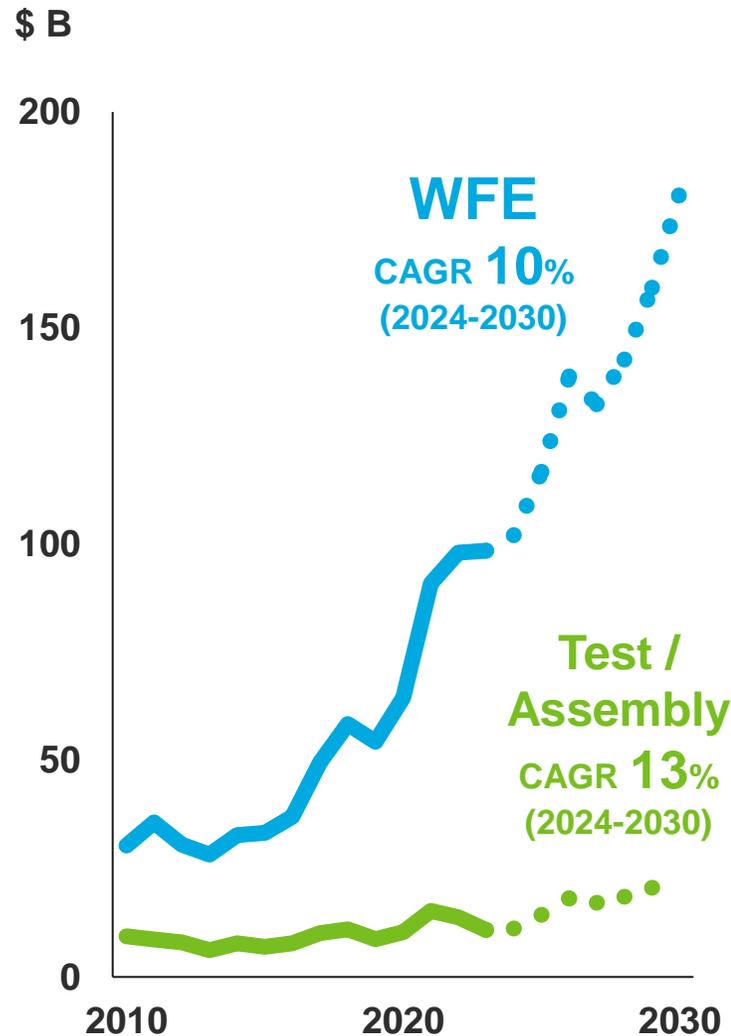
常務執行役員  
前工程事業本部ディビジョンオフィサー  
石田 博之



# 1兆ドル市場に向けて解決すべき課題



# 前工程における当社の成長機会

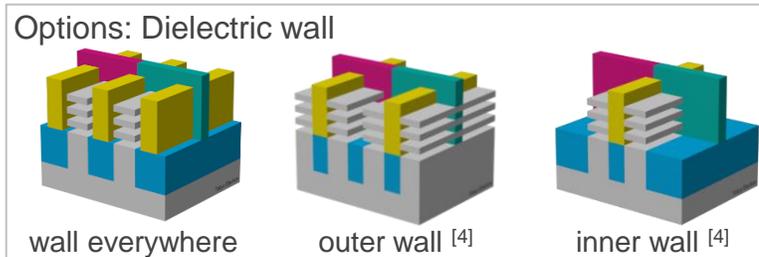


- AI関連デバイスの牽引によりWFEのCAGRは引き続き高い水準で成長
- TELの強みを生かし、高い市場成長領域に対応
  - 先端ロジック：エッチングが2.7倍/成膜が2.5倍の市場成長見込む\*
  - DRAM：エッチングの市場が2.3倍と、WFEのCAGRを超える成長を見込む\*
- 技術変革点への対応を中心とした新製品の投入により、参入領域をさらに拡大

\* TEL Estimates

Source : TechInsights

# Logic技術ロードマップ (Generic)



[1] Chih-Hao Chang (TSMC) et al., IEDM 2022  
 [2] Shien-Yang Wu (TSMC) et al., IEDM 2022  
 [3] Sandy Liao (TSMC) et al., IEDM 2024  
 [4] Mertens and Horiguchi (imec), EDTM 2024

Source: TEL estimates

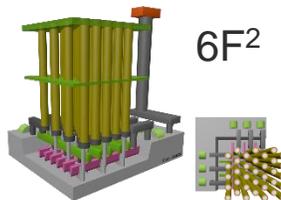
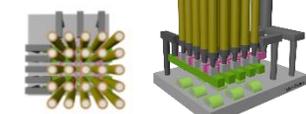
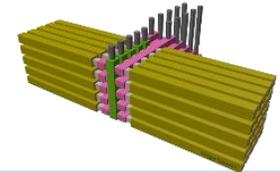
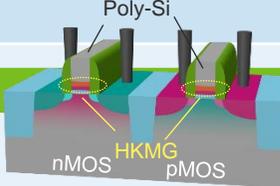
Year of HVM (20k/month)	2022~24	2025~2026	2027~28	2029~30	2031~32	2033~34	2035~36	2037~38
Node	3nm	2nm/18A/16A	14A	10A	7A	5A	3A	2A
Transistor	2~1 Fin 	GAA NS 	GAA NS scaling 	GAA NS extension 	CFET 	2nd Gen. CFET 	3rd Gen. CFET 	2D material stack 
Poly Pitch [nm]	48~45 [1]		45~42		48 [3] ~42	45~39		36
Min. Metal Pitch [nm]	23 [2]		20	18	17	16	14	12
Interconnect booster	Cu Barrier/Seed CIP Backside PDN (HPC)			Cu CIP or Ru subtractive	Ru subtractive AR>3, Airgap	New alloy AR>5, Airgap, BEOL Transistor		
EUV Patterning Technology	EUV MP*1, SE*2			EUV MP, SE High-NA SE		High-NA MP, SE EUV MP, SE		
Resist	CAR*3			CAR (+MOR*4)	CAR+MOR			

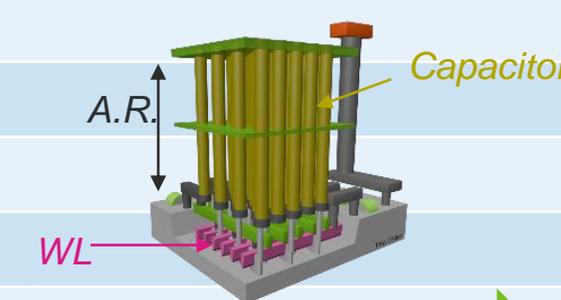
\*1 MP: Multi-Patterning, \*2 SE: Single-Exposure, \*3 CAR: Chemically Amplified Resist, \*4 MOR: Metal Oxide Resist

Logicの微細化は、トランジスタの構造と材料を変えながら続いていく

# DRAM 技術ロードマップ (Generic)

Source: TEL estimates

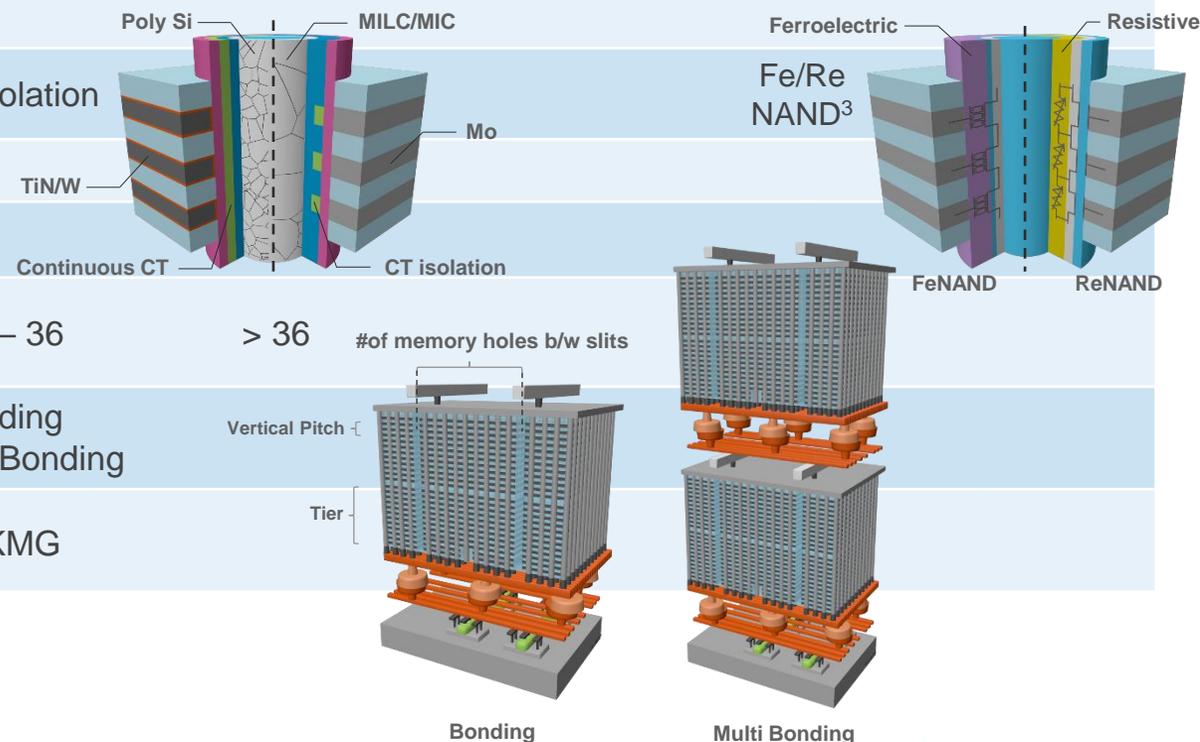
Year of HVM (20k/month)	2023-24	2025	2026	2027	2028	2029	2030	2031	2032	2033	2034	2035
Node	1b	1c	1d	0a	0b	0c	0c	0c	0d	0e		
Cell layout / Structure	2D 6F <sup>2</sup> 		4F <sup>2</sup> VCT* [1,2] 			3D 						
F [nm] in 6F <sup>2</sup>	13~12.5	12~11	10	9	8	7	(3D ~1xxL)		(3D >1yyL)			
Cap. pitch [nm]	39~37.5	36~33	30	27	24	21						
Cap. A.R.	>50	>55	>65	>70	>75	>80						
Cap. Mat.	ZrAlHfO			Alternative (HfZrO Anti Ferro. etc)								
WL	TiN		Low R metal									
Peri. CMOS	HKMG 		Bonding			FinFET						
HBM	HBM3E (8/12Hi, 24/36GB)	HBM4 (12/16Hi, 36/48GB)	HBM4E (16Hi, 64GB)	HBM5 (16, 20Hi, 64/80GB)	HBM5E	HBM6						



# NAND 技術ロードマップ (Generic)

Source: TEL estimates

Year of HVM (20k/month)	2024	2025	2026	2027	2028	2029	2030	2031	2032	2033	2034	2035
Stack (~1.3x/1.5years)	<b>3xxL</b>		<b>4xxL</b>	<b>5xxL</b>	<b>7xxL</b>	<b>1xxxL</b>	<b>*1yyyL</b>	<b>*1zzzL</b>	<b>*1zzzL</b>	<b>*2xxxL</b>		
Tier	2 or 3		3 or 4	3 or 4	3 - 5	4 - 6	5 - 7	6 - 8	7 - 10			
Vertical pitch [nm]	39 - 45		38 - 43	38 - 42	37 - 41	36 - 40	35 - 39	34 - 38	33 - 37			
Memory height [ $\mu\text{m}$ ]	12 - 14		15 - 19	18 - 27	24 - 36	34 - 45	45 - 62	57 - 74	70 - 84			
Charge trap (CT)	Continuous CT				CT isolation			Fe/Re NAND <sup>3</sup>				
Channel	Poly Si grain CIP			MILC <sup>1</sup> /MIC <sup>2</sup>								
WL metal	W or Mo		Mo									
#holes btw. Slits	14 - 20		19 - 25		24 - 32		30 - 36		> 36			
Layout/Structure	Under array or Bonding		Bonding		Bonding or Multi Bonding							
Peri. CMOS	Poly Si Gate				HKMG							



\* Trend Extrapolation

<sup>1</sup> Metal induced lateral crystallization, N. Ishihara (Kioxia) et al., VLSI 2023

<sup>2</sup> Metal induced crystallization

<sup>3</sup> Jeehoon Han (Samsung) et al., IEDM 2023

# 前工程の技術変革点における成長機会

## ■ Logic : GAA\*<sup>1</sup>, BSPDN\*<sup>2</sup>, CFET

- リソグラフィ技術でHigh-NA化、マルチパターンニングとの併用、MOR化が進み、新技術Acrevia™に機会
- マルチパターンニングにより成膜、エッチング、洗浄などの工程数増加
- GAA、CFETトランジスタによりガスケミカルエッチングの工程数増加
- Ruなど新材料、Airgapのような構造変更も新機会となる

## ■ DRAM : HBM, VCT\*<sup>3</sup>, 3D DRAM

- マルチパターンニング採用で成膜、エッチング工程数増加
- キャパシタ形成の重要性継続し、エッチング、成膜に強い技術ニーズ継続
- 3D DRAMで成膜、エッチング、ガスケミカルエッチング工程数増加

## ■ NAND : Beyond 4xx

- 層数増による成膜、エッチング工程の投資増加
- 高アスペクト比エッチングがより重要に
- Moなど新材料、チャネルSi低抵抗化

\*1 GAA: Gate All Around

\*2 Backside PDN: Backside Power Delivery Network

\*3 VCT: Vertical Channel Transistor

# TELが提供する付加価値



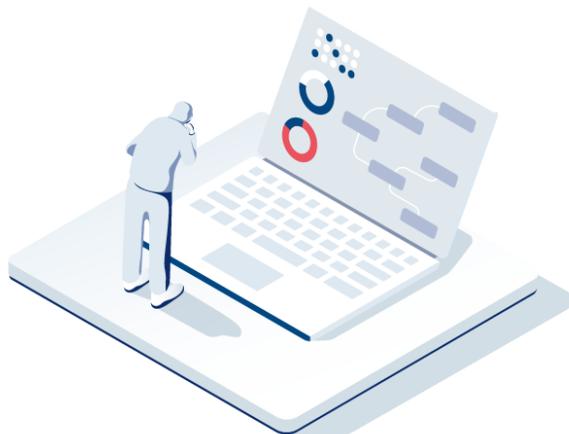
# デジタルトランスフォーメーション(DX)の活用

ベストな製品開発

装置立上げ/プロセス立上げ

生産

ベストなサービス提供



MI (マテリアルインフォマティクス)

自己診断 (センサー・ダイアグノスティック)

ロボティクス

PI (プロセスインフォマティクス)

高生産性プラットフォーム

AR/VR

生産性・収益性を高めるべく、事業活動のあらゆる場面でデジタルイネーブラーを開発中

# フィールドソリューションにおけるDX

スマートグラスや遠隔地からの専門家からのサポートをもとに、クリーンルーム内での立上げとメンテナンスにおける作業効率を最大化。  
AR/VRおよびデジタルツイン技術を含むDXを推進する



人を介さないパーツ交換の実現により、  
ダウンタイムの最小化  
とエンジニアリング作業の品質向上を図る

# 次世代の生産に向けて：東京エレクトロン宮城 生産新棟



2027年夏 竣工予定

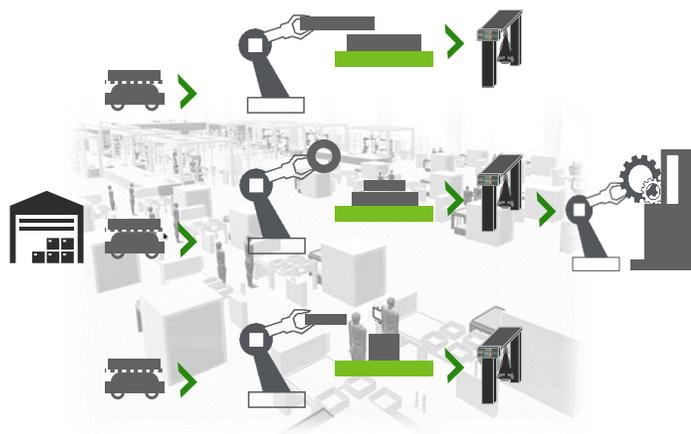
延床面積：約 88,600m<sup>2</sup> (予定)

建設費用：約 1,040億円

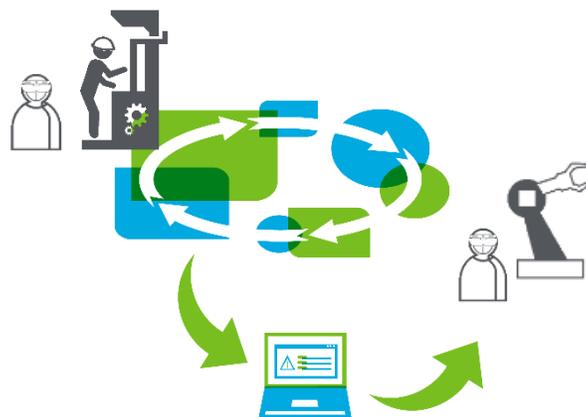
# Smart Productionで目指す姿

- 将来にわたり持続可能なものづくりを実現

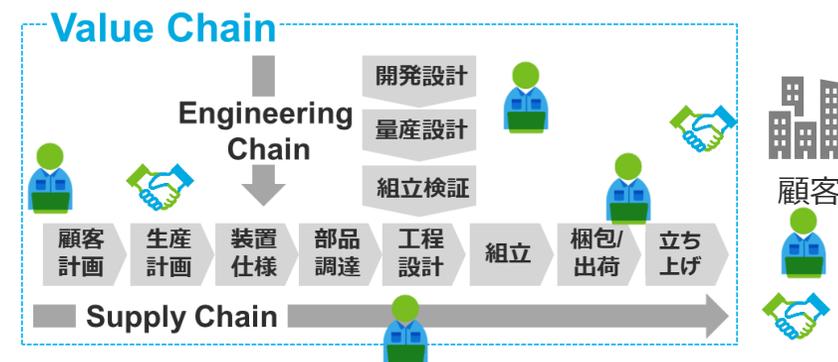
自動化・標準化による  
圧倒的な効率化



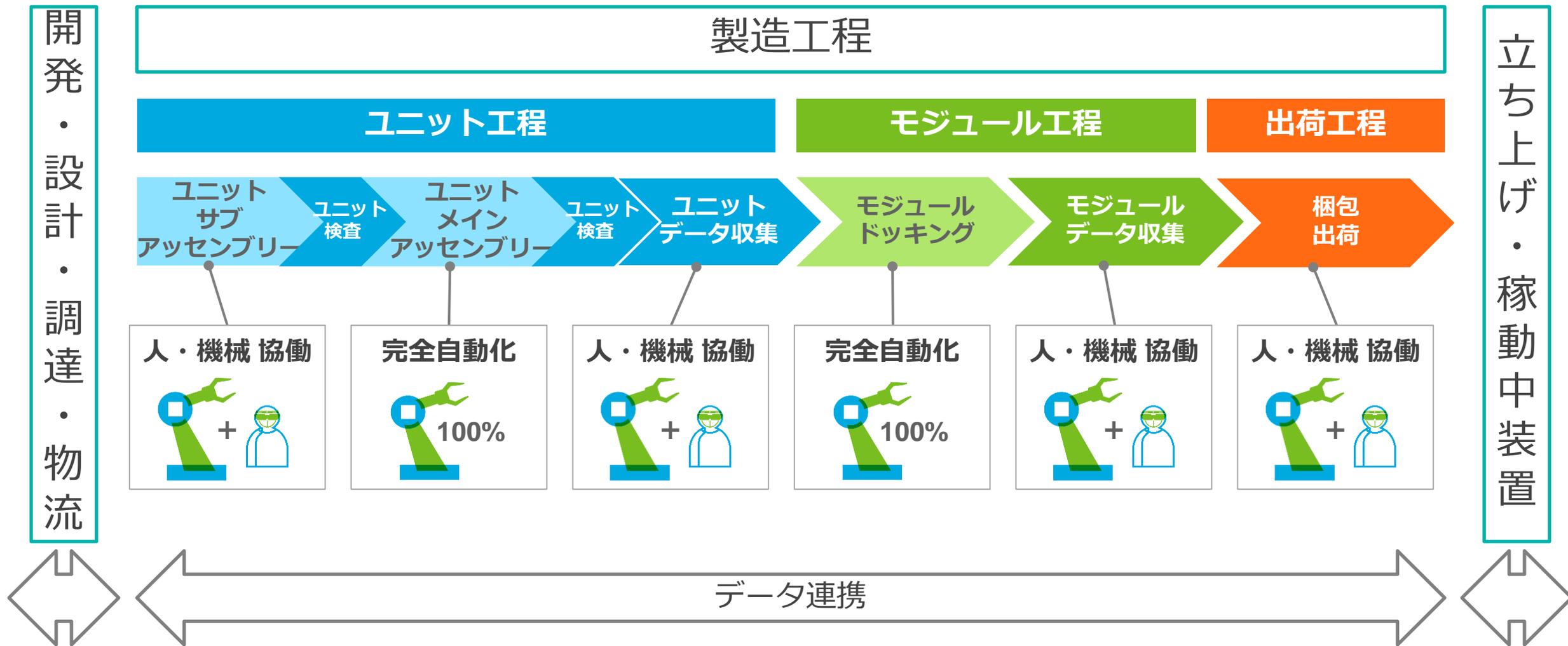
社内外環境変化にむけた  
対応力の強化



Value Chain強化による  
製品品質・業務品質向上



# Smart Productionのイメージ図



## まとめ

- ボリュームゾーンの前工程製造装置でさらなる成長を目指す
  - AIデバイス関連の成長領域への新製品投入を進める
  - 技術変革点に対応する当社の技術を生かした高付加価値装置を提供する
- Digital x Greenで半導体市場の持続的成長を支える
  - 装置における高生産性、製造における省人、省工程、省エネルギー技術の導入を促進する
  - デジタルトランスフォーメーションとロボティックスの導入で半導体製造の生産性、収益性を高める
  - Smart Productionで半導体製造装置の生産性、収益性を高める

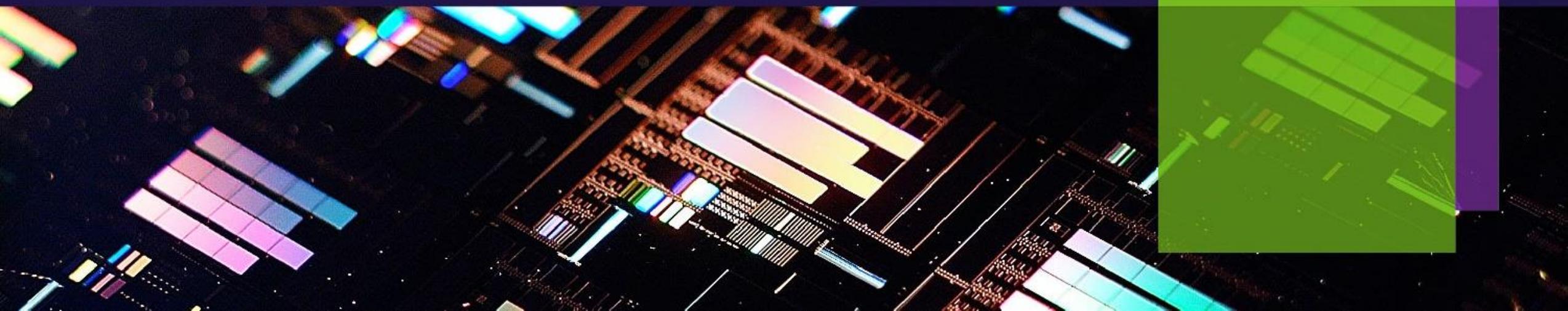
**TEL**

**TOKYO ELECTRON**

# 塗布現像・洗浄における取り組み

2025年2月26日

執行役員  
CTSPS BUGM  
鷺尾 康裕



# 塗布現像装置 コータ/デベロッパ

# 塗布現像装置 CLEAN TRACK™ LITHIUS Pro™ Z EUV

2012年 LITHIUS Pro™ Zリリース（累計> 3000台出荷）

EUV CAR/MOR対応新機能を順次リリース

## 高信頼性

EUV市場での高シェア

## 高生産性

EUV露光機の性能を最大限発揮、薬液消費量低減

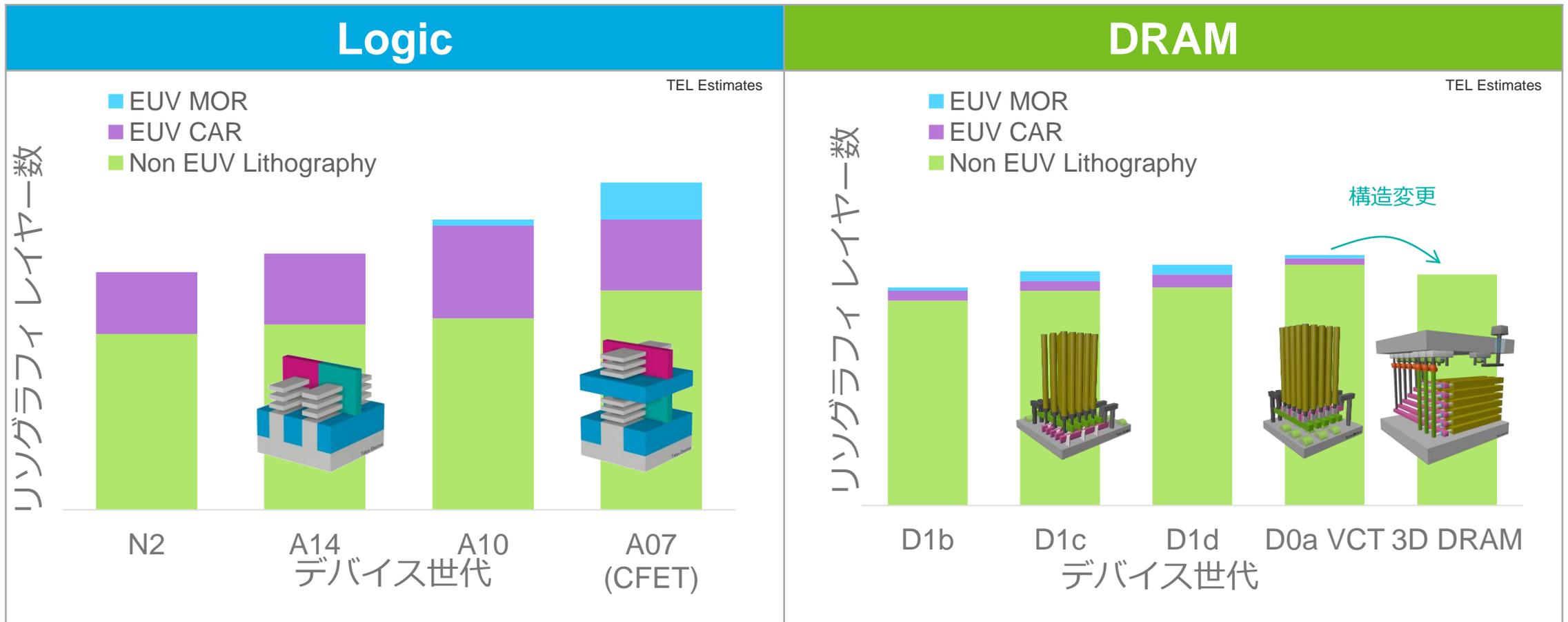
## 高汎用性

化学増幅型レジスト(CAR)に加え、  
メタルオキサイドレジスト(MOR)や下層膜にも対応



さまざまな光源の露光機向けに長年の量産実績のあるLITHIUS Pro™ Zプラットフォームで、  
EUV露光機向けにも高信頼性、高生産性を担保。次世代EUV向け高汎用性も実現

# リソグラフィレイヤー数の見通し



MORは Logic 10A、DRAM D1b世代に適用見込みにつき、MOR対応技術開発中

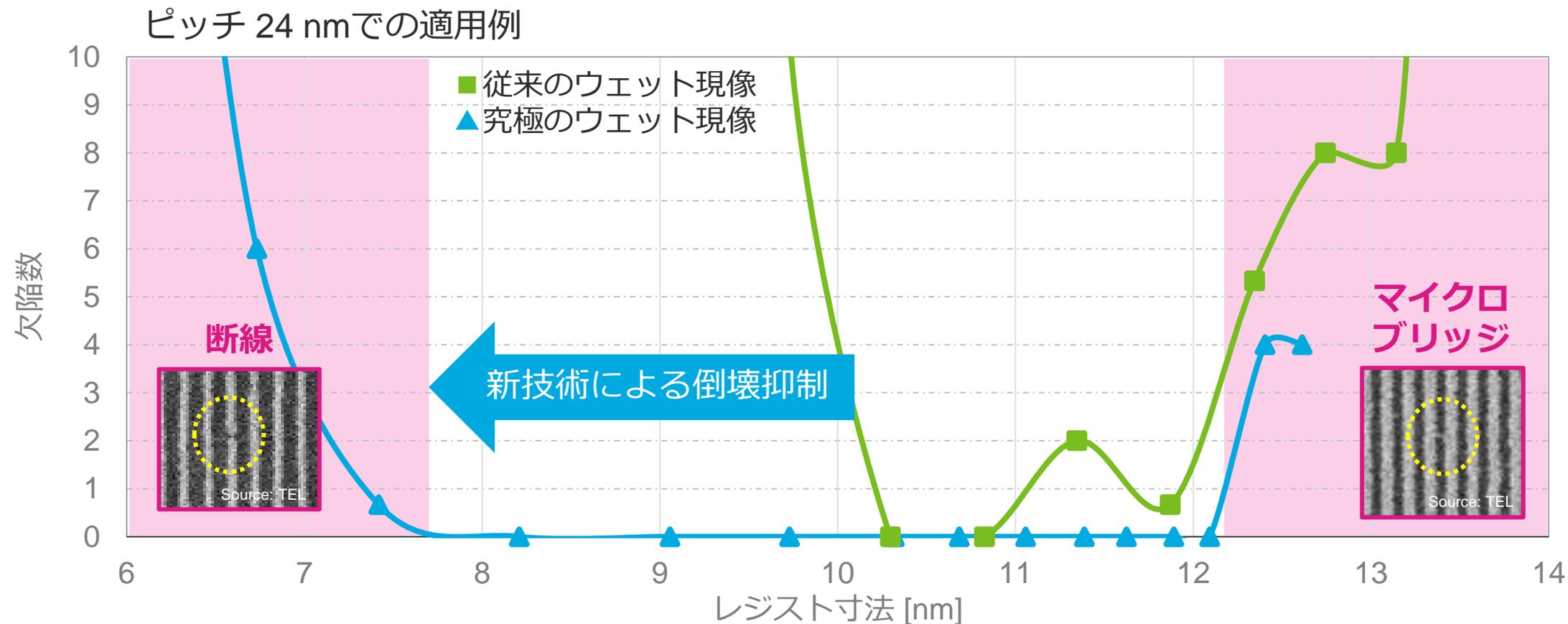
# MORソリューション：究極のウェット現像技術開発

\*1 当社認識および開発ターゲットに基づく特徴づけ  
\*2 ピッチ 24 nm ライン形成時の実施例に基づく特徴づけ

	究極の ウェット現像技術	従来の ウェット現像技術	代替技術
ベース技術	コータ/デベロッパ	コータ/デベロッパ	エッチング装置
環境	大気	大気	減圧
反応	薬液	薬液	腐食性ガス
スループット*1	x 4	x 4	x 1
薬液使用量*1	50% (従来比)	100 %	N/A (ガス使用) 使用後は燃焼除害処理
パターン倒壊性能*1	< 8 nm*2	> 10 nm*2	< 8 nm*1
追加スペース*1	インライン組み込み可能	インライン組み込み可能	必要

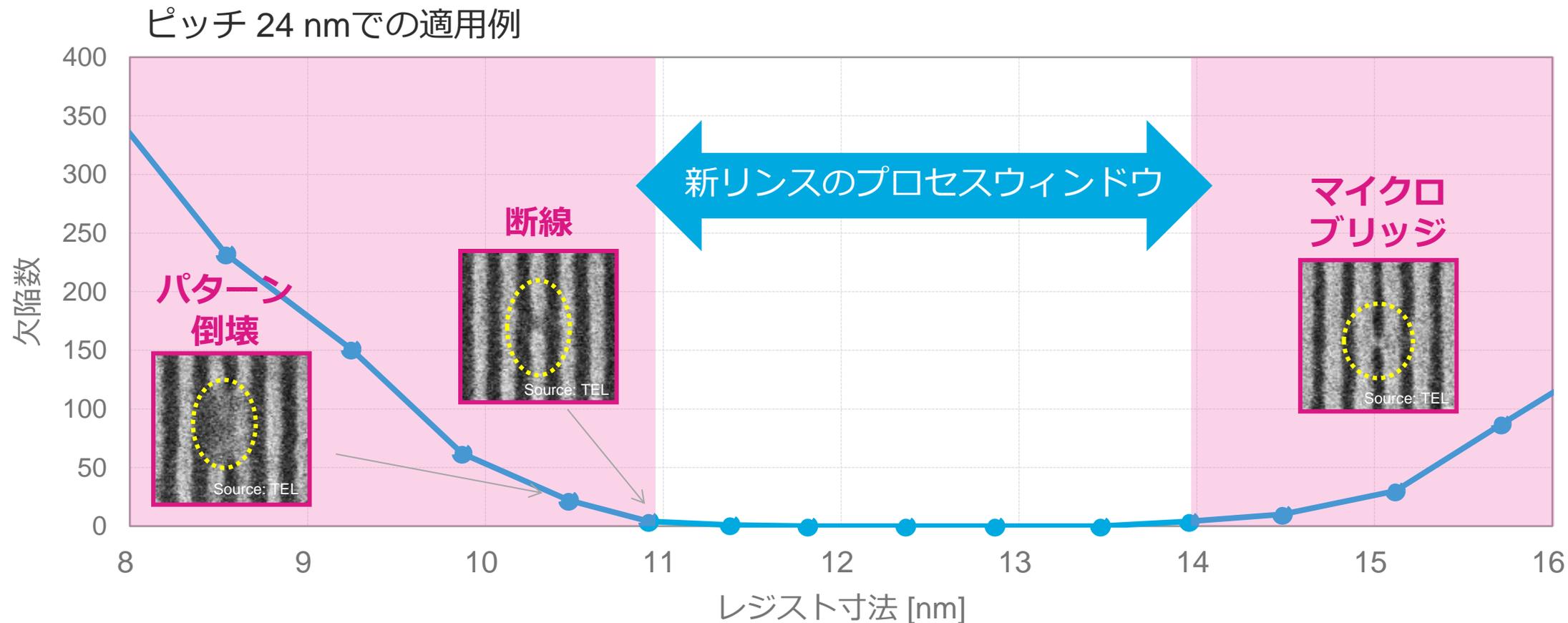
量産性（スループット・フットプリント・メンテナンス性・既存設備使用）を考慮した究極のウェット現像技術を主要顧客と評価中

# MORソリューション：究極のウェット現像技術



究極のウェット現像技術を適用することで従来ウェット現像の課題であったパターン倒壊の抑制を実現

# CARソリューション：新リンス技術、新下層膜



新リンス技術を適用することで微細パターンで広いプロセス余裕度を実現

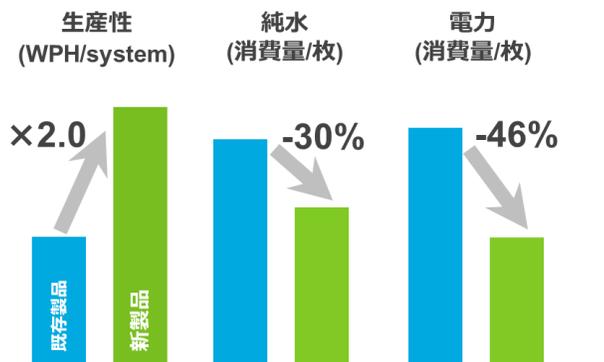
# 洗淨装置

# 洗浄装置開発取り組み

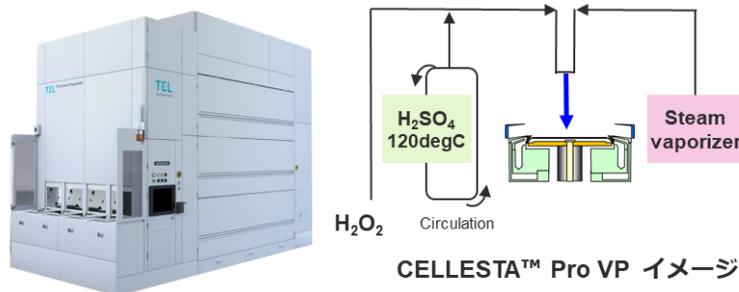
## 高生産性Wet Bench (EXPEDIUS™-R)



業界初Large Batch処理（一度に処理する枚数を拡大）を実現する装置

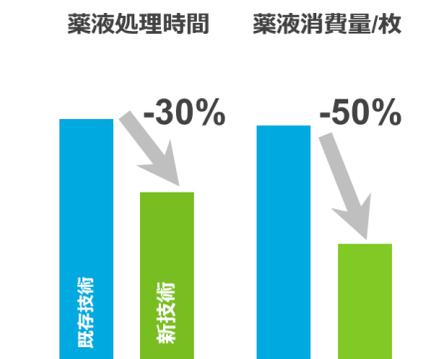


## SPM\*1 Vapor技術 (CELLESTA™ Pro VP)

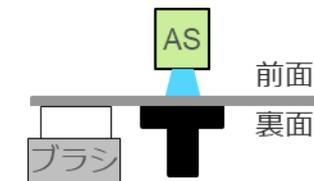


薬液に水蒸気を添加し、効率的な化学反応により処理温度の高温化を実現

\*1 SPM : Sulfuric Acid and Hydrogen Peroxide Mixture

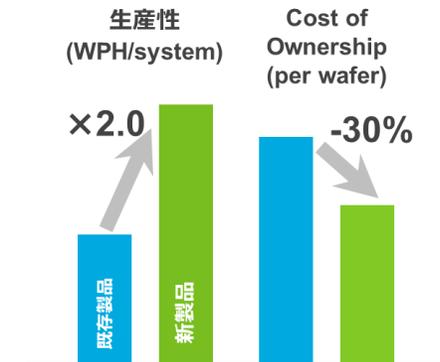


## 両面スクラバ (CELLESTA™ MS2)



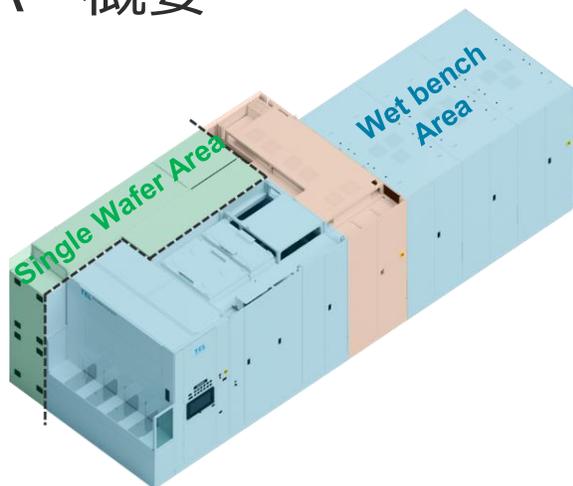
Wafer表面のAS\*2処理、Wafer裏面のBrush処理を一つのChamberで同時処理が可能

\*2 AS : Atomized Spray



# 新装置のご紹介：ZEXSTA™

## ■ ZEXSTA™概要



Wet Benchと枚葉洗浄の  
コンビネーション処理を提案

処理手法	特色
Wet Bench	高温・長時間処理、ウェットエッチング
枚葉洗浄	高度な乾燥技術、パーティクル制御

## ■ Target Application

- 高度なウェットエッチングと高度な乾燥技術が求められる工程



3D NANDに加え、今後、DRAMの積層化にも伴い、高度な選択等方ウェットエッチング技術が求められる

- 高生産性と表面清浄度の両立が求められる工程



Wet Bench  
LogicやDRAMにおいて、高度な表面清浄度が求められる

これまでの装置区分に捉われることなく、新たな価値創造にChallengeし、顧客技術開発に貢献します

**TEL**

**TOKYO ELECTRON**

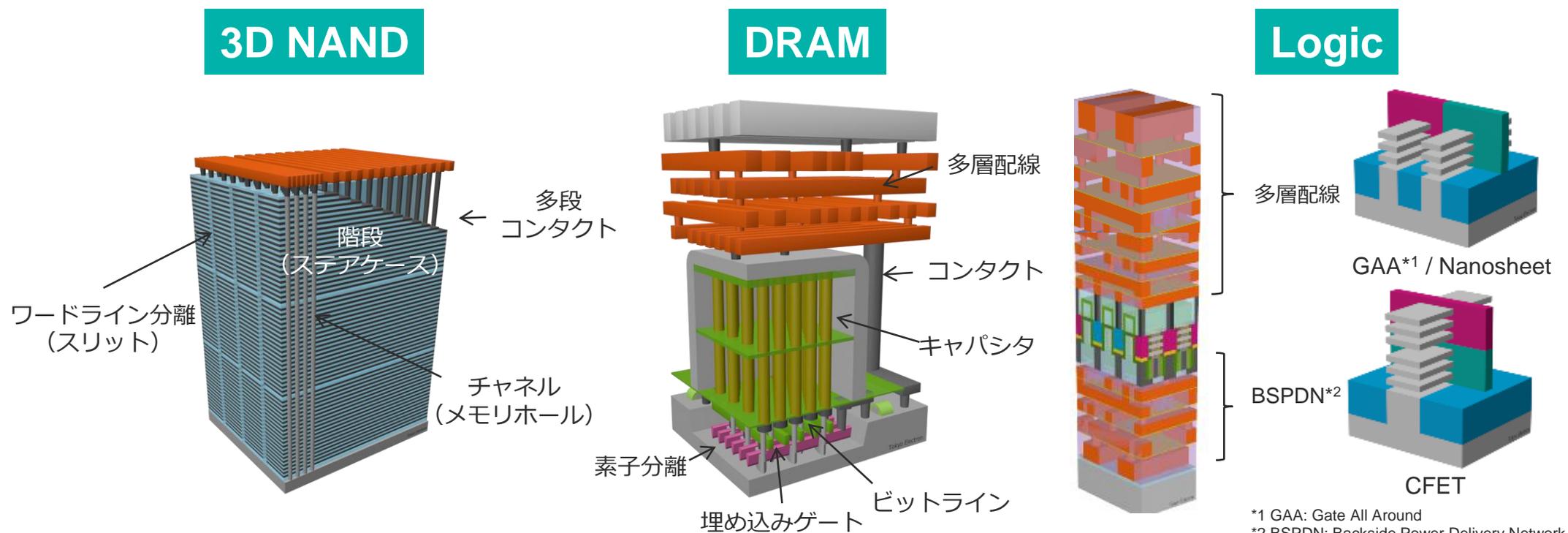
# エッチングにおける最新の技術課題と取り組み

2025年2月26日

執行役員  
ES BUGM  
西新 哲也



# 多様なエッチングと求められる技術



\*1 GAA: Gate All Around  
 \*2 BSPDN: Backside Power Delivery Network  
 \*3 CD: Critical Dimension

## デバイストレンド

### 高積層化

高速かつ垂直な高アスペクト比エッチング  
 Depth モニタとプロセス制御  
 面内均一性制御

### 微細化・新構造

小CD\*<sup>3</sup>、高アスペクト比のキャパシタ加工  
 微細なマスク加工 (EUV, マルチパターニング)  
 HBM対応 (多層配線増加など)

### 微細化・新構造

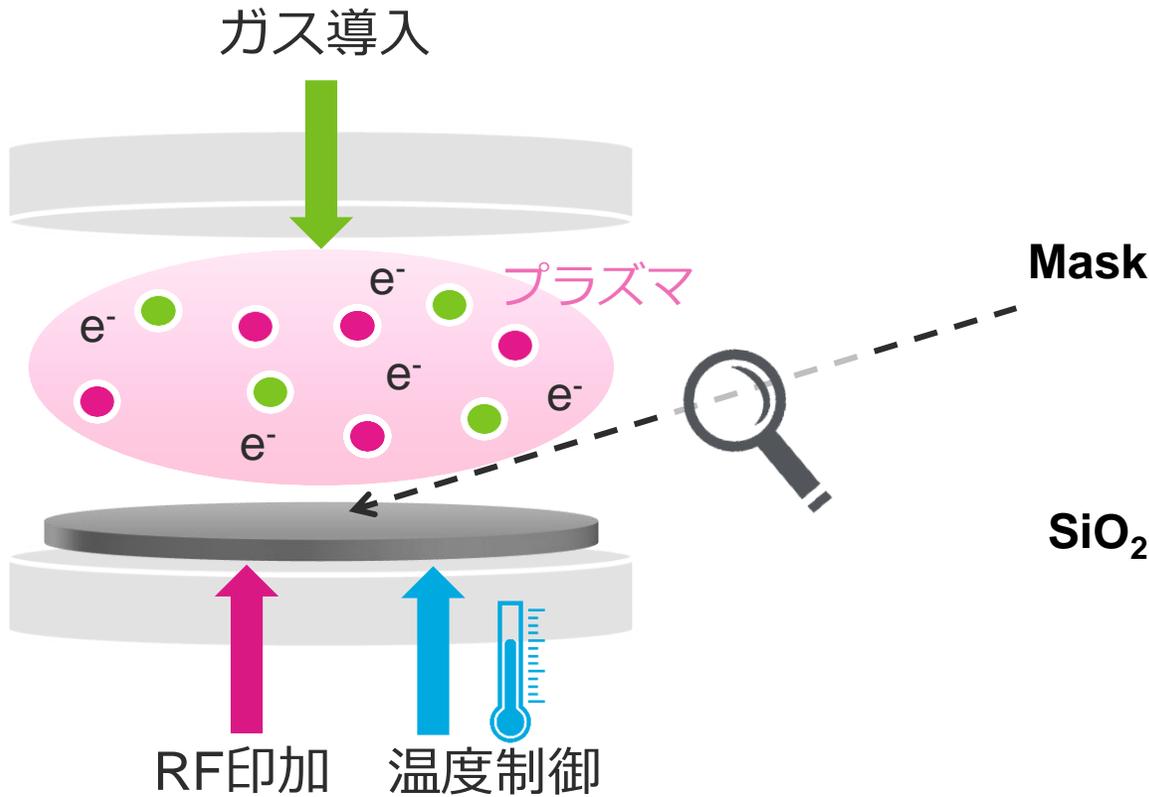
緻密なイオン制御による、高選択比  
 低ダメージプロセス  
 エッチング形状コントロール、垂直形状

必要技術

デバイスの更なる進化には、エッチングの緻密な制御技術が必要

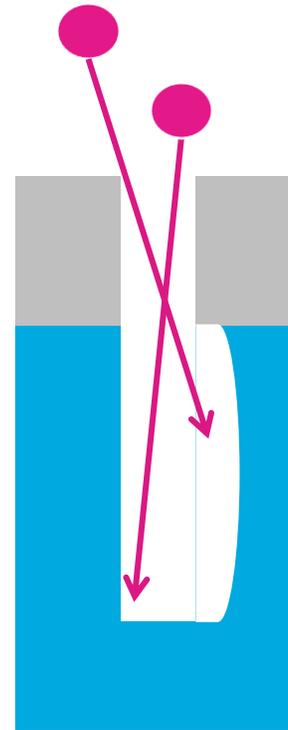
# エッチング概要とKeyとなる制御パラメーター

e<sup>-</sup> 電子 ● イオン ● ラジカル  
(活性種)



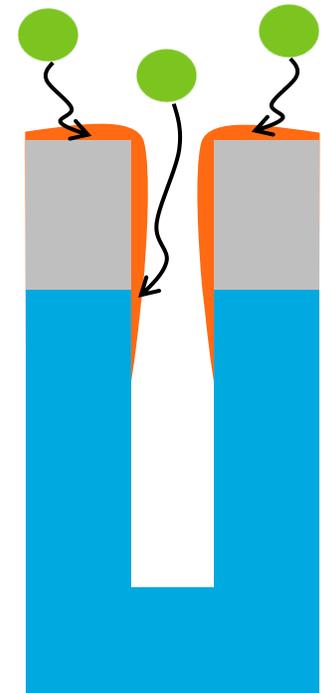
## Key制御パラメーター

イオン輸送

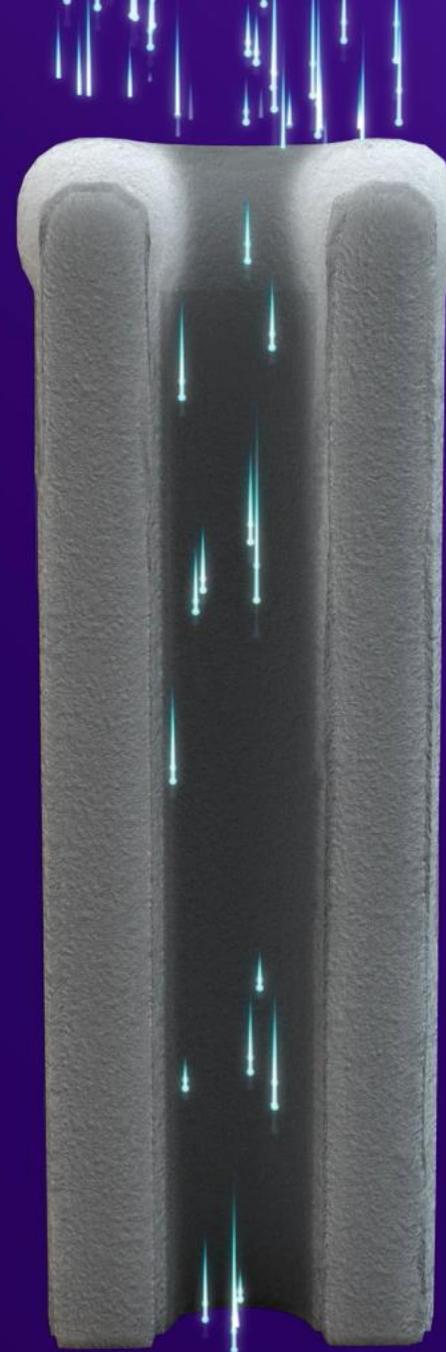


- イオンエネルギー
- イオン入射角

ラジカル輸送



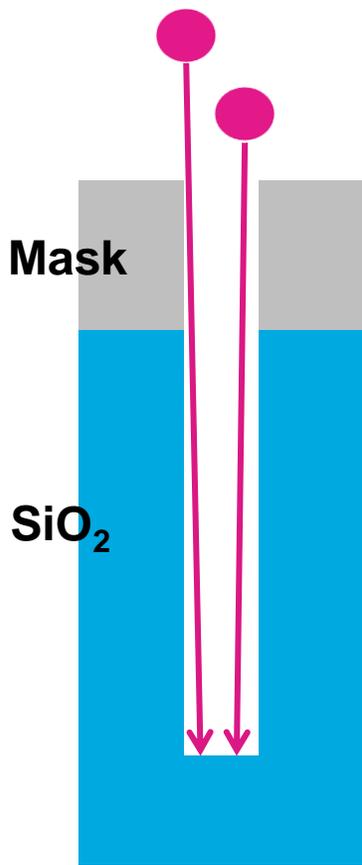
- ガス種
- ウェーハ温度



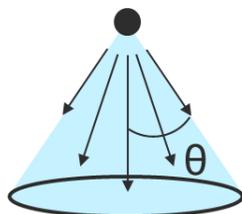
# TEL独自技術によるソリューション 1: HERB™

(HERB™: High Efficiency Rectangular Bias™)

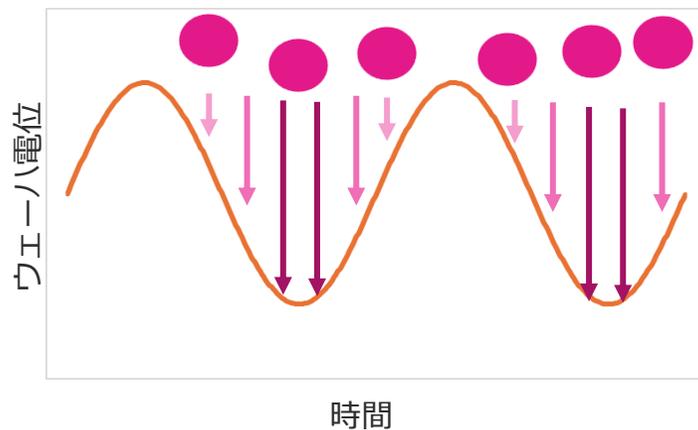
## イオン輸送



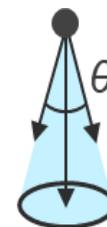
## 従来技術（正弦波）



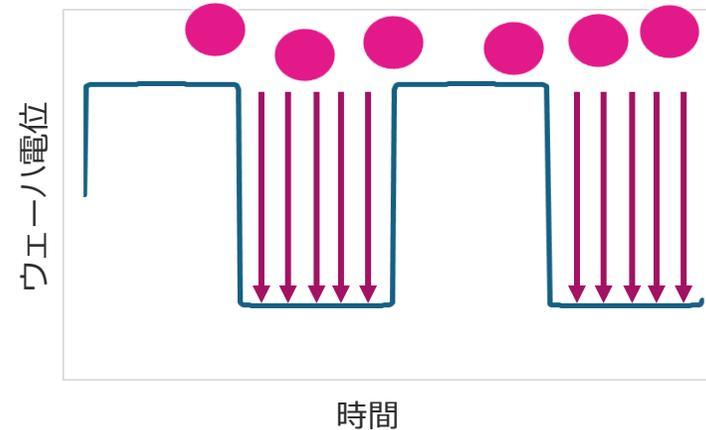
イオンを引き込む力がばらつく  
= 入射角がばらつく



## 新技術（HERB™）



イオンを引き込む力が強く一定  
= 入射角も垂直化



# HERB™

Vertical  
Deeper

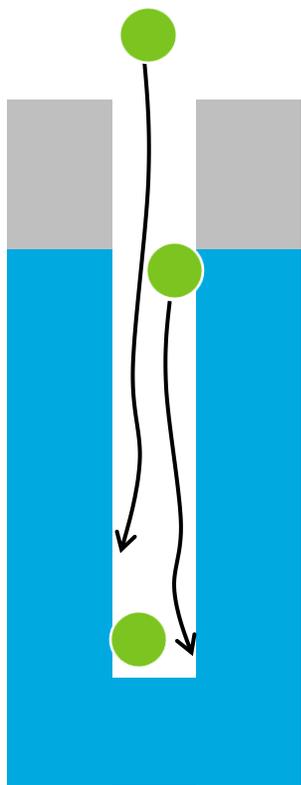


Ion Angle

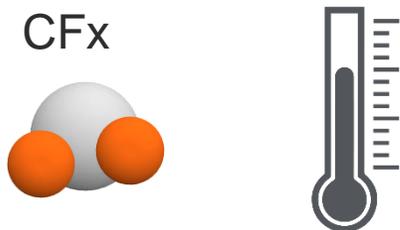


# TEL独自技術によるソリューション 2: PHastIE™

## ラジカル輸送

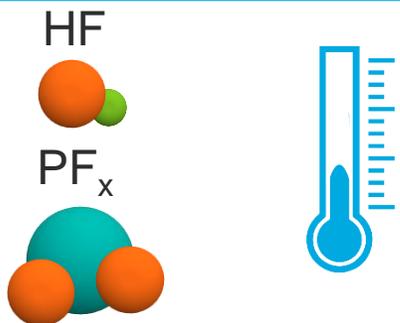


## 従来技術 (CF<sub>x</sub> + 常温)



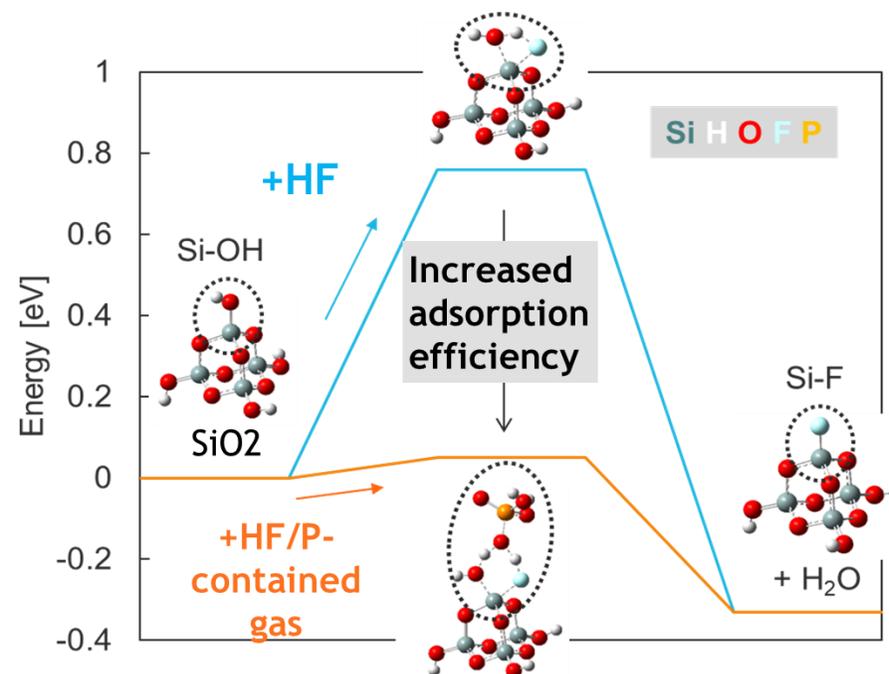
CF<sub>x</sub>はポリマー化して吸着しやすい  
間口に堆積すると輸送を阻害

## 新技術 (PHastIE™)

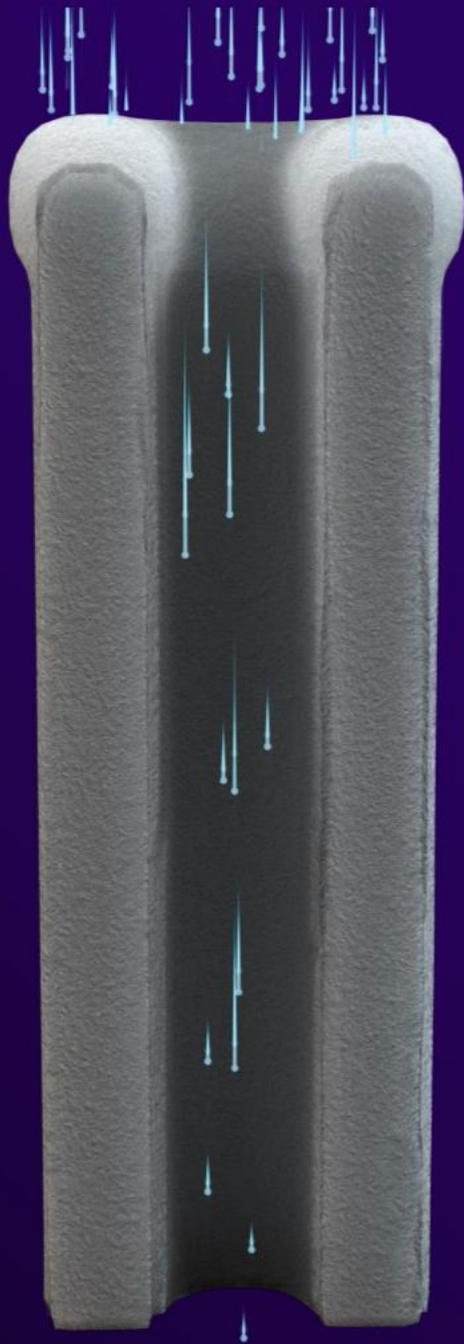


新規ガスを採用することで上記課題を克服  
低温との組み合わせで高速Etchingを実現

(PHastIE™: Phosphorus + Hydrogen based “Fast” Ion Etch™)



# PHastIE™



Less Deposition  
by **New Chemistry**

Sidewall Protection  
by **Cryogenic Temp Control**

Higher Etch Rate  
by **New Chemical Reaction**

# TELAVES™ for Novel Cryogenic HARC Etch



Beyond  
**10μm**  
2.5x Faster

## プロセス性能

### 極低温プロセス

より直線的、  
より深く、  
より速く

### プラズマ制御

深層学習を用いた最適化

## 環境性能

### 消費電力 -43%

Less Power

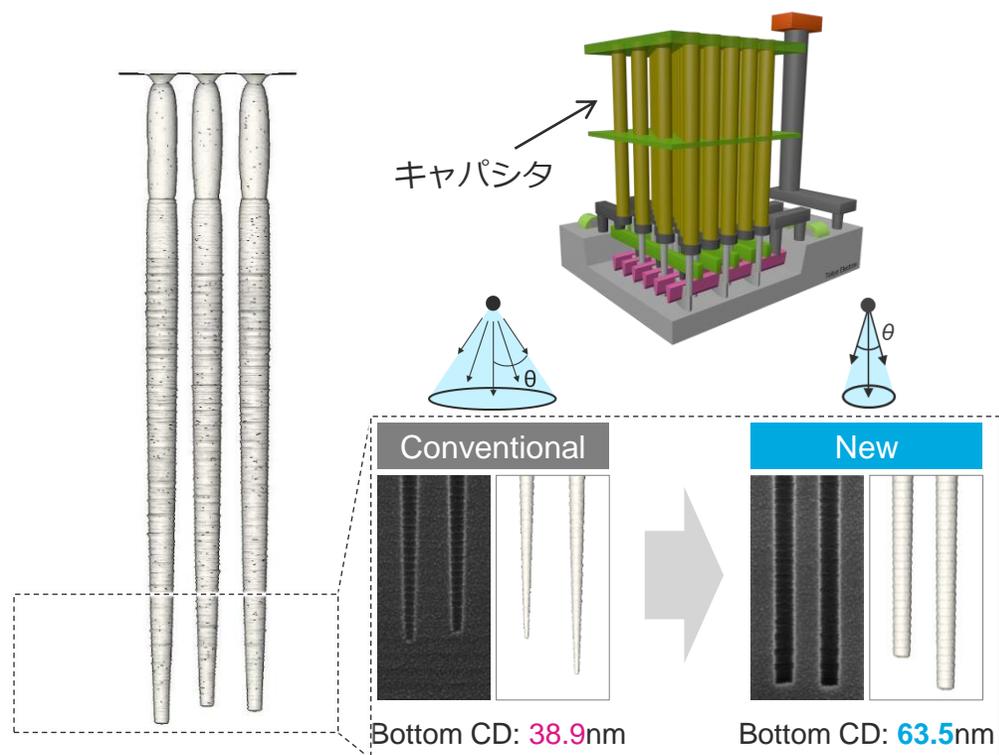
### CO<sub>2</sub>排出量 -83%

Less Carbon Footprint

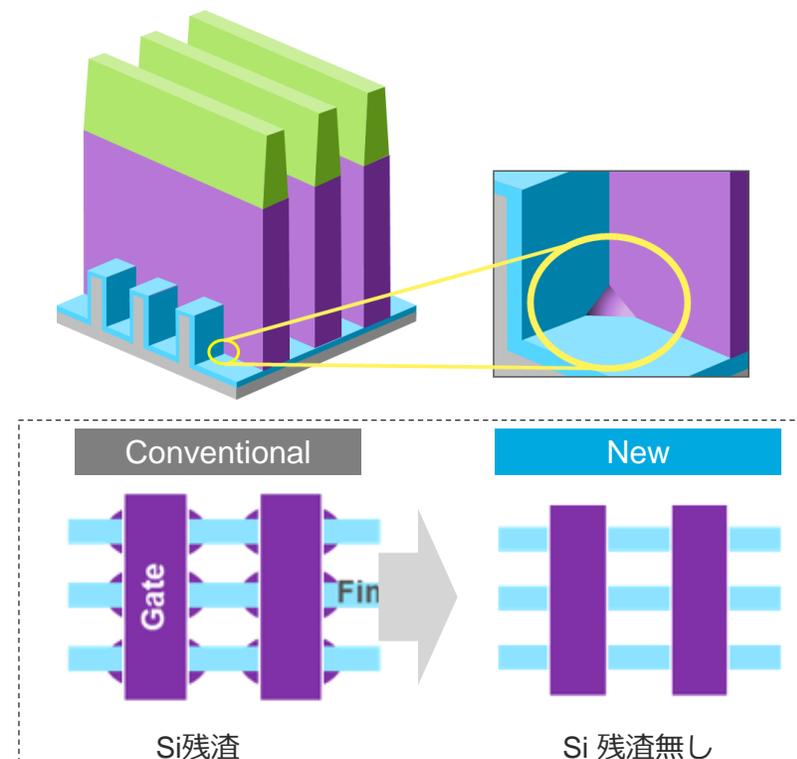
世界初、新Cryogenicプロセスを2023年に発表 (@VLSI 2023)  
高いプロセス性能と環境性能を両立

# 新たなエッチング技術の展開

## DRAM: Capacitor SiO<sub>2</sub>加工



## Logic: Gate Silicon加工



理想のエッチングプロセス開発で培った新技術を  
多様なCriticalプロセスにも展開

# 更なる成長に向けた開発Eco System

## Product Innovation

革新的な製品の開発

## Fundamental Research

メカニズム・モデル解析

TEL



University



Supplier



## Supplier Collaboration

サプライヤーとの「協業+共創」

- 「**サプライヤー+大学+TEL**」の開発Eco Systemにより、業界初となる様々な新規技術を継続的に創出
- このECO Systemによりサステナブルに開発を進めることが競争力の源泉
- 東京エレクトロン宮城の**宮城技術革新センター**はこの中核を担う



# 高度な製品品質と高い生産性を両立するSmart Manufacturing

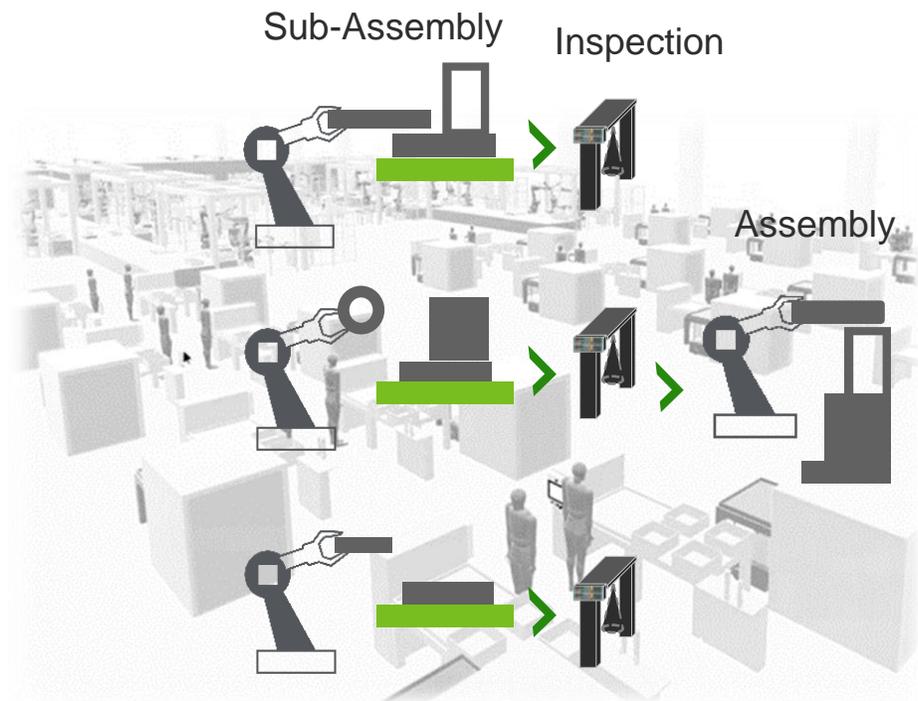
## 開発&設計



Feed Forward

Feedback

## Smart Manufacturing



開発と生産の拠点であるTEL宮城を中心に  
絶え間ないコンカレントエンジニアリング、高度な生産技術を実現する。

お客様の想像を超える究極のエッチング技術を  
継続的に生み出し、タイムリーに提供し続ける事が  
我々の使命です

**TEL**

**TOKYO ELECTRON**

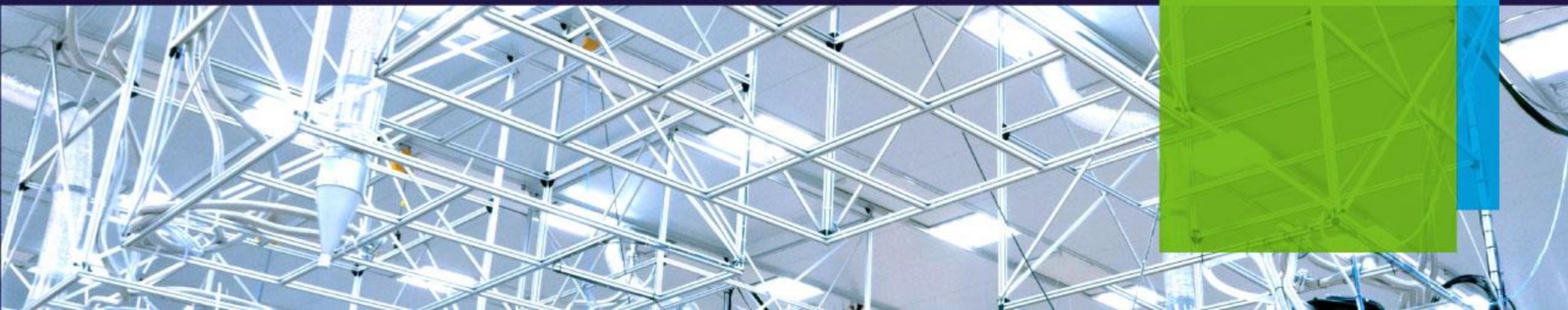
# 成膜における事業戦略

2025年2月26日

執行役員

TFF BUGM

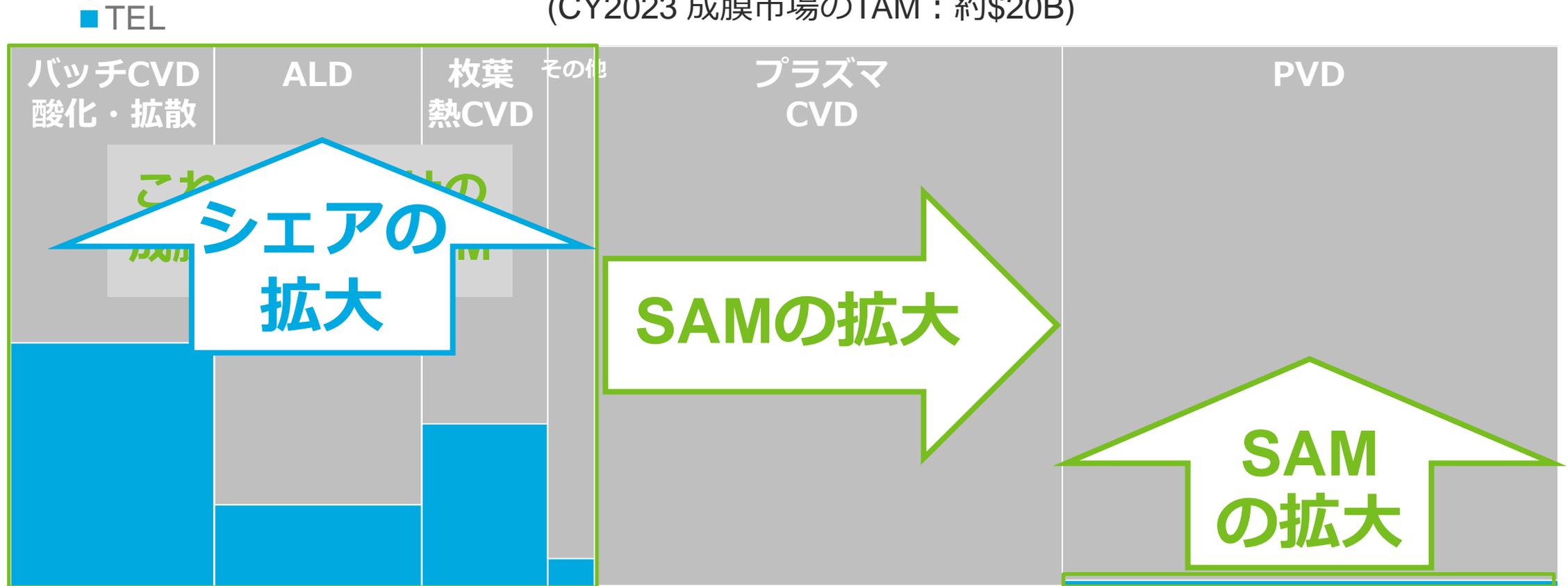
中谷 茂樹



# 成膜における事業戦略：シェアの拡大・SAM\*の拡大

成膜市場におけるTELのシェア  
(CY2023 成膜市場のTAM：約\$20B)

TEL Estimates



\* SAM: Served Available Market

# 成膜ビジネスにおける戦略 1 : 枚葉成膜装置のSAMの拡大

**Triase+™**



**Single Reactor**  
既存プラットフォーム

**Episode™ 1**



**Single Reactor**  
最大8基のプロセスモジュール搭載

**Episode™ 2 DMR\***



**\*Duo Matched Reactor**  
2枚葉で高い生産性を実現

**Episode™ 2 QMR\*\***



**\*\*Quad Matched Reactor**  
新開発高密度プラズマ源搭載

**2024年7月リリース**

**2026年リリース予定**

# Video

# 成膜ビジネスにおける戦略 1 : 枚葉成膜装置のSAMの拡大

**Triase+™**



**Single Reactor**  
既存プラットフォーム

**Episode™ 1**



**Single Reactor**  
最大8基のプロセスモジュール搭載

**Episode™ 2 DMR\***



**\*Duo Matched Reactor**  
2枚葉で高い生産性を実現

**Episode™ 2 QMR\*\***



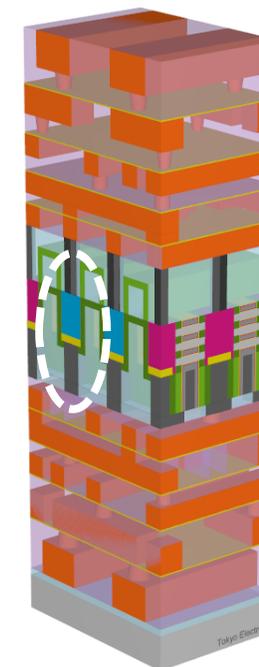
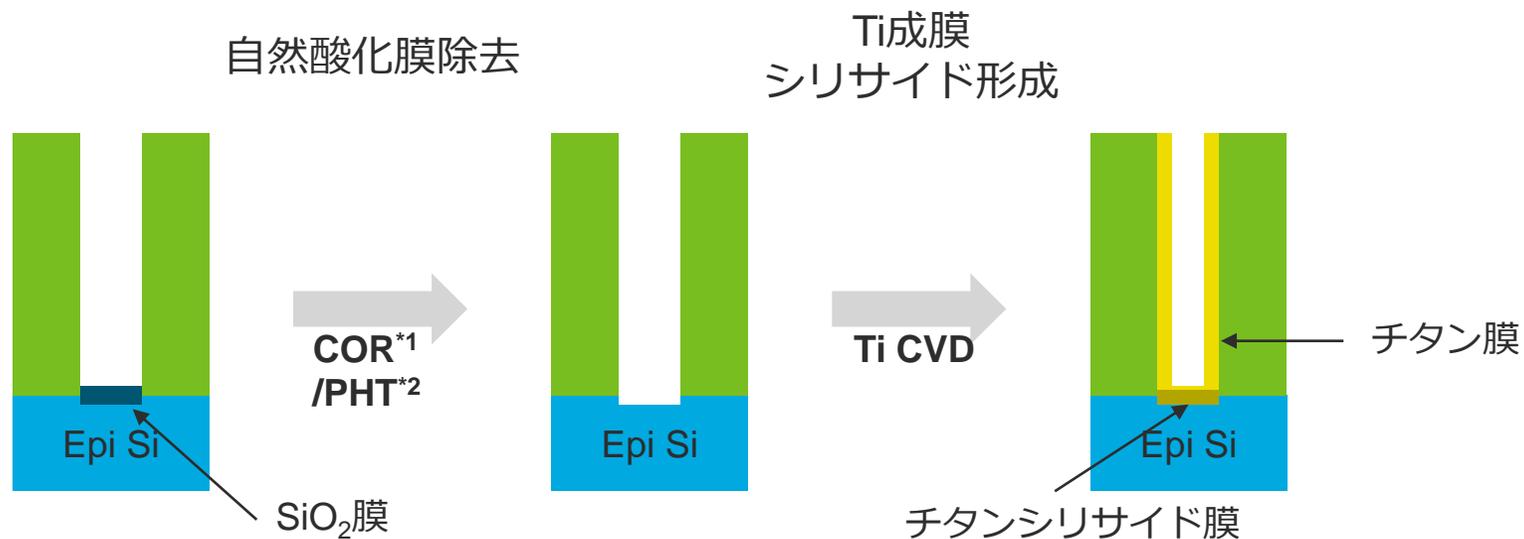
**\*\*Quad Matched Reactor**  
新開発高密度プラズマ源搭載

**2024年7月リリース**

**2026年リリース予定**

# Episode™ 1 : コンタクト形成工程

## ■ プロセスフローの一例



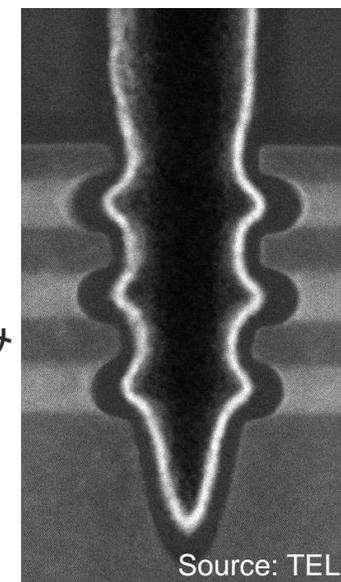
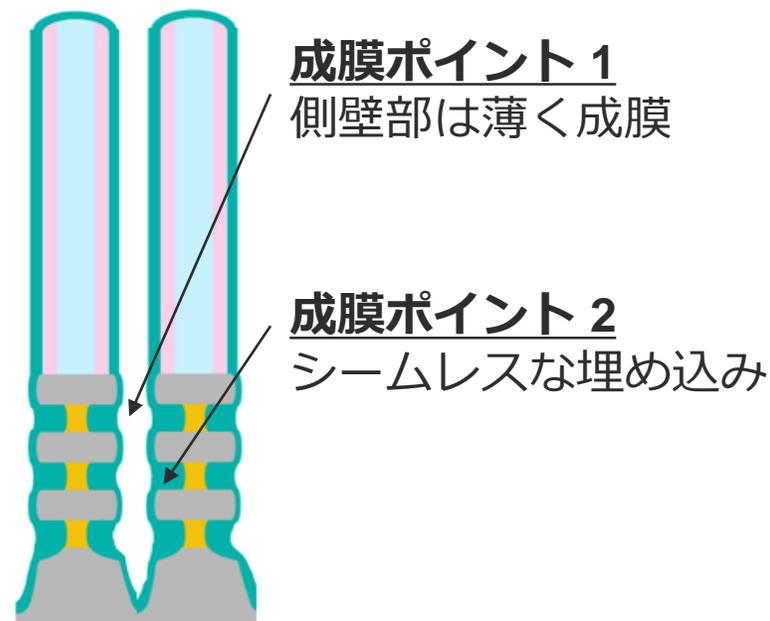
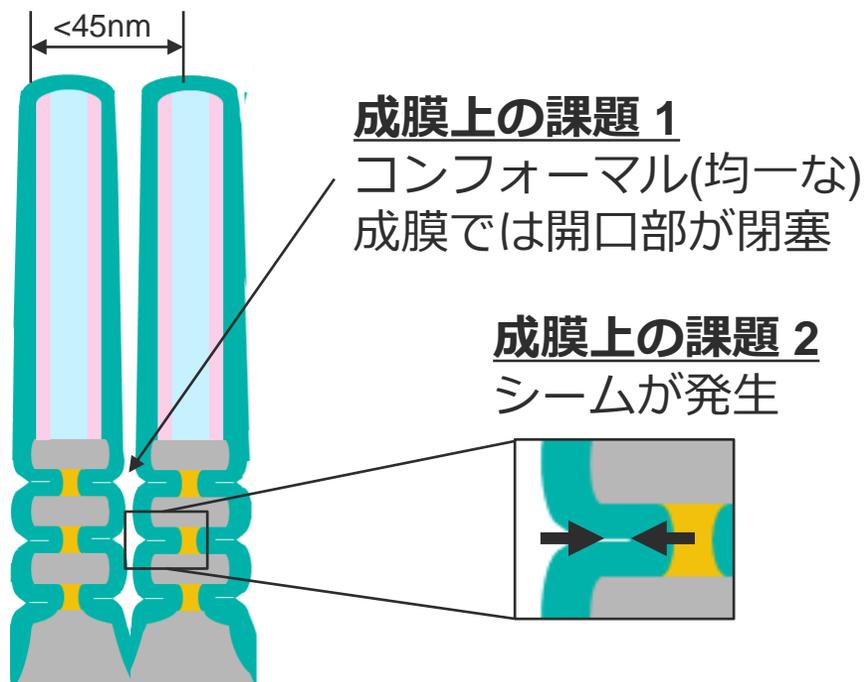
\*1 COR: Chemical Oxide Removal  
\*2 PHT: Post Heat Treatment

高真空度の同一プラットフォーム上で酸化膜除去工程とメタル成膜を連続処理  
⇒コンタクトの低抵抗化実現に寄与

# Episode™ 1 : Inner Spacer工程—横方向の埋め込み性

- 技術課題：  
成膜後のエッチングによるリーク発生懸念

- 解決策：  
埋め込み性能の改善



ユニークな成膜手法によるシームレスな埋め込みと  
新開発の高密度プラズマによる横方向に均一な膜の改質を実現

# Episode™ 2 : 従来機種との性能比較

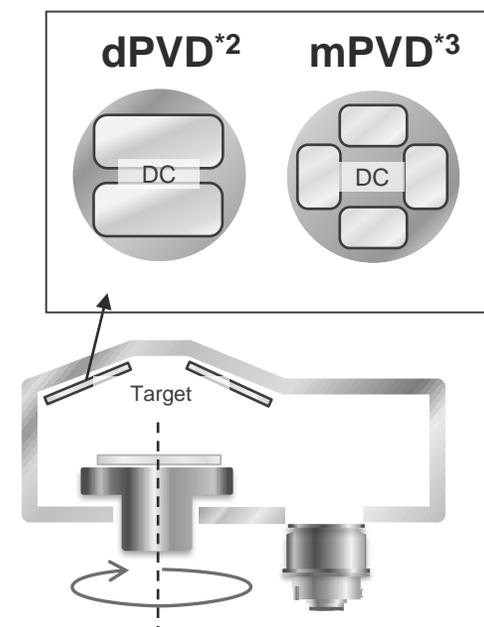
		Triase+™ 	Episode™ 2 DMR 
 <b>生産性と フットプリント</b>	生産性	1 4PM/4-reactor	1.5 3PM/6-reactor
	フットプリント	1	0.65
	単位面積当たりの生産性	1	2.31
	搬送速度 (搬送スループット比)	1	~ 1.8
 <b>オペレーション</b>	プロセスチューニングノブ	✓	✓
	ファシリティ工事費用	1	0.64*
 <b>アプリケーション</b>	成熟から最先端プロセス対応	✓	✓
	先端デバイス向け新機能	—	✓
 <b>スマート機能</b>	データ収集機能	—	✓
	インテリジェントコントローラ	—	✓
 <b>環境性能</b>	ウェーハ1枚当たりの消費電力	1	0.75

\*TEL Estimate

# 成膜ビジネスにおける戦略 2 : PVD装置におけるSAM拡大

## LEXIA™ -EX 2024年12月リリース

- ウェーハ回転機構を備えた斜め入射PVD装置 (Oblique Angle Sputtering)
  - 良好な膜厚均一性 ( $1\sigma$  0.5%)
- 独自のマルチカソード\*1仕様
  - 高い成膜レートを実現
  - 複数材料による組成比制御が可能
- 高い生産性を実現 (~100WPH)
- 従来機種から大幅な省スペース化を実現



\*1 カソード: 成膜材料を取り付ける電極

\*2 dPVD: Dual cathode PVD

\*3 mPVD: Multiple cathode PVD

# 成膜ビジネスにおける戦略 3：縦型熱処理/成膜装置での成長

## ■ 主要アプリケーション

- Siプロセス全般（ダミーゲート、チャネルSi, etc.）
- Batch ALD high-k（キャパシタ絶縁膜）
- Plasma/Thermal ALD-SiN/SiO<sub>2</sub>
- Batch molybdenum（word line）

## ■ 今後の開発計画

- ロードポートサイズアップ（8ロット、1バッチ200枚処理）
- 疎密差があるパターンにも均一な成膜するために、排気特性を改善
- 省エネの追求（ヒーター性能のさらなる向上）
- 省人化（One-Touch立上げ、セルフメンテナンス、DXの活用）

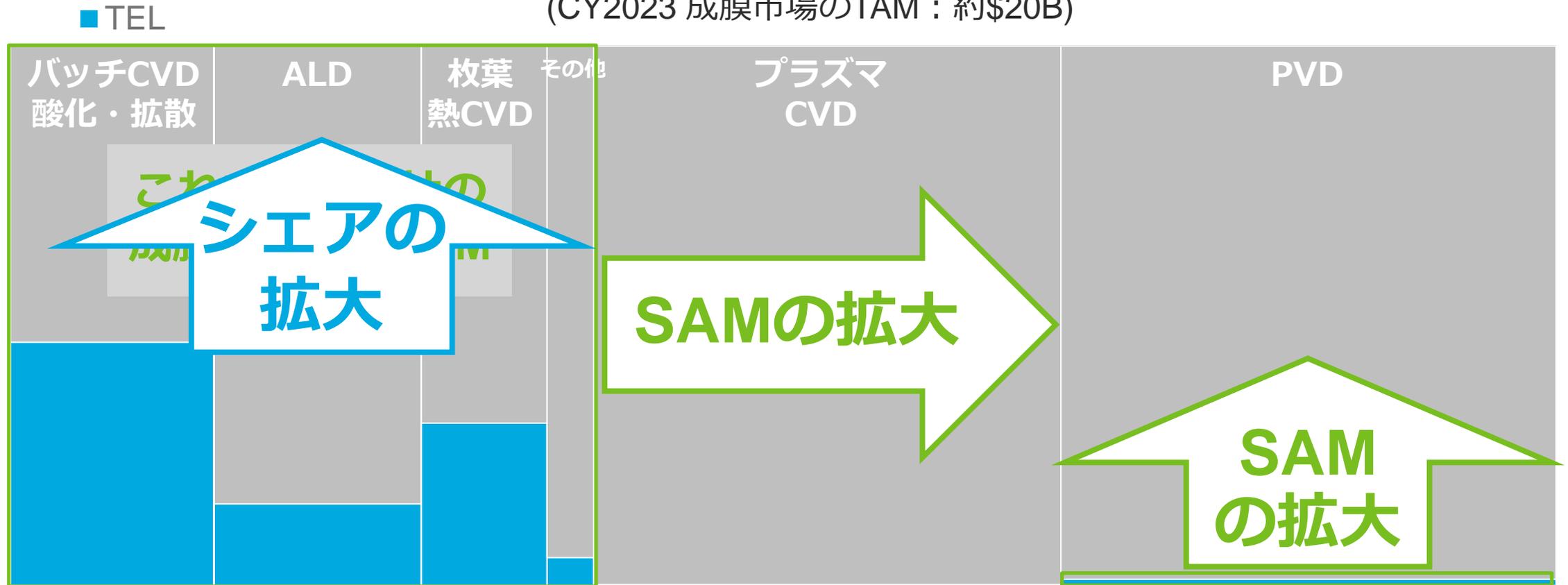
TELINDY™ PE-II



# 成膜における事業戦略：シェアの拡大・SAM\*の拡大

成膜市場におけるTELのシェア  
(CY2023 成膜市場のTAM：約\$20B)

TEL Estimates



\* SAM: Served Available Market

**TEL**

**TOKYO ELECTRON**

# 多様化したニーズに対応した装置の提案

2025年2月26日

執行役員  
DSS BUGM  
石田 寛

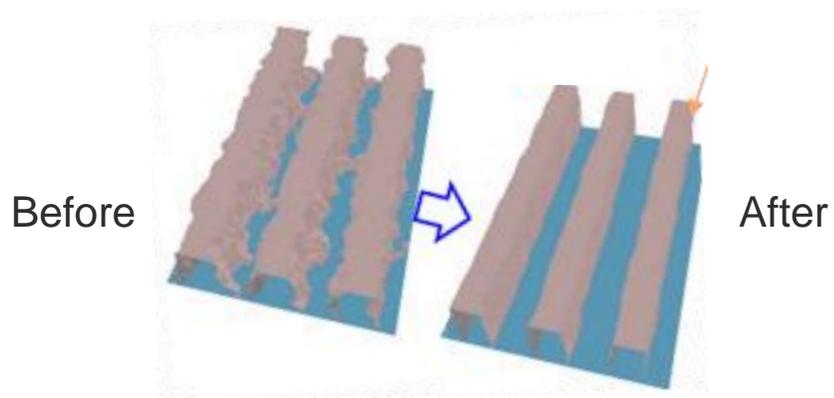


# Video

# Acrevia™

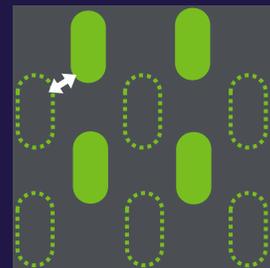
## TEL Original Gas Cluster Beam (GCB) System

- ビーム入射角を自由に調整可能
- LSP (Location Specific Processing) ウェーハスキャン  
→ 縦・横・高さのエッチング制御が可能
- ✓ 微細パターンにおけるEUV露光回数削減  
EUV装置の生産性を大幅に向上
- ✓ 微細パターン間の欠陥除去、LER/LWR\* 改善  
歩留まり向上を実現



\* LER/LWR: Line Edge Roughness / Line Width Roughness

### Too Narrow



1st EUV



Etch



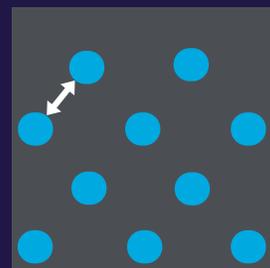
2nd EUV



Etch



### Wide



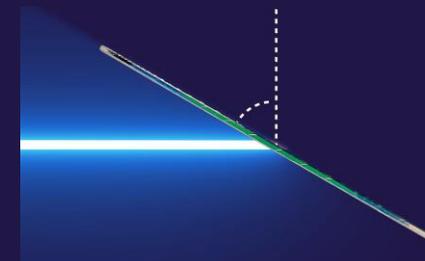
1st EUV



Acrevia



Etch



生産性

x 2

# TEL Manufacturing and Engineering of America, Inc.

- ガスクラスタースタービーム (先端パターニング)
- 低ダメージの物理洗浄 (HBM、Advanced Packaging)
- 先端プロセス向けのユニークな新装置の開発

製造：ミネソタ州チャスカ

研究開発：マサチューセッツ州チェルムズフォード



# M

# A

# G

# I

# C

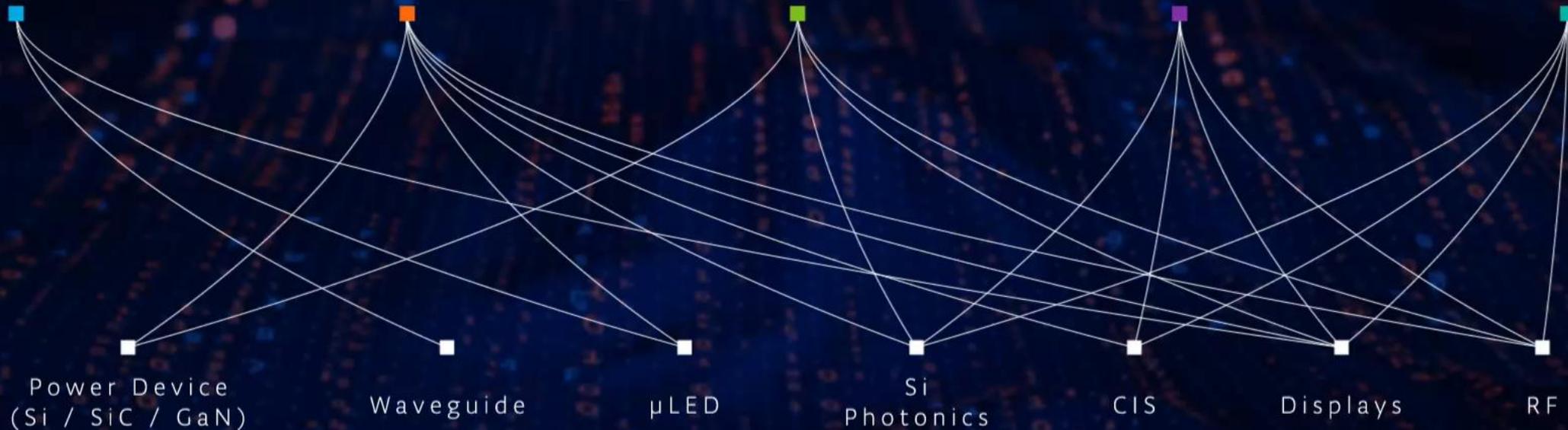
Metaverse

Autonomous  
Mobility

Green  
Energy

IoT &  
Information

Communications

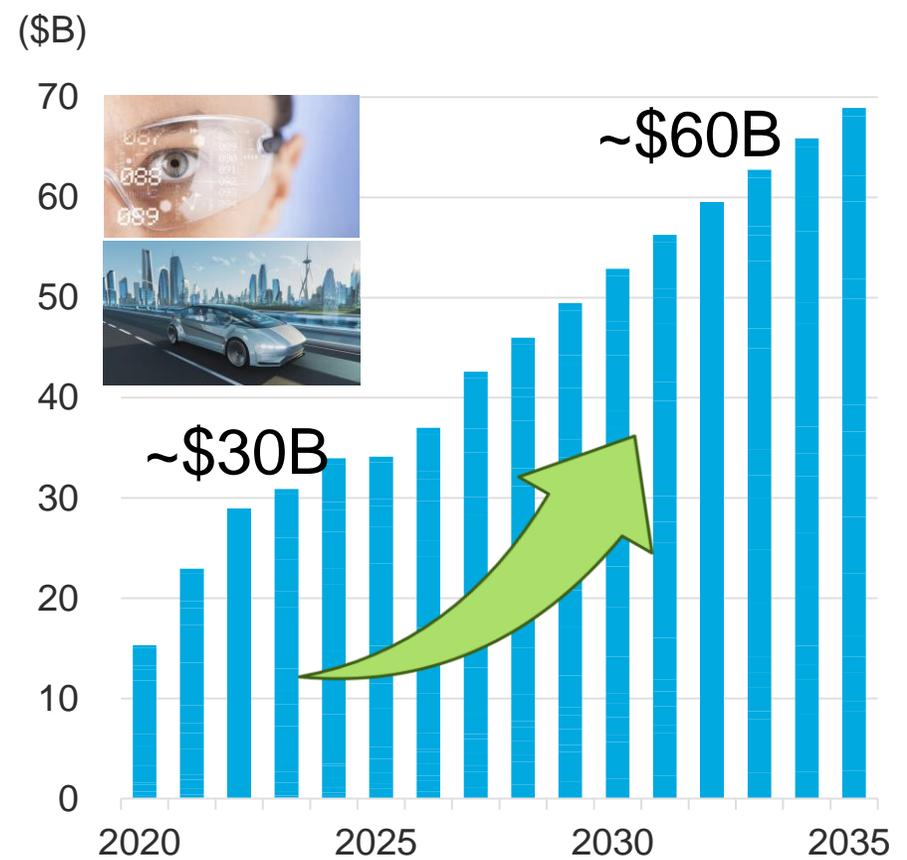


# MAGIC 市場

- MAGIC市場 2倍の成長を期待
- MAGIC特殊用途向け装置群を開発、供給
- MAGIC向け200mmのデモラインも用意
  - 山梨・熊本・宮城
  - マサチューセッツ・ミネソタ・フロリダ



## ■ 市場予測



\*TEL estimate

多様なニーズに多様な装置とソリューションを提供

## 先端デバイスの進化

Heterogenous  
Integration

Layering

Miniaturization



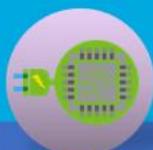
PLP



μOLED



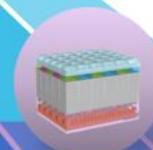
Smart Glass



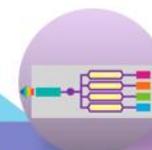
Power



RF Filter



CIS



Si Photonics

デバイスの  
多様化

基板・材料の  
多様化

角型基板, ガラス, SiC, GaN, LT/LN, 150/200/300mm

Bonder

Test

Cleaning

Etch

Litho

Dep

GCB

TELの  
カバレッジ

Support > 96,000 units

顧客の生産性を最大化

## フィールドソリューション

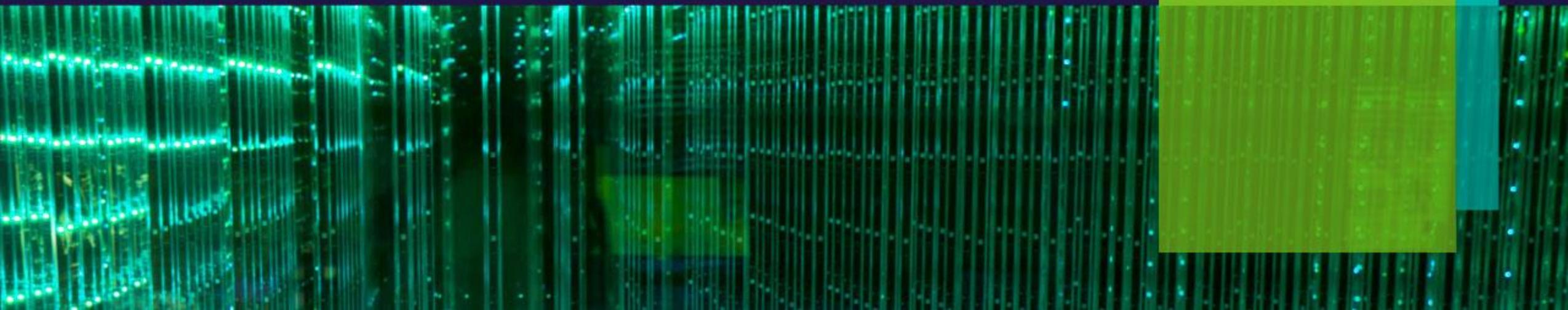
**TEL**

**TOKYO ELECTRON**

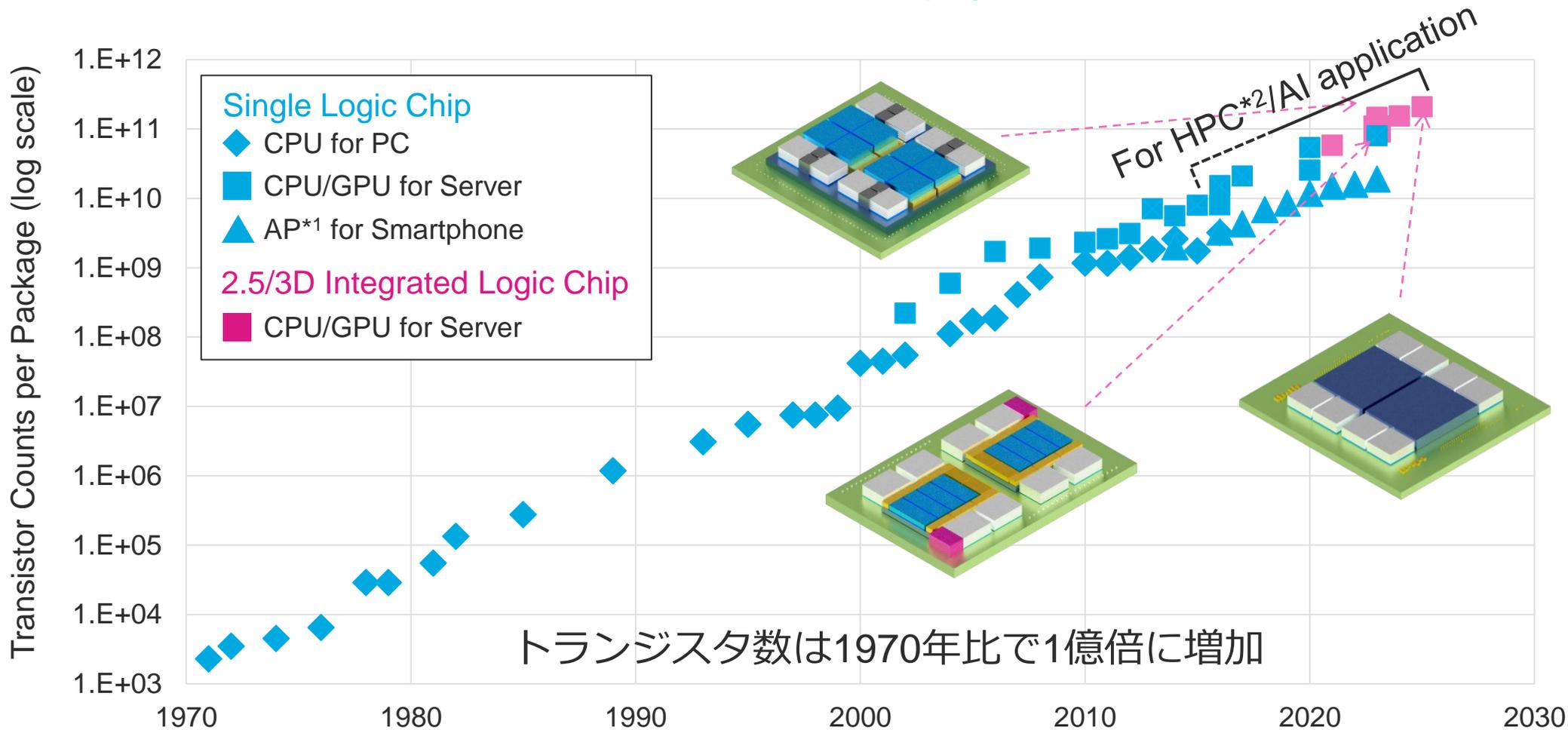
# アッセンブリー工程における技術動向と事業機会

2025年2月26日

常務執行役員  
後工程事業本部ディビジョンオフィサー  
秋山 啓一



# ロジックデバイストランジスタ数の推移 (パッケージあたり)



Source : Wikipedia  
 \*1 AP : Application Processor  
 \*2 HPC : High Performance Computing

HCP/AI向けデバイスが微細化と先端パッケージの両輪でトランジスタ数を牽引

# ボンディング技術における当社の事業機会



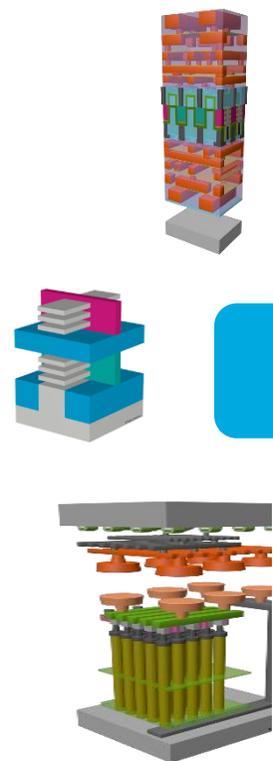
# HPC/AIデバイスにおける3DI/テストの事業機会

## 前工程

## Advanced Packaging

ウェーハでのデバイス製造

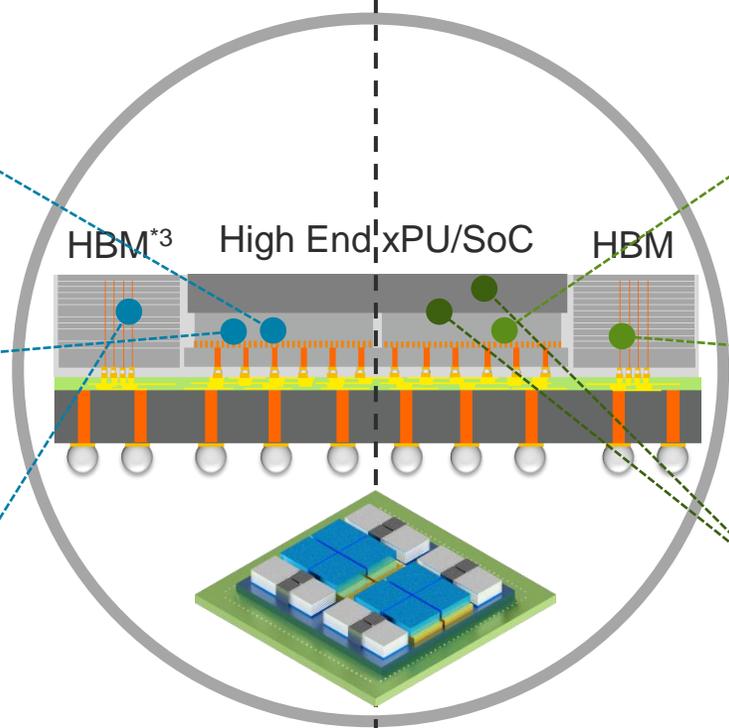
ダイシング後のアセンブリ



BSPDN<sup>\*1</sup>

CFET<sup>\*2</sup>

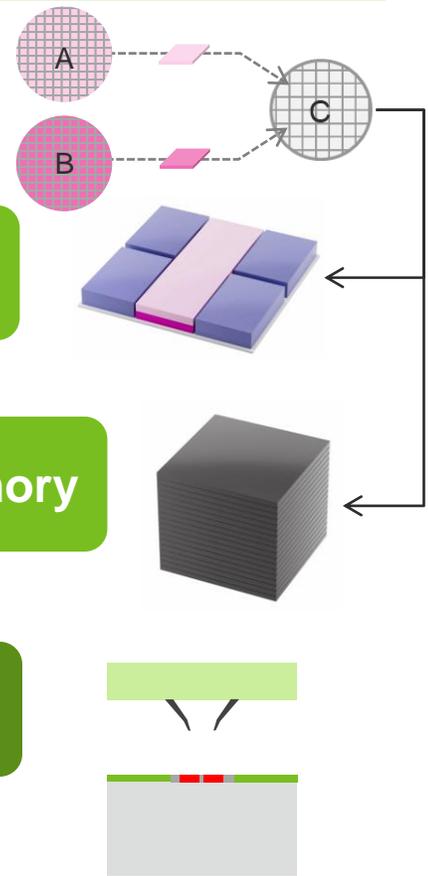
DRAM



3DIC

Stack Memory

Die Test for KGD<sup>\*4</sup>



\*1 BSPDN: Backside Power Delivery Network  
 \*2 CFET: Complementary Field Effect Transistor  
 \*3 HBM: High Bandwidth Memory  
 \*4 KGD: Known Good Die

# 前工程：Wafer-to-Wafer Bonding

# ボンディング技術が適用される様々なアプリケーション

Application	前工程						
	CIS*1	NAND		DRAM		Logic	
Stacking Device	BSI*2 Pixel + ( Peripheral ) + Logic	Cell + Peripheral	3D NAND : + Cell + Cell + Peripheral	VCT*5 DRAM ( Si Substrate ) + Peripheral + Cell + ( Si Substrate )	3D DRAM ( Si Substrate ) + Peripheral + Cell + ( Si Substrate )	BSPDN Logic + Si Substrate	BSPDN & CFET Logic + Logic + Si Substrate
Bonding	Wafer to Wafer (CHB*3/Fusion)	Wafer to Wafer (CHB)		Wafer to Wafer (CHB/Fusion)	Wafer to Wafer (CHB/Fusion)	Wafer to Wafer (CHB/Fusion)	
Structure							
Status	HVM*4	R&D~HVM	R&D	R&D	R&D	R&D~HVM	R&D

将来のデバイス構造は単層から複層ボンディングへ

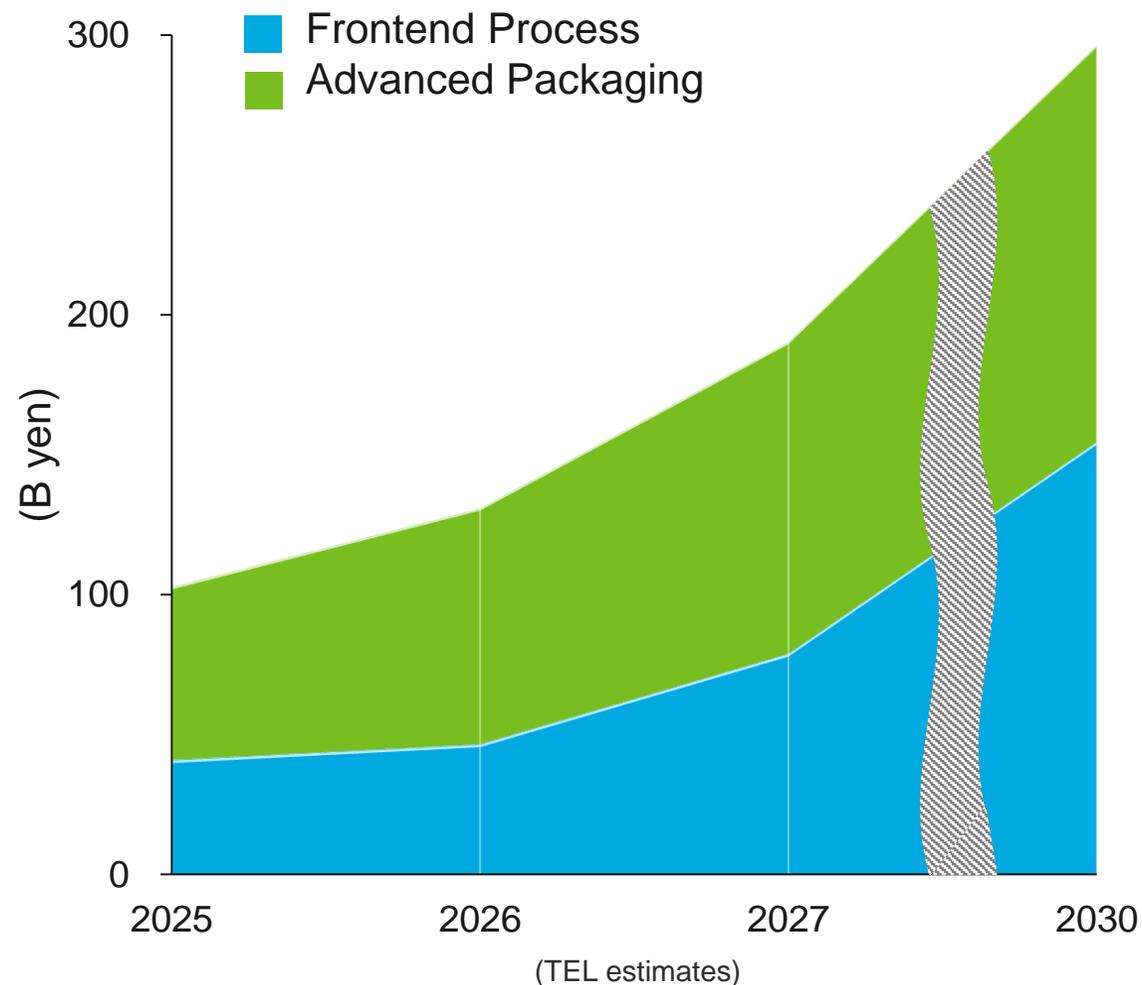
# Advanced Packaging : Wafer-to-Wafer / Die-to-Wafer Bonding

# ボンディング技術が適用される様々なアプリケーション

Advanced Packaging				
Application	Stack Memory / HBM	3DIC		
Stacking Device	<p>           DRAM Wafer            ⋮            DRAM Wafer            +            DRAM Wafer            +            Logic Wafer         </p> <p>OR</p> <p>           DRAM (Die)            ⋮            DRAM (Die)            +            DRAM (Die)            +            Logic Wafer         </p>	<p>SoC Disaggregation</p> <p>           Device A Wafer            +            Device B Wafer         </p> <p>OR</p> <p>           Die A            Die B            Wafer C         </p>		<p>Heat Spreader</p> <p>Heat Spreader + Device</p>
Bonding	Wafer to Wafer / Die to Wafer (CHB/Fusion)	Wafer to Wafer / Die to Wafer (CHB)		
Structure	<p><b>Micro Bump</b></p> <p><b>Cu hybrid</b></p> <p>More stacks</p> <p>Change</p> <ul style="list-style-type: none"> <li>• Thinner die / more stacks</li> <li>• High density connection</li> <li>• Better thermal conductance</li> </ul> <p>Cu</p>	<p><b>Monolithic SoC</b></p> <p><b>3D Stack IC</b></p> <p>Change</p> <ul style="list-style-type: none"> <li>• Small formfactor (3D stack vs. 2D)</li> <li>• Higher speed (shorter wiring, no bump)</li> <li>• Lower power (shorter wiring, no bump)</li> <li>• Lower cost (higher yields, easy to mix processes)</li> <li>• Shorter time to market (matured IP block reuse)</li> </ul>	<ul style="list-style-type: none"> <li>• Better thermal conductance</li> </ul>	
Status	R&D	R&D ~ HVM		

フュージョン/Cuハイブリッドボンディング技術は先端パッケージング工程へ拡大

# ボンディング工程に関する製造装置市場規模（当社見込み/TAM\*）



**CY2025からCY2030でのCAGRは24%と高成長を見込む**

- CY2030には3,000億円規模に
- 前工程向けと先端パッケージング向けの両方セグメントで成長
- ボンダー（永久/仮貼合）、デボンダー（剥離）、切削、薄化と技術は各種技術が対象

\* TAM : Total Available Market

# 本日のメッセージ

- ボンディングプロセスは、次世代デバイスの製造および先端パッケージング分野において重要な技術の転換点にあり、その実現にはさらなる技術革新が必要
- 当社は、ボンディング技術を実現するために必要な技術を一社で網羅する強みを持ち、顧客の期待に迅速に応える体制を構築
- 主要顧客の開発拠点の傍に当社の開発・評価センターを設置する戦略を通じて、顧客とのエンゲージメントは順調に進展
- 実デバイスでの評価を加速させ、量産化へ向けて活動



TEL Technology Center, Korea



TEL Technology Center, America



Tokyo Electron Kyusyu Limited

**TEL**

**TOKYO ELECTRON**

# アッセンブリー工程における製品戦略

2025年2月26日

執行役員

ATS BUGM

佐藤 陽平



# アッセンブリー・テスト\*向け製造装置投入の歴史

● 新たなカテゴリ装置

● 次世代装置/性能向上

● Synapse™ S  
Fusion bonder



● Synapse™ V  
Temporary bonder



● Synapse™ Si  
Cu hybrid / Fusion wafer bonder



● Prexa™  
Wafer Prober



● Ulucus™ L  
Laser Edge Trimmer



● Ulucus™ LX  
Extreme Laser Lift Off



● Die Test Prober  
Upcoming system  
for release

● Synapse™ Si (high accuracy)  
Cu hybrid / Fusion wafer bonder



Year 2011 2012 2013 2014 2015 2016 2017 2018 2019 2020 2021 2022 2023 2024 2025 2026

● Synapse™ Z plus  
De-bonder



● Synapse™ ZF  
Post bond re-worler



● Ulucus™ G  
Wafer Thinning

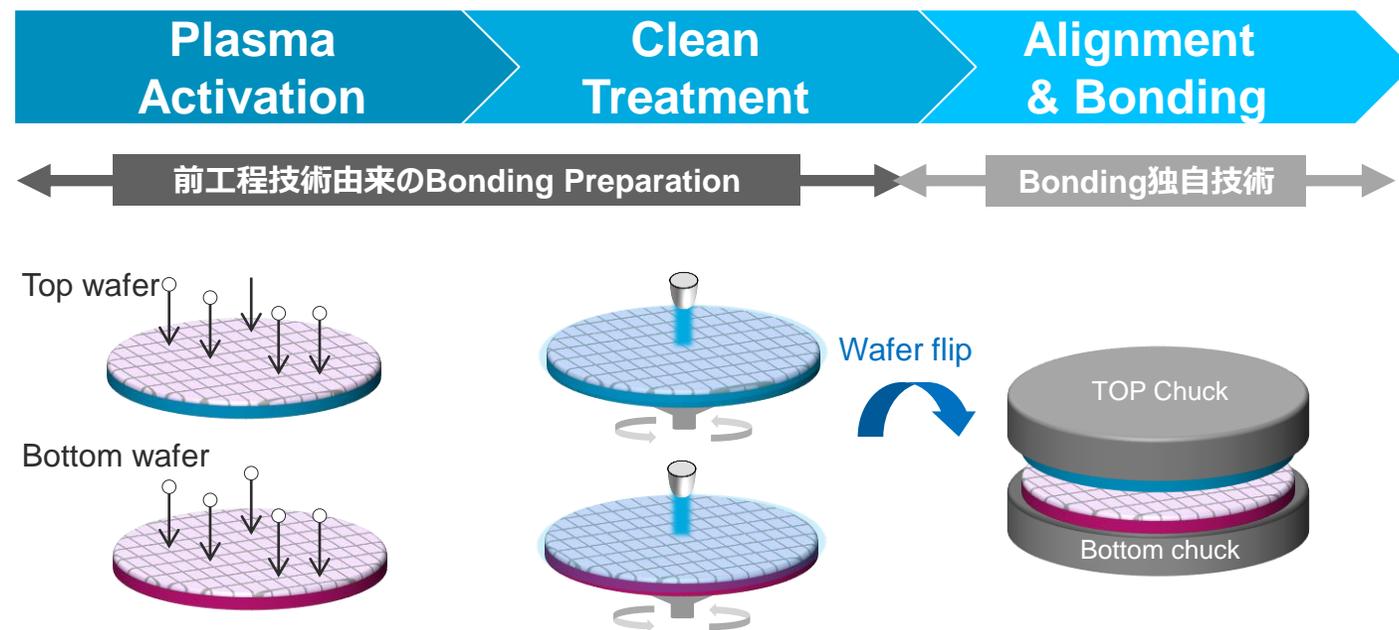
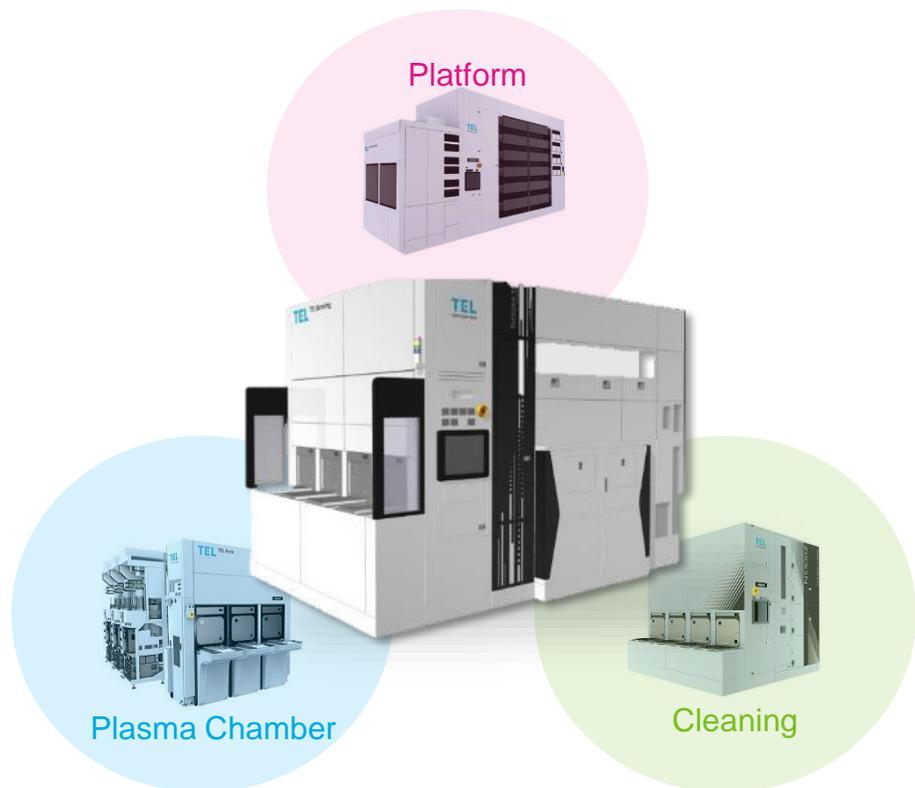


● 3DI  
Upcoming  
system for  
release

3Dインテグレーション時代へ向け、新装置/次世代装置開発を加速



# ウェーハ永久接合ボンダー Synapse™ Si

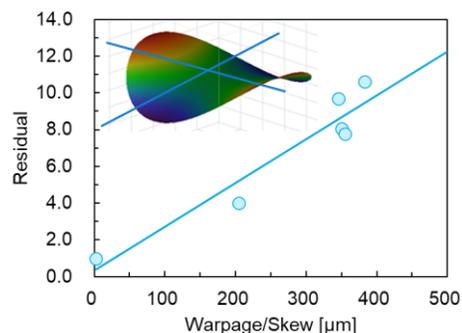


- 当社の有する広範な技術と様々な事業が、効率的な製品開発と性能改善に大きく寄与
- ボンディングの量産導入へ向けて、主要なメモリ/ロジックのお客様との評価が順調に進展
- 次世代デバイス製造へ、ウェーハでのフュージョン/Cuハイブリッドボンディング技術をリード

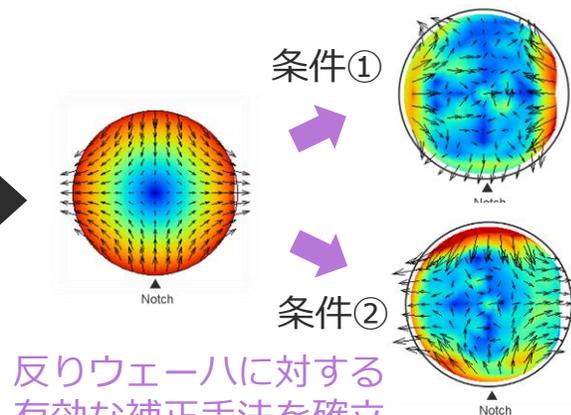
# ウェーハボンダーの技術ロードマップと課題



## 反りウェーハへの対応

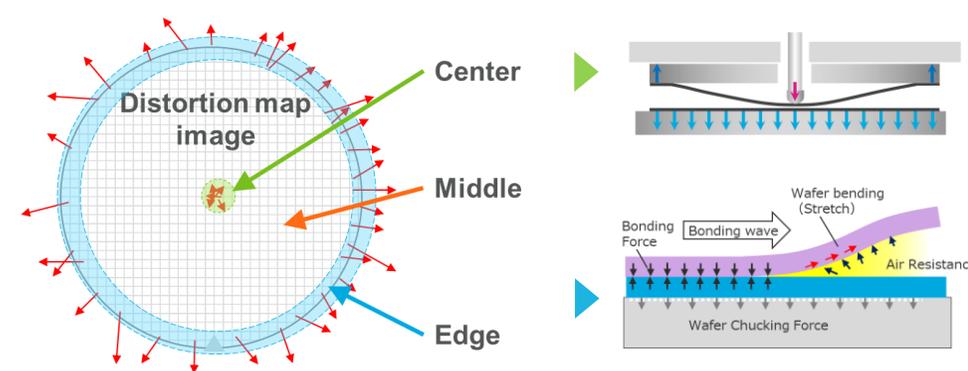


ウェーハ反り量と歪み誤差の関係



反りウェーハに対する有効な補正手法を確立

## ウェーハ歪み(Distortion)への対応



ハード開発とプロセスの最適化

次世代デバイス対応として必要な様々な技術を先行して開発中

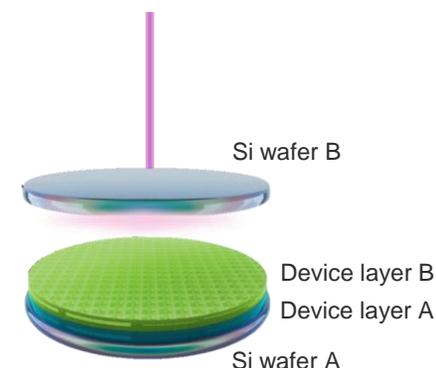
# ポストボンディング工程向け Ulucus™ LX のご紹介



## ■ 製品リリース：2024年12月

## ■ エクストリームレーザー リフトオフ (XLO) 技術の搭載

- ポストボンディング工程 (ウェーハ接合後に続く重要工程) への次世代薄化技術
- シリコン基板とデバイス薄膜層をレーザーにて分離



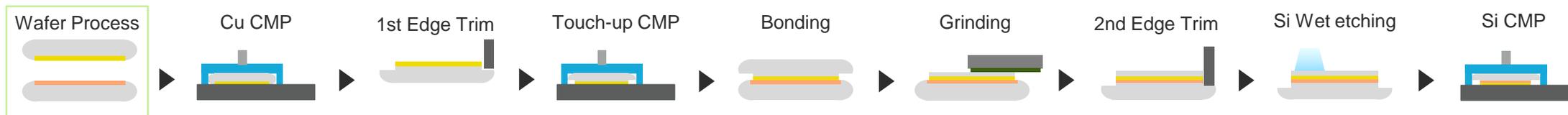
## ■ プロセス性能と環境性能における価値

- シリコン有効面積の拡大
- 製造工程数の削減
- 純水使用量/CO<sub>2</sub>排出量の削減
- ウェーハ再利用の可能性

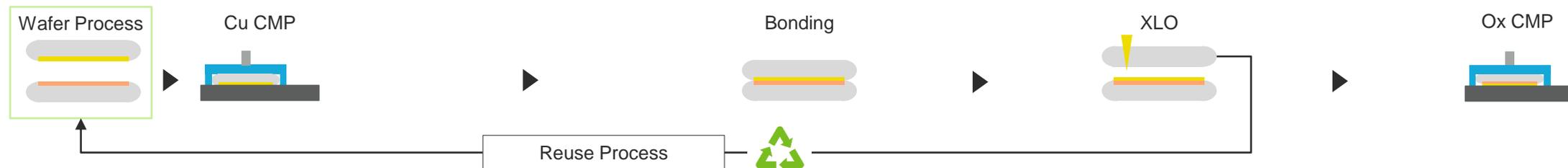
[https://www.tel.co.jp/news/product/2024/20241209\\_001.html](https://www.tel.co.jp/news/product/2024/20241209_001.html)

# Ulucus™ LX を採用する価値

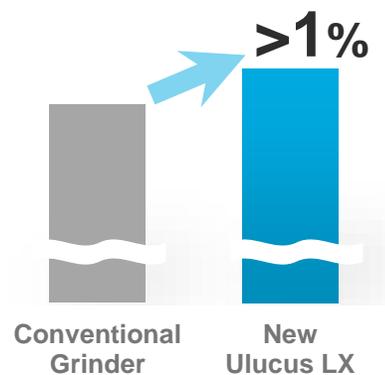
## Permanent Bonding Process with Grinding & Blade Edge Trimming (Conventional)



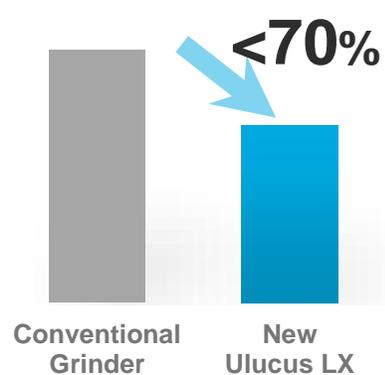
## Permanent Bonding Process with XLO (Extreme Laser Lift Off)



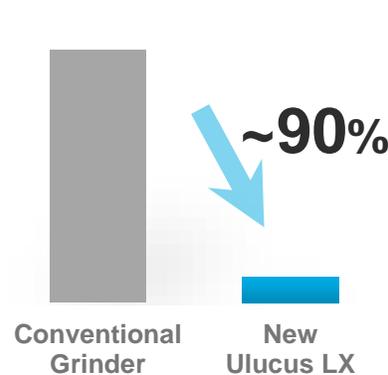
シリコン有効面積



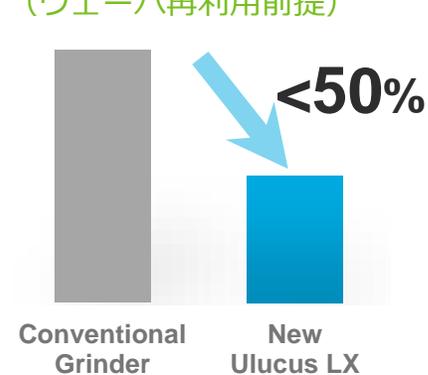
製造工程数



純水使用量



二酸化炭素排出量  
(ウェーハ再利用前提)



シリコン汚泥レス  
→ グライNDERに対する利点



Source: TEL

# Video

## 本日のメッセージ

- 3Dインテグレーション時代の到来に合わせ、ボンディング工程への装置開発を加速
- 次世代デバイス製造に必要なフュージョン及びCuハイブリッドボンディング技術を先行して開発し、業界をリード
- 主要なメモリ/ロジックデバイス製造のお客様とエンゲージメントを一層強化し、ボンディング技術の適用拡大と量産導入を実現

**TEL**

**TOKYO ELECTRON**